

SPARC64™ VIIIfx Extensions

Fujitsu Limited

Ver 11, 13 Feb. 2009

Copyright© 2007-2009 Fujitsu Limited, 4-1-1 Kamikodanaka, Nakahara-ku, Kawasaki, 211-8588, Japan.
All rights reserved.

This product and related documentation are protected by copyright and distributed under licenses restricting their use, copying, distribution, and decompilation. No part of this product or related documentation may be reproduced in any form by any means without prior written authorization of Fujitsu Limited and its licensors, if any.

The product(s) described in this book may be protected by one or more U.S. patents, foreign patents, or pending applications.

TRADEMARKS

SPARC® is a registered trademark of SPARC International, Inc. Products bearing SPARC trademarks are based on an architecture developed by Sun Microsystems, Inc.

SPARC64™ is a registered trademark of SPARC International, Inc., licensed exclusively to Fujitsu Limited.

UNIX is a registered trademark of The Open Group in the United States and other countries.

Sun, Sun Microsystems, the Sun logo, Solaris, and all Solaris-related trademarks and logos are registered trademarks of Sun Microsystems, Inc.

Fujitsu and the Fujitsu logo are trademarks of Fujitsu Limited.

This publication is provided “as is” without warranty of any kind, either express or implied, including, but not limited to, the implied warranties of merchantability, fitness for a particular purpose, or noninfringement. This publication could include technical inaccuracies or typographical errors. Changes are periodically added to the information herein; these changes will be incorporated in new editions of the publication. Fujitsu Limited may make improvements and/or changes in the product(s) and/or the program(s) described in this publication at any time.

Contents

- 1. Overview 1**
 - 1.1 Navigating the SPARC64™ VIIIfx Extensions 1
 - 1.2 Fonts and Notational Conventions 1
- 2. Definitions 3**
- 3. Architectural Overview 7**
 - 3.1 SPARC64 VIIIfx プロセッサ 7
 - 3.1.1 コア内部のコンポーネント 9
 - 3.1.2 命令制御ユニット (IU) 10
 - 3.1.3 命令実行ユニット (EU) 11
 - 3.1.4 ストレージ制御ユニット (SU) 12
 - 3.1.5 二次キャッシュユニット (SXU) 12
 - 3.2 プロセッサパイプライン 13
 - 3.2.1 命令フェッチステージ 13
 - 3.2.2 命令発行ステージ 13
 - 3.2.3 実行ステージ 15
 - 3.2.4 命令完了ステージ 16
- 4. Data Formats 17**
- 5. Registers 19**
 - 5.1 Nonprivileged Registers 20
 - 5.1.1 General-Purpose r Registers 20
 - 5.1.4 Floating-Point Registers 20

5.1.7	Floating-Point State Register (FSR)	22
5.1.9	Tick (TICK) Register	25
5.2	Privileged Registers	25
5.2.6	Trap State (TSTATE) Register	25
5.2.9	Version (VER) Register	26
5.2.11	Ancillary State Registers (ASRs)	26
5.2.12	Registers Referenced Through ASIs	34
5.2.13	Floating-Point Deferred-Trap Queue (FQ)	37
5.2.14	IU Deferred-Trap Queue	37

6. Instructions 39

6.1	Instruction Execution	39
6.1.1	Data Prefetch	39
6.1.2	Instruction Prefetch	40
6.1.3	Syncing Instructions	40
6.2	Instruction Formats and Fields	40
6.3	Instruction Categories	41
6.3.3	Control-Transfer Instructions (CTIs)	41
6.3.7	Floating-Point Operate (FPop) Instructions	42
6.3.8	Implementation-Dependent Instructions	42

7. Traps 43

7.1	Processor States, Normal and Special Traps	43
7.1.1	RED_state	43
7.1.2	error_state	44
7.2	Trap Categories	44
7.2.2	Deferred Traps	44
7.2.4	Reset Traps	44
7.2.5	Uses of the Trap Categories	45
7.3	Trap Control	45
7.3.1	PIL Control	45
7.4	Trap-Table Entry Addresses	45
7.4.2	Trap Type (TT)	45
7.4.3	Trap Priorities	49
7.5	Trap Processing	49
7.6	Exception and Interrupt Descriptions	50

- 7.6.1 Traps Defined by SPARC V9 As Mandatory 50
- 7.6.2 SPARC V9 Optional Traps That Are Mandatory in SPARC JPS1 50
- 7.6.4 SPARC V9 Implementation-Dependent, Optional Traps That Are Mandatory in SPARC JPS1 50
- 7.6.5 SPARC JPS1 Implementation-Dependent Traps 50

8. Memory Models 53

- 8.1 Overview 54
- 8.4 SPARC V9 Memory Model 54
 - 8.4.5 Mode Control 54
 - 8.4.7 Synchronizing Instruction and Data Memory 54

A. Instruction Definitions 57

- A.4 Block Load and Store Instructions (VIS I) 66
- A.9 Call and Link 68
- A.24 Implementation-Dependent Instructions 69
 - A.24.1 Floating-Point Multiply-Add/Subtract 70
 - A.24.2 Suspend 76
 - A.24.3 Sleep 77
 - A.24.4 Integer Multiply-Add 78
- A.25 Jump and Link 80
- A.26 Load Floating-Point 81
- A.27 Load Floating-Point from Alternate Space 85
- A.30 Load Quadword, Atomic [Physical] 88
- A.35 Memory Barrier 90
- A.41 No Operation 92
- A.42 Partial Store (VIS I) 93
- A.48 Population Count 94
- A.49 Prefetch Data 95
- A.51 Read State Register 97
- A.59 SHUTDOWN (VIS I) 99
- A.61 Store Floating-Point 100
- A.62 Store Floating-Point into Alternate Space 103
- A.68 Trap on Integer Condition Codes (Tcc) 106
- A.69 Write Privileged Register 107
- A.70 Write State Register 110

A.71	Deprecated Instructions	112
A.71.10	Store Barrier	112
A.72	Floating-Point Conditional Compare to Register	113
A.73	Floating-Point Minimum and Maximum	115
A.74	Floating-Point Reciprocal Approximation	117
A.75	Move Selected Floating-Point Register on Floating-Point Register's Condition	121
A.76	Floating-Point Trigonometric Functions	122
A.77	Store Floating-Point Register on Floating-Point Register's Condition	123
A.78	Set XAR (SXAR)	126
A.79	Cache Line Fill with Undetermined Value	128
B.	IEEE Std. 754-1985 Requirements for SPARC-V9	133
B.1	Traps Inhibiting Results	133
B.6	Floating-Point Nonstandard Mode	133
B.6.1	fp_exception_other Exception (ftt=unfinished_FPop)	134
B.6.2	Operation Under FSR.NS = 1	137
C.	Implementation Dependencies	141
C.4	List of Implementation Dependencies	141
D.	Formal Specification of the Memory Models	153
E.	Opcode Maps	155
F.	Memory Management Unit	167
F.1	Virtual Address Translation	167
F.2	Translation Table Entry (TTE)	168
F.4	Hardware Support for TSB Access	171
F.5	Faults and Traps	172
F.5.1	Trap Condition of SIMD Load and SIMD Store	174
F.5.2	The Behaviour upon TLB Error	174
F.8	Reset, Disable, and RED_state Behavior	176
F.10	Internal Registers and ASI Operations	177
F.10.1	Accessing MMU Registers	177
F.10.2	Context Registers	180
F.10.3	Instruction/Data MMU TLB Tag Access Registers	184

F.10.4	I/D TLB Data In, Data Access, and Tag Read Registers	185
F.10.6	I/D TSB Base Registers	186
F.10.7	I/D TSB Extension Registers	187
F.10.8	I/D TSB 8-Kbyte and 64-Kbyte Pointer and Direct Pointer Registers	187
F.10.9	I/D Synchronous Fault Status Registers (I-SFSR, D-SFSR)	187
F.10.10	Synchronous Fault Addresses	194
F.10.11	I/D MMU Demap	194
F.10.12	Synchronous Fault Physical Addresses	195
F.11	MMU Bypass	195
F.12	Translation Lookaside Buffer Hardware	196
F.12.2	TLB Replacement Policy	196
G.	Assembly Language Syntax	199
G.1	Notation Used	199
G.1.5	Other Operand Syntax	199
G.4	HPC-ACE 拡張機能の表記法	200
G.4.1	HPC-ACE 拡張のサフィックス	200
H.	Software Considerations	203
I.	Extending the SPARC V9 Architecture	204
J.	Changes from SPARC V8 to SPARC V9	205
K.	Programming with the Memory Models	206
L.	Address Space Identifiers	207
L.2	ASI Values	207
L.3	SPARC64 VIIIfx ASI Assignments	208
L.3.1	Supported ASIs	208
L.3.2	Special Memory Access ASIs	214
L.3.3	ASI と命令の組み合わせと例外	215
L.3.4	内部レジスタの更新タイミング	216
L.4	ハードウェアバリア	216
L.4.1	バリア資源の初期化と状態獲得	218
L.4.2	バリア資源の割り付け	220
L.4.3	バリア操作作用 ASI	221

M. Cache Organization 223

- M.1 キャッシュタイプ 223
 - M.1.1 L1 命令キャッシュ (L1I キャッシュ) 224
 - M.1.2 L1 データキャッシュ (L1D キャッシュ) 225
 - M.1.3 L2 キャッシュ 225
- M.2 キャッシュコヒーレンシプロトコル 226
- M.3 キャッシュ制御 ASI 227
 - M.3.1 命令キャッシュフラッシュ (ASI_FLUSH_L1I) 227
 - M.3.2 キャッシュデータの無効化 (ASI_CACHE_INV) 227
 - M.3.3 セクタキャッシュ設定 (SCCR) 228
- M.4 ハードウェアプリフェッチ 232

N. Interrupt Handling 235

- N.1 Interrupt Vector Dispatch 235
- N.2 Interrupt Vector Receive 237
- N.4 Interrupt ASI Registers 238
 - N.4.1 Outgoing Interrupt Vector Data<7:0> Register 238
 - N.4.2 Interrupt Vector Dispatch Register 238
 - N.4.3 Interrupt Vector Dispatch Status Register 238
 - N.4.4 Incoming Interrupt Vector Data Registers 238
 - N.4.5 Interrupt Vector Receive Register 239
- N.6 インタラプト配送先の識別法 239

O. Reset, RED_state, and error_state 241

- O.1 リセット種類 241
 - O.1.1 パワーオンリセット (POR) 241
 - O.1.2 ウォッチドッグリセット (WDR) 242
 - O.1.3 外部指示リセット (XIR) 242
 - O.1.4 ソフトウェア指示リセット (SIR) 242
- O.2 RED_state と error_state 243
 - O.2.1 RED_state 244
 - O.2.2 error_state 244
 - O.2.3 CPU Fatal Error 244
- O.3 リセット、RED_state 後のプロセッサ状態 245
 - O.3.1 Operating Status Register (OPSR) 249

P. Error Handling 251

- P.1 エラーの分類 251
 - P.1.1 致命的エラー 252
 - P.1.2 `error_state` 遷移エラー 252
 - P.1.3 緊急エラー 253
 - P.1.4 抑止可能エラー 255
 - P.1.5 `instruction_access_error` 256
 - P.1.6 `data_access_error` 256
- P.2 エラー処理とエラー制御 257
 - P.2.1 エラー処理に必要なレジスタ 257
 - P.2.2 エラー検出時の動作 257
 - P.2.3 CE 発見時に元データを自動で訂正できる限界 262
 - P.2.4 キャッシュャブルデータのエラーマーキング 263
 - P.2.5 `ASI_EIDR` 266
 - P.2.6 エラー検出の制御 (`ASI_ERROR_CONTROL`) 266
- P.3 致命的エラーと `error_state` 遷移エラー 268
 - P.3.1 `ASI_STCHG_ERROR_INFO` 268
 - P.3.2 サスペンド中のスレッドでの `error_state` 遷移エラー 270
- P.4 緊急エラー 270
 - P.4.1 緊急エラーステータス (`ASI_UGESR`) 271
 - P.4.2 `async_data_error` (ADE) トラップ発生時の処理 274
 - P.4.3 ADE トラップ発生した時の命令の実行状況 277
 - P.4.4 ADE トラップハンドラの処理例 278
- P.5 Instruction Access Errors 280
- P.6 Data Access Errors 280
- P.7 抑止可能エラー 281
 - P.7.1 `ASI_ASYNC_FAULT_STATUS` (`ASI_AFSR`) 281
 - P.7.2 抑止可能エラーに対するソフトウェア処理 282
- P.8 レジスタで起きたエラーの処理方法 283
 - P.8.1 特権・非特権レジスタの処理方法 283
 - P.8.2 `ASR` レジスタの処理方法 284
 - P.8.3 `ASI` レジスタの処理方法 285
- P.9 キャッシュで起きたエラーの処理方法 288
 - P.9.1 キャッシュタグで起きたエラーの処理方法 289
 - P.9.2 I1 キャッシュデータで起きたエラーの処理方法 289
 - P.9.3 D1 キャッシュデータで起きたエラーの処理方法 290

- P.9.4 U2 キャッシュデータで起きたエラーの処理方法 291
- P.9.5 I1,D1,U2 キャッシュの自動ウェイ縮退 292
- P.10 TLB で発生したエラー 294
 - P.10.1 TLB エラーの処理 294

Q. Performance Instrumentation 297

- Q.1 PA 概要 297
 - Q.1.1 サンプル擬似コード 297
- Q.2 PA イベントの説明 299
 - Q.2.1 命令種類、トラップ種類毎の統計情報 302
 - Q.2.2 MMU と L1 キャッシュ関連のイベント計測 309
 - Q.2.3 L2 キャッシュ関連のイベント計測 311
 - Q.2.4 バストランザクションの計測 314
- Q.3 サイクルアカウンティング 315

R. System Programmer's Model 319

- R.1 System Config Register 319
- R.2 STICK Control Register 320

S. Summary of Specification Differences 321

Overview

1.1 Navigating *the SPARC64™ VIIIfx Extensions*

SPARC64 VIIIfx は、JPS1 に準拠したアーキテクチャのプロセッサである。JPS1 では、仕様を共通仕様と実装依存仕様に分けて記述するようになっており、本仕様書は実装依存仕様を定義する。本仕様書では原則として、共通仕様で定義済の事項については再掲しない。

本書の章・節番号と見出し名は、基本的に **JPS1 Commonality** に合わせてあり、英語のままにしてある。各章・節では **JPS1 Commonality** の実装依存仕様や未定義仕様、あるいは SPARC64 VIIIfx で変更された仕様について説明している。JPS1 **Commonality** がない章・節には日本語の見出しがついており、SPARC64 VIIIfx 独自に追加された仕様を説明している。本書は **JPS1 Commonality** の定義を前提としているので、必要に応じて“SPARC Joint Programming Specification 1 (JPS1): Commonality” (**JPS1 Commonality**) を参照されたい。

1.2 Fonts and Notational Conventions

本仕様書の表記法は **JPS1 Commonality** に準ずる。

Reserved フィールドの扱い

命令語およびレジスタ中の使用されていないビットは、将来のために予約されている。そのようなフィールドを reserved フィールドと呼び、reserved または — と表記している。

JPS1 Commonality では Chapter 2 で、命令語およびレジスタの reserved フィールドの扱いを以下のように定義している。

- 命令語の reserved フィールドは 0 であるべき。0 以外の値が入っていた場合の動作は未定義 (Chapter 2)。
- レジスタの reserved フィールドにソフトウェアが書く値は、そのフィールドの読み出しで得られた値か 0。ハードウェアは 0 を出力すべき。

なお、命令語の reserved に関しては、JPS1 Commonality の Section 6.3.9 と Appendix I.2 にも記述がある。

SPARC64 VIIIfx では、reserved を以下のように扱う。

- 命令語の reserved フィールドは、仕様に動作と値が明記されているものはその通り。reserved フィールドが 0 以外の値のときの動作が明記されていない命令は、そのフィールドを無視して実行する。
- レジスタの reserved フィールドは、仕様に動作と値が明記されているものはその通り。動作と値が明記されていないフィールドは、書き込みは無視され、読み出しには不定値が返る。書き込んだ際の副作用が書かれていないものの動作は未定義である。

レジスタフィールドの読み書き属性

この論理仕様書では、レジスタのフィールドの読み書き属性を以下のように記述する。

TABLE 1-1 レジスタフィールドの読み書き属性

属性	意味
	読み出しには不定値が返され、書き込みは無視される。 値が明記されていない reserved はこれに相当する。
R	読み出しにはフィールドの値が返され、書き込みは無視される。
W	読み出しには不定値が返され、書き込みにはその値が書き込まれる。
RW	読み出しにはフィールドの値が返され、書き込みにはその値が書き込まれる。
RWIC	読み出しにはフィールドの値が返され、1 を書き込むとフィールドに 0 が書かれる。

Definitions

この章では SPARC64 VIIIfx に固有の概念・用語を定義する。JPS1 に共通の用語の定義は、JPS1 **Commonality** の Chapter 2 を参照。

HPC-ACE High Performance Computing - Arithmetic Computational Extensions の略で、SPARC64 VIIIfx 独自に拡張された論理仕様の総称。レジスタ本数の増加、HPC 用途の命令、浮動小数点演算の SIMD 拡張などを含む。

mTLB メイン TLB。命令用 (I) とデータアクセス用 (D) に分かれており、それぞれ *mITLB*, *mDTLB* と呼ばれることもある。*uITLB*, *uDTLB* に載せるアドレス変換情報を保持している。*uITLB*, *uDTLB* がアドレス変換情報を持っていないとき、*mTLB* が検索される。*mTLB* にアドレス変換情報があれば、対応する *uTLB* に送られる。*mTLB* にアドレス変換情報がないときは、例外が発生しソフトウェアにトラップが通知される。ソフトウェアによりアドレス変換情報を *mTLB* に載せた後、ハードウェアが命令を再実行する。

sync 命令 マシン *sync* を起こす命令。sync 命令の **発行**は、プログラム順で sync 命令よりも前の命令がすべて **完了**してから行われ、sync 命令が **完了**してから後続命令が **発行**される。つまり sync 命令は単独で **発行**、**実行**、**完了**される命令である。

uTLB マイクロ TLB。命令用 (I) とデータアクセス用 (D) に分かれており、それぞれ *uITLB*, *uDTLB* と呼ばれることもある。ハードウェアは *uTLB* に載っているアドレス変換情報にもとづいてアドレス変換を行う。*uTLB* にアドレス変換情報がなければ、*mTLB* から補充される。

アウトオブオーダー実行 命令の **実行**が、プログラム順序を追い越して行われるマイクロアーキテクチャ。入力ソースデータが揃っていない命令を、後続の入力ソースデータが揃った命令が追い抜いて **実行**する。

(資源の)解放 命令 **実行**のために割り当てられた資源が、次の命令により使用可能になること。

コア コアとは、実行パイプラインと命令実行に関連する資源 (演算器や L1 キャッシュなど)を含んだ実体。一つまたはそれ以上の **スレッド**を持つことがあるが、SPARC64 VIIIfx では 1 コアは 1 スレッドからなる。

コミット (完了)	ある命令について、その命令より前のすべての命令 実行 が正常に 完了 した後、当該命令の実行結果を確定すること。ある命令がコミットすると、その命令の実行結果はソフトウェアから見える資源に反映される。それ以前の状態は失われる。
コンプリート (終了)	ある命令の 実行が終了 し、正常終了したことが命令発行ユニットに通知されること。命令の終了により実行結果が一時的に反映されるが、 完了 するまではまだ永続的な状態にはなっておらず、元の状態に復旧することが可能である。
実行	命令が実行ユニットに送られ、演算が行われること。命令が演算器にある間は実行中である。
実行終了	演算器での命令の実行が終了し、結果が出力バスに出力されること。出力バスの結果はレジスタファイルや他の演算器へと送られる。
サイクル アカウンティング	性能阻害要因を分析する手法。
サスペンド	スレッドが命令実行を一時中止している状態。サスペンド中は命令は実行されないが、キャッシュ上のデータに矛盾が起きないようにメンテナンスされている。 スリープ と異なり、サスペンド中のスレッドを命令実行状態に復帰させるには、割り込みやタイマによるトラップ発生が必要である。
スーパースカラ	1 サイクルに複数の命令を 発行 、 実行 、 完了 する CPU の機構。
スキャン	CPU チップ内のマシンステートを読み書きする方法。スキャン可能なように設計されたマシンステートはスキャンリングで読み出し・書き込みができる。
ストール	命令発行 ができないこと。資源の空き状態やプログラム上の制約から、必ずしも毎サイクル命令が 発行 できるとは限らない。
ストロング プリフェッチ	プロセッサ内部の資源が不足していても捨てられずに実行されることが保証されたデータプリフェッチ命令。
スレッド	ソフトウェア命令列を実行するハードウェアの単位。ソフトウェアから見える資源 (PC、レジスタなど) や、直接見えないが命令実行に必要なマイクロアーキテクチャを含んでいる。
投機的命令実行	命令実行が投機的であるとは、条件分岐の分岐方向が未確定な時点で、または割り込みやトラップなどの発生有無が未確定な時点で、後続の命令を 実行 すること。また、投機的な実行により得られた結果を使い、さらに後続の命令を 実行 すること。
プロセッサモジュール	情報処理用の独立した実体で、外部との接続バスを共有するひとつまたはそれ以上の コア が入った部品。
命令ディスパッチ	ある命令の実行に必要な資源が全部使用可能になり、演算器に送られること。
命令発行	命令がリザベーションステーションに送られること。
命令フェッチ	命令が命令キャッシュまたは CPU 内部のバッファから読み出され、命令発行ユニットに送られること。

メモリマネジメントユニット (MMU)

CPU 内にある、64 ビットの論理アドレスを物理アドレスに変換するハードウェア機構。MMU には *mITLB*、*mDTLB*、*uITLB*、*uDTLB* およびアドレス変換を制御するための ASI レジスタがある。

リザベーションステーション

発行された命令が、実行パイプラインに投入されるまで格納されるキュー (バッファ)。実行演算器が使用可能であった場合に、入力データが揃った命令は、実行演算器が使用可能になると、リザベーションステーションから取り出され実行パイプラインに投入される。**アウトオブオーダー実行**の制御はこのキューで行う。

リネーミングレジスタ

命令の実行結果を、コミットしてレジスタに格納されるまで一時的に保持するバッファ。ユーザが直接操作することはできない。

Architectural Overview

この章では、SPARC64 VIIIfx プロセッサの概要について説明する。この章は **JPS1 Commonality** の章立てには沿っていない。

3.1 SPARC64 VIIIfx プロセッサ

SPARC64 VIIIfx プロセッサは、1つの CPU チップに 8つのコアと L2 キャッシュ、さらにメモリコントローラ (MAC) を統合した、マルチコア・プロセッサである。アーキテクチャは SPARC V9 に準拠しながら独自の拡張を行い、サーバ用途の高性能・高信頼性に加え、HPC 分野でも高性能を追求したプロセッサである。

高性能を実現するマイクロアーキテクチャ

SPARC64 VIIIfx は、1 サイクルに最大 4 命令まで発行するアウトオブオーダー実行のスーパースカラプロセッサである。アウトオブオーダーの処理では、命令フェッチ部は実行パスを予測しながら命令をフェッチし、その命令列をその順番に従い発行する。発行された命令は、実行可能になるまで一時的にリザベーションステーションに格納される。命令が実行可能になると、元の命令列の順序とは関係なく実行ユニットへ送られ、実行される。実行が終了 (complete) した命令は、元の命令列の順序に従い完了 (commit) 処理される。つまり、ある命令の完了処理は、その命令に先行する命令がすべて完了してから行われる。完了処理が終わると命令の実行結果がレジスタ・メモリ等に反映されプログラムから見えるようになる。アウトオブオーダー実行は SPARC64 VIIIfx の高性能に大きく貢献している。

SPARC64 VIIIfx は、分岐命令の実行方向を予測するためにブランチヒストリバッファを実装している。ブランチヒストリバッファは、DBMS のような大規模アプリケーションで高い予測的中率を維持するよう、また SPARC64 VIIIfx の高度な命令フェッチ機構をサポートするよう、十分な大きさを備えている。この命令フェッチ機

構は、分岐履歴に従い、複数の条件分岐を含む命令列の実行方向を予測し、命令をフェッチする。これにより、命令キャッシュミスによって生じる性能ペナルティの影響を可能な限り小さくできる。

SPARC64 VIIIfx はまた、HPC (High Performance Computing) 用途にふさわしい機能を備えている。それはたとえば、SPARC V9 の命令仕様を独自に拡張した HPC-ACE 拡張や、チップ内コア間で高速な同期を実現するハードウェアバリア機能などである。HPC-ACE 拡張では整数レジスタを 192 本、浮動小数点レジスタを 256 本に拡張し、浮動小数点演算命令を中心に 7 つの新規命令を追加したほか、2 並列の SIMD (Single Instruction Multiple Data) 演算も可能にした。SIMD の採用により、1 サイクルで最大 8 つの浮動小数点演算を実行することができ、HPC 分野の高性能を実現している。

チップ内に集約された高機能

SPARC64 VIIIfx は、CPU チップ上に L2 キャッシュを持っている。L2 キャッシュは、命令、データ共用で、8 コアに共有されている。SPARC64 VIIIfx では L2 キャッシュが最外層のキャッシュである。L2 キャッシュを CPU チップに統合したことで、SPARC64 VIIIfx の性能と信頼性は向上し、アクセス時間が短くウェイ数の多いキャッシュを実装することができている。また、L2 キャッシュに対する外部接続が不要なため、高信頼性にも貢献している。

さらに SPARC64 VIIIfx は、メモリコントローラも CPU チップ内に蔵している。DIMM は CPU に直結され、メモリアクセスのレイテンシは飛躍的に短縮された。

HPC の高性能を約束する重要な機能の一つがハードウェアバリアである。マルチスレッドのジョブを高速に処理するためには、スレッド間の同期にかかる時間を可能な限り減らすことが重要である。この問題に対し SPARC64 VIIIfx は、ハードウェアによるバリア同期機構という解決策を提供する。SPARC64 VIIIfx のハードウェアバリアは、複数コアでのバリア同期用に加え、全コアによるマスター/ワーカーモデルを可能にする、post/wait 型のプリミティブも用意している。

高信頼性

SPARC64 VIIIfx は以下の高度な RAS 機能を実装している。

1. キャッシュの RAS 機能

- 強固なキャッシュエラー保護：
 - D1(データレベル 1) キャッシュデータ、U2(ユニファイドレベル 2) キャッシュデータ、U2 キャッシュタグに対する ECC 保護。
 - I1(命令レベル 1) キャッシュデータに対するパリティ保護。
 - I1 キャッシュタグと D1 キャッシュタグに対するパリティ保護と二重化。
- すべての種類の 1 ビットエラーの自動訂正：
 - ECC 保護されたデータに対する自動 1 ビット エラー訂正。
 - I1 キャッシュデータパリティエラーに対する I1 キャッシュデータの無効化と再読み込み。

- II キャッシュタグおよびD1 キャッシュタグのパリティエラーに対する二重化されたタグからのコピー。
 - キャッシュの一貫性を維持したまま行われる動的なウェイ縮退。
 - キャッシュデータの訂正不能エラーのマーキング：
 - 最初に訂正不能エラーを発見したモジュールが、特殊なパターンでマークする。
 - 一つの故障で何度もエラーが報告されないよう、エラーマークで故障モジュールを識別して隔離する。
2. 命令実行ユニットの RAS 機能
- 強固なエラー保護：
 - 全てのデータパスのパリティ保護。
 - ほとんどのソフトウェア可視レジスタ、内部、一時レジスタに対するパリティ保護。
 - 演算結果のパリティまたは剰余チェック。
 - ハードウェアによる命令再実行。
 - (ハードウェア命令再実行の失敗の後の) ソフトウェア命令再実行のサポート。
 - ソフトウェアリカバリのための エラー分離：
 - どのレジスタがエラーしたか(被疑レジスタ)の明示。
 - エラーした命令が再実行可能かどうかを示す。
 - エラーの度合いによりトラップを使い分ける。
3. 充実したソフトウェアインターフェイス
- プログラム実行への影響の重大度によるエラー分類：
 - 重大なエラー(マスク不可): OS の介入無しでの実行続行は不可能なエラー。例外で報告される。
 - 軽微なエラー(マスク可): エラーが例外で報告されるかどうかを OS が制御する。エラーは、プログラム実行には直接作用しない。
 - ソフトウェアへの影響を判断するための、識別したエラーの表示。
 - 付加的なエラーに対する非同期データエラー (ADE) 例外
 - 例外通知により命令実行が中断されるが、その状態は発見されたエラーによって異なるので、完了方法を表示する。
 - 遅延報告 (deffered) だがリトライ可能な ADE 例外。
 - エラー分離と命令再実行が正しく行えるよう、同時に起きた複数のエラーをすべて表示する。

3.1.1 コア内部のコンポーネント

FIGURE 3-1 は SPARC64 VIIIfx のブロック図である。SPARC64 VIIIfx は 8 つのコアとメモリコントローラ、バスインターフェースをチップ内に統合している。コア内には以下のコンポーネントがある。

- 命令制御ユニット (IU)
- 実行ユニット (EU)

- 記憶ユニット (SU)
- L2 キャッシュと外部アクセスユニット (SXU)

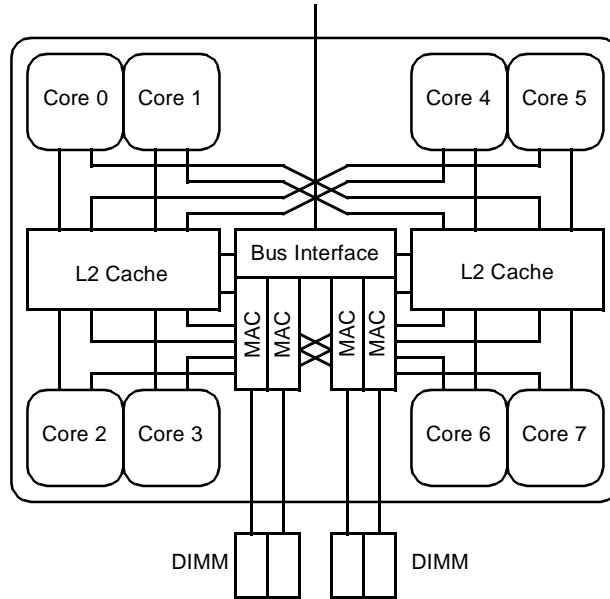


FIGURE 3-1 SPARC64 VIIIfx ブロック図

3.1.2 命令制御ユニット (IU)

IU (Instruction control Unit) は、命令実行パスを予測し、予測したパスの命令をフェッチする、その後、フェッチした命令を適切なリザベーションステーションに配送し、そして、実行パイプラインに命令を送送する。送送された命令は、アウトオブオーダーで実行され、インオーダーで完了される。主要なブロックを TABLE 3-1 に示す。

TABLE 3-1 命令制御ユニットの主要ブロック

ブロック	説明
命令フェッチパイプライン	5 ステージ: フェッチアドレス生成、iTLB と L1I キャッシュアクセス、iTLB と L1I キャッシュのタグ比較、命令バッファへの書き込み、結果の格納。
ブランチヒストリ	分岐先と分岐方向を予測するためのテーブル。
命令バッファ	フェッチした命令を保持するためのバッファ。

TABLE 3-1 命令制御ユニットの主要ブロック

ブロック	説明
リザベーションステーション	命令が実行可能になるまで保持するための5つのリザベーションステーション: 分岐とその他の制御転送命令用の RSBR、load/store 命令用の RSA、整数演算命令用の RSE、浮動小数点演算命令用の RSFA と RSFB。
コミットスタックエントリ (CSE)	実行中の (発行されてまだ完了していない) 命令の情報を保持するためのバッファ。
PC, nPC, CCR, FSR	命令実行制御のためのプログラム可視レジスタ。

3.1.3 命令実行ユニット (EU)

EU (Execution Unit) は全ての整数 (算術、論理、シフト) 命令と全ての浮動小数点及び VIS 命令の実行を行う。TABLE 3-2 に EU の主要なブロックを記述する。

TABLE 3-2 EU の主要ブロック

ブロック	説明
GUB	汎用整数レジスタ (gr) 用のリネーミングレジスタファイル。
GPR	汎用整数レジスタファイル。
FUB	浮動小数点レジスタ (fr) 用のリネーミングレジスタファイル。
FPR	浮動小数点レジスタファイル。
EU 制御論理	命令実行ステージを制御: 実行する命令の選択、レジスタリード、命令実行。
インターフェースレジスタ	他ユニットへの入出力レジスタ。
2つの整数実行パイプライン (EXA, EXB)	64 ビット ALU とシフタ。
2つの浮動小数点実行パイプライン (FLA, FLB)	各浮動小数点実行パイプラインは、浮動小数点 (乗算、加算/減算、乗加算、除算/平方根、グラフィックス) 命令。
メモリアクセスパイプラインのため	ロード/ストアのための2つの64ビット仮想アドレス生成のための2つの仮想アドレス加算器

3.1.4 ストレージ制御ユニット (SU)

SU (Storage Unit) は、ロード及びストア命令のために全てのデータの供給と受給を扱う。TABLE 3-3 に、SU の主要なブロックを記述する。

TABLE 3-3 SU の主要ブロック

ブロック	説明
命令レベル 1 キャッシュ	32KB, 2 ウェイセットアソシアティブ、1 ラインは 128 バイト。低レイテンシ、命令供給用。
データレベル 1 キャッシュ	32KB, 2 ウェイセットアソシアティブ、1 ラインは 128 バイト。低レイテンシ、ロード・ストアデータ供給用。
命令用 TLB	256 エントリ、2 ウェイセットアソシエイティブ TLB (sITLB)。 16 エントリ、フルアソシエイティブ TLB (fITLB)。
データ用 TLB	512 エントリ、2 ウェイセットアソシエイティブ TLB (sDTLB)。 16 エントリ、フルアソシエイティブ TLB (fDTLB)。
ストアバッファとライト バッファ	ストア操作のレイテンシからパイプラインを分離する。ストアがデータを待っている間、パイプラインが流れ続ける事を可能にする。最終的には、データレベル 1 キャッシュに書き込む。

3.1.5 二次キャッシュユニット (SXU)

SXU (Secondary Cache and External Access Unit) は、ユニファイドレベル 2 キャッシュの操作と外部データアクセスインタフェースを制御する。TABLE 3-4 に、SXU の主要なブロックを記述する。

TABLE 3-4 SXU の主要ブロック

ブロック	説明
ユニファイドレベル 2 キャッシュ	サイズは 5M バイトであり、10 ウェイセットアソシエイティブ構成、1 ラインは 128 バイト。ライトバック方式のキャッシュ。
ムーブインバッファ	キャッシュライン読み出しリクエストに応じてメモリシステムから返ってきたデータをキャッシュする。
ムーブアウトバッファ	メモリへのライトバックデータを保持する。

3.2 プロセッサパイプライン

SPARC64 VIIIfx のパイプラインは 16 ステージからなる。FIGURE 3-2 にパイプラインの各ステージを、FIGURE 3-3 にパイプライン図を示す。

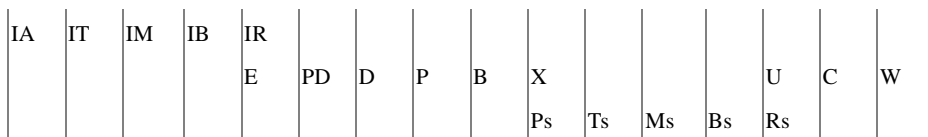


FIGURE 3-2 SPARC64 VIIIfx のパイプラインステージ

3.2.1 命令フェッチステージ

- IA: 命令フェッチアドレス生成
- IT: iTLB, 命令キャッシュタグアクセス
- IM: 命令キャッシュタグ比較
- IB: 命令キャッシュからバッファへ読み込み
- IR: 命令フェッチ最終ステージ

IA から IR までのステージでは、キャッシュアクセスユニット (SU) と連携して命令を読み込み、パイプラインの後続ステージに供給する。メモリまたはキャッシュから読み出された命令は、命令バッファ (Instruction Buffer) に蓄えられる。

SPARC64 VIIIfx は分岐予測用の BRHIS (BRanch HIStory) と RAS (Return Address Stack) 資源を備えている。命令フェッチアドレスステージでは、分岐予測を行いフェッチアドレスを決定する。

SPARC64 VIIIfx の命令フェッチステージは、実行ステージがストールしていても命令フェッチができるよう、後続ステージとは可能な限り独立したデザインになっている。命令フェッチ部は、命令バッファがフルになるまでフェッチを続け、その後もプリフェッチを出して命令列を L1 キャッシュに持ってくるのが可能である。

3.2.2 命令発行ステージ

- E: エントリ
- PD: プリデコード
- D: デコード

SPARC64 VIIIfx はアウトオブオーダー実行のプロセッサである。SPARC64 VIIIfx には 6 個の演算器があり (整数用 2 つ、浮動小数点用 2 つ、メモリアクセス用 2 つ)、整数演算器とメモリアクセス演算器には演算器 2 つに対して 1 個の、浮動小数点演算器に

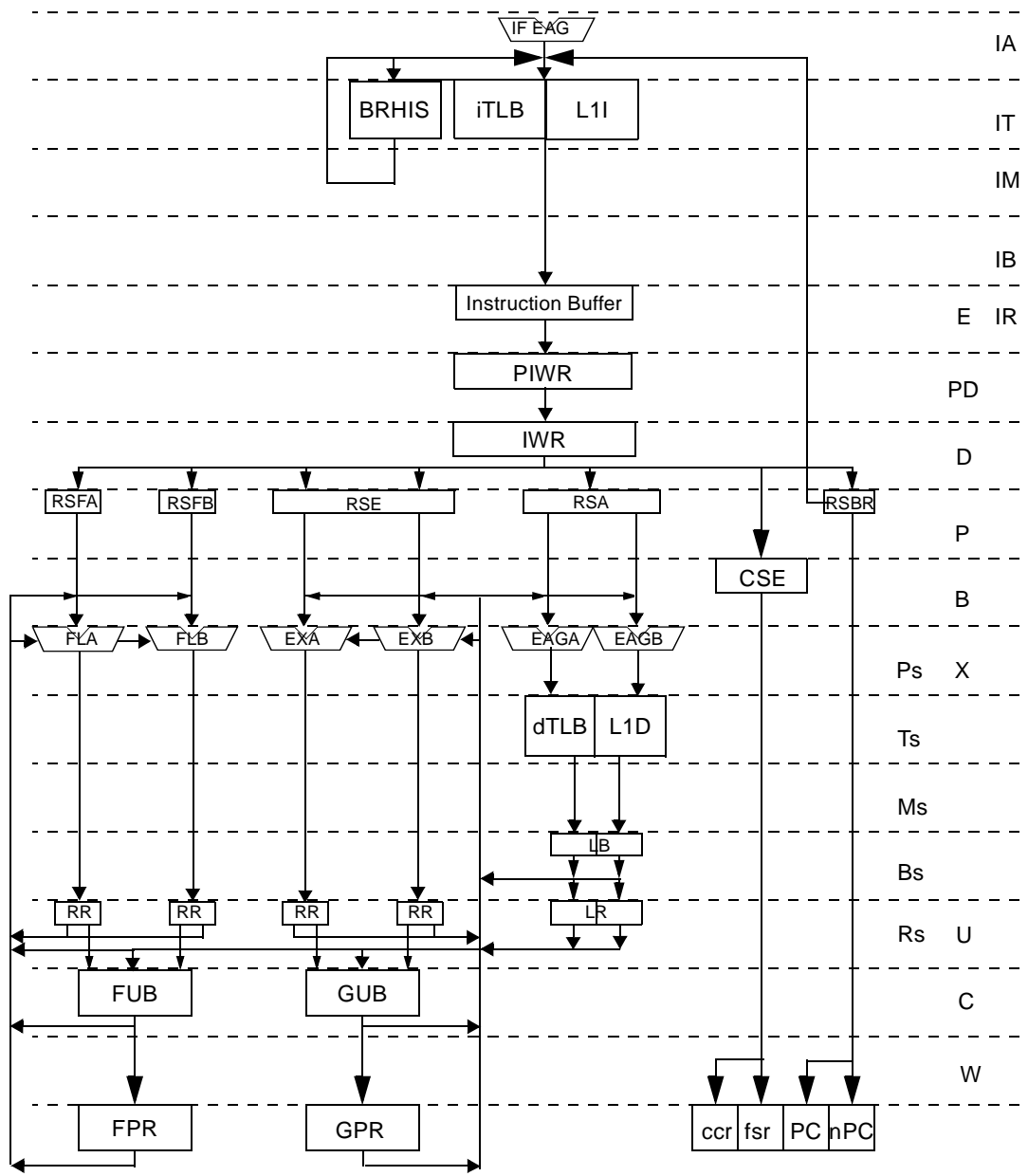


FIGURE 3-3 SPARC64 VIIIfx のパイプライン図

は独立した 2 個のリザーベーション・ステーションがある。E, PD, D ステージでは命令をデコード・発行し、リザーベーション・ステーションに登録する。SPARC64 VIIIfx は 1 サイクルで最大 4 命令まで発行できる。

命令実行に必要な以下の資源は、このステージで割り当てられる。

- コミットスタックエントリ (CSE)
- 整数用と浮動小数点用のリネーミングレジスタ (GUB, FUB)
- リザーベーション・ステーションのエントリ
- メモリアクセス用のポート

命令実行に必要な資源は命令ごとに異なるが、どの命令でも、実行に必要なすべての資源の割り当てはこのステージで行われる。通常の実行では、リザーベーション・ステーションの解放は X ステージで、その他の資源の解放はパイプラインの最後の W ステージで行われる。E ステージから W ステージまでにある命令が実行中 (in-flight) の命令となる。例外が通知されると、実行中の命令は中止され、それらの命令が使用していた資源は直ちに解放される。これにより、デコーダは新しい命令の発行がすぐに行える。

3.2.3 実行ステージ

- P: プライオリティ
- B: バッファ読み出し
- X: 実行
- U: 更新

リザーベーション・ステーションに格納された命令は、各々の実行条件が満たされると演算器に送られる。実行条件とは、入力データが確定する、演算器が空く、などである。実行にかかるサイクル数は命令によって異なる。

キャッシュアクセスの実行ステージ

メモリアクセス要求は、アドレス計算が完了すると、キャッシュアクセスのパイプラインに送られる。キャッシュアクセスステージは、分岐予測を除けば命令フェッチの各ステージと同じである。詳細は Section 3.2.1 を参照。命令フェッチのステージ名とキャッシュアクセスのステージ名の対応を以下に示す。

命令フェッチ	データアクセス
IA	Ps
IT	Ts
IM	Ms
IB	Bs
IR	Rs

例外が通知されると、パイプラインにデータを送るためのポートは解放されるが、キャッシュアクセスのパイプライン自体は、システムに要求したメモリアクセスを完了させるまでは動き続ける。データが返ってくると、キャッシュにストアされる。

3.2.4 命令完了ステージ

■ W: 書き込み

アウトオブオーダーで実行された命令は、最後に命令順序通りに完了処理が行われる。例外の処理はこのステージで行われる。実行ステージで起きた例外は、すぐに処理されるのではなく、先行するすべての命令の完了処理が終わった後で通知される¹。

1. RAS 関連の例外は完了を待たずに報告される。

Data Formats

JPS1 **Commonality** の Chapter 4 を参照。

Registers

JPS1 **Commonality** の Chapter 5 では、汎用レジスタ、ASR レジスタ、ASI レジスタの 3 種類を定義している。章立ては大きく、非特権レジスタ、特権レジスタの順番になっており、ASR、ASI レジスタは特権レジスタとして扱われているが、実際は非特権アクセス可能なものも混ざっているので適切さを欠いている。さらに、ASI レジスタについては、Chapter 5 の他、用途に応じていくつかの Appendix でも定義されており、この点でもまとまりを欠いている。

SPARC64™ VIIIfx Extensions の章立てはできる限り JPS1 **Commonality** に合わせることにしているため、JPS1 **Commonality** の Chapter 5 で定義されているレジスタに関する実装依存仕様はこの章に記述することにする。ASI、ASR レジスタは特権・非特権が混ざるが、便宜上 Section 5.2, “*Privileged Registers*” に配置した。

ASI レジスタについては、以下のセクションも参照されたい。

- Appendix F.10, “*Internal Registers and ASI Operations*”
- Appendix L.3.2, “*Special Memory Access ASIs*”
- Appendix L.4, “ハードウェアバリア”
- Appendix M.3, “キャッシュ制御ASI”
- Appendix N.4, “*Interrupt ASI Registers*”
- Appendix P.2.5, “*ASI_EIDR*”
- Appendix P.2.6, “エラー検出の制御 (*ASI_ERROR_CONTROL*)”
- Appendix P.3.1, “*ASI_STCHG_ERROR_INFO*”
- Appendix P.4.1, “緊急エラーステータス (*ASI_UGESR*)”
- Appendix P.7.1, “*ASI_ASYNC_FAULT_STATUS (ASI_AFSR)*”
- Appendix R.1, “*System Config Register*”
- Appendix R.2, “*STICK Control Register*”

また、電源オン時やリセット時のレジスタ値については Appendix O.3, “リセット、*RED_state* 後のプロセッサ状態” に、レジスタでエラーが発生した際の通知方法やエラー修復方法については Appendix P.8, “レジスタで起きたエラーの処理方法” にまとめられている。

5.1 Nonprivileged Registers

5.1.1 General-Purpose r Registers

$r[32] - r[63]$ ($xg[0] - xg[31]$) を追加する。

レジスタ番号は既存命令フィールドには入りきらないので、上位 1 ビットを `XAR.urs1`, `XAR.urs2`, `XAR.urs3`, `XAR.urd` で指示する。拡張されるレジスタ数は 32 本なので、各フィールドの `bit<2:1>` は 0 になっていなければならない。`bit<2:1>` が 0 でないときは、*illegal_action* 例外が通知される。

拡張整数レジスタは大部分の命令で使用可能。使用できない命令の実行時に `XAR.v = 1` になっていると、*illegal_action* 例外が通知される。

$xg[0] - xg[31]$ は `PSTATE.AG`, `PSTATE.MG`, `PSTATE.IG` の値によらず同じものが見える。

拡張レジスタに対する書込みを行うと、`XASR.xgd = 1` になる。

Programming Note – Context switch 時に save する必要があるかどうか判断できる。

5.1.4 Floating-Point Registers

レジスタを追加し、全部で 256 本の倍精度レジスタが使えるようにする。追加するのは倍精度レジスタで、 $f[64] - f[510]$ (偶数番号のみ) で指定する。レジスタの追加に伴い、レジスタの状態を表わす `XASR` も追加される。詳細は “*Extended Arithmetic Register Status Register (XASR) (ASR 30)*” (page 32) 参照。

$f[64] - f[254]$ を Basic Floating-Point Registers、 $f[256] - f[510]$ を Extended Floating-Point Registers と呼ぶことにする。また $f[0] - f[63]$ を V9 Floating-Point Registers と呼ぶ。

Floating-Point Register Number Encoding

JPS1 Commonality の同名の節で、命令で倍精度レジスタを指示する際のエンコーディングが定義されている。

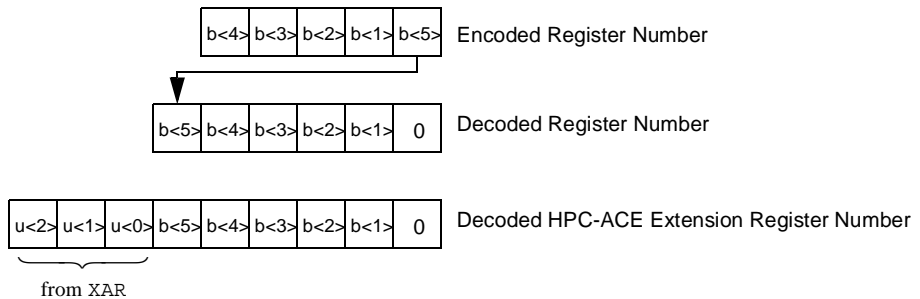


FIGURE 5-1 倍精度浮動小数点レジスタ番号のエンコーディング

拡張された 256 本の倍精度レジスタを指示するには、命令語のレジスタフィールド 5 ビットでは足りない。このため HPC-ACE では、レジスタフィールドの上位ビットを XAR レジスタに置き、命令実行時にそれらを結合して 8 ビットのレジスタ番号を生成することにした。したがって、命令語だけではレジスタ番号は特定できない。

HPC-ACE 拡張レジスタ番号の生成は、XAR に置かれた上位 3 ビットと、FIGURE 5-1 に示したデコード後の 6 ビットを結合し 9 ビットの番号とする。最下位ビットは常に 0 になるので、 $f[0] - f[510]$ の偶数番号のみ、256 本のレジスタが指示できる。

倍精度レジスタの単精度利用

レジスタの追加に合わせて、倍精度レジスタを単精度レジスタとしても使えるようにする。SPARC64 VIIIfx で追加されたレジスタだけでなく、SPARC V9 で定義された倍精度レジスタも単精度レジスタとして使える。単精度演算命令で倍精度レジスタを指定するには、その命令の実行時点で $XAR.v = 1$ であればよい。したがって、単精度で SIMD 演算を行うときは、倍精度レジスタを使うことになる。

倍精度レジスタを単精度レジスタとして使用する際は、以下の点が SPARC V9 仕様と異なる。

- 命令のレジスタフィールドの解釈は、JPS1 Commonality の TABLE 5-5 の倍精度と同じになる。したがって偶数番号レジスタのみが使用できる。 $f[2n]$ ($n = 0-255$)
- レジスタの値は、上位 4 バイトを単精度値と解釈し、下位 4 バイトは無視される。
- 演算結果やロード結果はレジスタの上位 4 バイトに書き込まれ、下位 4 バイトには 0 が書き込まれる。

Programming Note – `XAR.v = 1` かつ `XAR.urs1 = 0` の場合、`rs1` では SPARC V9 の倍精度レジスタを使って単精度演算を行う。`rs2`, `rs3`, `rd` も同様である。このとき奇数レジスタの内容は破壊されることに注意すること。

エンディアン変換は単精度数、つまり 4 バイトを単位として行われる。

SIMD 拡張命令のレジスタ指定方法

浮動小数点レジスタを使う命令の大部分は、`XAR.V = 1` かつ `XAR.SIMD = 1` のときに SIMD 拡張命令となり、1 命令で 2 演算を実行する。SIMD 演算で使われるレジスタの組は、`f[2n]` に対して `f[2n+256]` ($n = 0-127$) に固定されている。命令では `f[2n]` 側を指定する。使えないレジスタを指定した場合は *illegal_action* が通知される。

SIMD FMADD 命令だけは例外で、`rs1`, `rs2` に `f[2n+256]` を指定できる。詳細は Appendix A.24.1, “*Floating-Point Multiply-Add/Subtract*” を参照。

Programming Note – 単精度浮動小数点命令も SIMD 拡張できるが、その際は、倍精度レジスタを単精度で使う。詳細は “*倍精度レジスタの単精度利用*” (page 21) を参照。

既存浮動小数点命令のうち SIMD 拡張されない命令には以下の命令が含まれる。SIMD 拡張可能な命令の一覧は TABLE A-2 を参照。

- FDIV(S,D), FSQRT(S,D)
- VIS のうち論理演算 (FOR, FAND, etc.) でないもの
- FBfcc, FBPfcc, FCMP, FCMPE, FMOVcc など、fcc, icc, xcc を参照、更新する命令
- FMOVr

なお、SIMD の 2 演算を区別するときは、`f[2n]` に結果が格納される側の演算を basic 側、`f[2n+256]` に結果が格納される側の演算を extended 側と呼ぶ。

エンディアン変換は basic, extended 毎に行われる。

5.1.7 Floating-Point State Register (FSR)

FSR_nonstandard_fp (NS)

SPARC V9 仕様では FSR.NS ビットを定義している。このビットを 1 にセットすることで、浮動小数点演算器が IEEE Std 754-1985 に準拠しない演算処理を行っても良いことになっている。SPARC64 VIIIfx は FSR.NS ビットをサポートしている。

FSR.NS に 1 がセットされていると、演算の入力が非正規化数の場合や結果が非正規化数の場合に *fp_exception_other* が *ftt = unfinished_FPop* 通知されるのではなく、同符号の 0 に置き換えられて、*fp_exception_ieee_754* が *fsr.cexc.nxc = 1* で通知される (この例外は FSR.TEM.NXM でマスクすることができる)。詳細は Appendix B.6, “*Floating-Point Nonstandard Mode*” を参照。

FSR.NS に 0 がセットされていると、IEEE Std 754-1985 に準拠して動作する。

FSR_version (*ver*)

個々の SPARC V9 IU 実装 (*ver.impl* で識別される) は、1 個以上の FPU を実装してもよいし実装しなくてもよい。このフィールドはこの CPU に実装されている FPU のバージョンを示す。SPARC64 VIIIfx の最初の版では *FSR.ver = 0* である (*impl.dep. #19*)。しかし、将来の版では別の値になっているかもしれない。詳細はデータシートを参照。

FSR_floating-point_trap_type (*ftt*)

SPARC64 VIIIfx が *fp_exception_other* を *ftt = unfinished_FPop* で通知する条件は Appendix B.6.1, “*fp_exception_other Exception (ftt=unfinished_FPop)*” を参照 (*impl.dep. #248*)。

FSR_current_exception (*cexc*)

ビット 4 から 0 は、IEEE 754 で定義された例外のうちどれが発生したかを示す。例外が発生していなければ、対応するビットには 0 がセットされる。

SPARC64 VIIIfx が *cexc* ビットをどのようにセットするかを擬似コードで示す。

```
if (<LDFSR or LDXFSR commits>
    <update using data from LDFSR or LDXFSR>;
else if (<FPop commits with ftt = 0>)
    <update using value from FPU>
else if (<FPop commits with IEEE_754_exception>)
    <set one bit1 in the CEXC field as supplied by FPU>;
else if (<FPop commits with unfinished_FPop error>)
    <no change>;
else if (<FPop commits with unimplemented_FPop error>)
    <no change>;
else
    <no change>;
```

1. non-SIMD 時は 1 ビットだが、SIMD では複数ビットセットされることがある。

FSR Conformance

SPARC V9 では TEM, cexc, aexc のハードウェアでの実装方法を二種類許容している (どちらも IEEE Std 754-1985 に準拠している)。SPARC64 VIIIfx は (1)、すなわちこれら 3 つを全部実装している。別の実装方法については JPS1 **Commonality** の Section 5.1.7 を参照。

SIMD 演算における cexc, aexc 更新

SIMD 演算では basic, extended 両方の演算が同時に行われる。入力データは basic, extended で異なるので、両方で例外が起きることも、片方だけ起きることもある。

片方で例外が起きた場合の動作は、non-SIMD 演算と同じである。両方で例外が起きた場合、SPARC64 VIIIfx の SIMD 演算での例外通知と ftt の更新は以下のようになる。

1. basic, extended 両方で `fp_exception_ieee_754` 例外が検出された場合

説明のために、basic で起きた例外を保持する `basic.cexc` レジスタ、extended で起きた例外を保持する `extend.cexc` レジスタを仮定し、それぞれが、`uf/of/dz/nx/nv` のビットを持つものとする。

a. 両方とも例外通知がマスクされており、例外を通知しない場合

`fsr.cexc` には `basic.cexc` と `extend.cexc` の論理和が表示され、`fsr.aexc` には `basic.cexc` と `extend.cexc` の論理和が反映される。

```
fsr.cexc ← basic.cexc | extend.cexc
fsr.aexc ← fsr.aexc | basic.cexc | extend.cexc
```

b. basic か extended のどちらかの例外が通知される場合

`fsr.cexc` には `basic.cexc` と `extend.cexc` の論理和が表示される。
`fsr.aexc` は更新されない。

```
fsr.cexc ← basic.cexc | extend.cexc
```

c. basic, extended 両方とも例外が通知される場合

`fsr.cexc` には `basic.cexc` と `extend.cexc` の論理和が表示される。
`fsr.aexc` は更新されない。

```
fsr.cexc ← basic.cexc | extend.cexc
```

2. 一方で `fp_exception_ieee_754`, 他方で `fp_exception_other` が検出された場合

例外の優先順位と異なり、`fp_exception_other` 例外が

FSR.ftt = unfinished_FPop で通知される。FSR.aexc, FSR.cexc は更新されない。

Programming Note – `fp_exception_other` が通知された場合、同時に `fp_exception_ieee_754` 例外が起きたかどうかを判断する方法はないので、システムソフトウェアのエミュレーションルーチンは IEEE に準拠した例外の検出と、関連するレジスタの更新も行うこと。

3. `basic`, `extended` 両方で `fp_exception_other` が検出された場合

`fp_exception_other` 例外が `FSR.ftt = unfinished_FPop` で通知される。
`FSR.aexc`, `FSR.cexc` は更新されない。

Note – `non-SIMD` 演算の場合、`fp_exception_ieee_754` が通知されるときは `fsr.cexc` には 1 要因のみが表示される。`SIMD` 演算の場合、`basic` と `extended` の要因の論理和が表示されるので、複数要因が表示されることがある。

5.1.9 Tick (TICK) Register

SPARC64 VIIIfx は `TICK.counter` を 63 ビット幅で実装している (Impl. Dep. #105)。

Implementation Note – SPARC64 VIIIfx では、`TICK` の読み出し時に `counter` に表示される値は、`RDTICK` 命令が実行されたときのものであり、完了したときのものではない (SPARC64 VIIIfx はアウトオブオーダー実行なので両者は明らかに異なる)。`TICK` の読み出しを 2 回行ったとき、`counter` の差分は、2 回の `RDTICK` 命令の実行の間の CPU サイクル数である。間に挟まる命令列が十分長ければ、実行の間の CPU サイクル数と完了の間の CPU サイクル数の差は小さいだろう。

5.2 Privileged Registers

5.2.6 Trap State (TSTATE) Register

SPARC64 VIIIfx は `TSTATE.CWP` のビット <2:0> のみを実装している。ビット 3 とビット 4 の書き込みは無視され、読み出しには 0 が返る。

Note – ソフトウェアで `PSTATE.RED` に 1 を設定すべきではない。`RED_state` に遷移する際に必要な、ハードウェア内部の処理をせずに、遷移する可能性があるためである。

5.2.9 Version (VER) Register

TABLE 5-1 に SPARC64 VIIIfx の VER の各フィールドと値を示す。

TABLE 5-1 VER のエンコーディング

ビット	フィールド	説明
63:48	manuf	0004 ₁₆ (Impl. Dep. #104)
47:32	impl	8
31:24	mask	n (n の値はプロセッサチップの版数による)
15:8	maxt1	5
4:0	maxwin	7

manuf フィールドには、JEDEC で定められた富士通を示す 8 ビットコードが表示され、上位 8 ビットは 0 となる。manuf, impl, mask フィールドの値はその性質上、将来のプロセッサでは変更されることがある。mask フィールドは論理回路が変更されるたびに大きい数字が入ることになるが、それが連続した数字である必要はない。

5.2.11 Ancillary State Registers (ASRs)

ASR の詳細については、JPS1 Commonality の Section 5.2.11 を参照。

Performance Control Register (PCR) (ASR 16)

SPARC64 VIIIfx の PCR 仕様は JPS1 Commonality 仕様と一部が異なる。FIGURE 5-2 と TABLE 5-2 で、JPS1 Commonality で定義された impl.dep. #207, #250 の SPARC64 VIIIfx での仕様と、PCR.SU, PCR.SL の JPS1 Commonality 仕様からの変更分を含む、PCR の仕様を説明する。PCR<2:1> は JPS1 Commonality に準拠している。

PA イベントカウンタの詳細は Appendix Q を参照。

0	OVF	0	OVRO	0	NC	0	SC	SU	SL	ULRO	UT	ST	PRIV							
63	48	47	32	31	27	26	25	24	22	21	20	18	17	11	10	4	3	2	1	0

FIGURE 5-2 PA 設定レジスタ (Performance Control Register, PCR) (ASR 16)

TABLE 5-2 PCR のフィールド

ビット	フィールド	説明																		
47:32	OVF	<p>オーバーフロー。RDPCR でカウンタのオーバーフローの情報が読み出せ、WRPCR でオーバーフロー情報をセット・クリアすることができる。PCR.OVF は SPARC64 VIIIfx 独自のフィールドである (impl. dep. #207)。</p> <p>OVF のビットとカウンタの対応は以下の通りである。OVF のビットに 0 を書き込むことで、対応するカウンタのオーバーフロー情報をクリアできる。</p> <table border="1" style="margin: 10px auto;"> <tr> <td style="width: 100px; text-align: center;">0</td> <td style="width: 20px; text-align: center;">U3</td> <td style="width: 20px; text-align: center;">L3</td> <td style="width: 20px; text-align: center;">U2</td> <td style="width: 20px; text-align: center;">L2</td> <td style="width: 20px; text-align: center;">U1</td> <td style="width: 20px; text-align: center;">L1</td> <td style="width: 20px; text-align: center;">U0</td> <td style="width: 20px; text-align: center;">L0</td> </tr> <tr> <td style="text-align: center;">15</td> <td style="text-align: center;">7</td> <td style="text-align: center;">6</td> <td style="text-align: center;">5</td> <td style="text-align: center;">4</td> <td style="text-align: center;">3</td> <td style="text-align: center;">2</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> </tr> </table> <p>ソフトウェアが 1 を書き込んでも、オーバーフローの例外は通知されない。</p>	0	U3	L3	U2	L2	U1	L1	U0	L0	15	7	6	5	4	3	2	1	0
0	U3	L3	U2	L2	U1	L1	U0	L0												
15	7	6	5	4	3	2	1	0												
26	OVRO	<p>オーバーフロー情報の変更禁止。書き込みの際、書き込もうとするデータの OVRO が 0 だと、データの OVF で PCR.OVF が更新される。データの OVRO が 1 だと、データの OVF の値は無視され、PCR.OVF は書き込みによって更新されない。読み出しには 0 が返る。</p> <p>OVRO はオーバーフロー情報を変更することなく PCR を更新するためのものである。PCR.OVF はハードウェアが常に最新状態に保つので、次の PCR 読み出し時にはその時点でのオーバーフロー情報が返される。PCR.OVRO は SPARC64 VIIIfx 独自のフィールドである (impl. dep. #207)。</p>																		
24:22	NC	<p>カウンタペアの数。このフィールドはリードオンリーで、SPARC64 VIIIfx では 3 (カウンタペア 4 つ) である。</p>																		
20:18	SC	<p>PIC にマッピングするカウンタペアの指定。書き込みでは PIC のマッピングを更新し、読み出しでは現在のマッピング情報が返される。</p>																		

TABLE 5-2 PCR のフィールド

ビット	フィールド	説明
17:11	SU	PIC<63:32> で計測するイベントを指定する。書き込みで設定を更新し、読みだしでは現在の設定が返される。JPS1 Commonality の仕様を 1 ビット拡張し、7 ビットのフィールドとする。
10:4	SL	PIC<31:0> で計測するイベントを指定する。書き込みで設定を更新し、読みだしでは現在の設定が返される。JPS1 Commonality の仕様を 1 ビット拡張し、7 ビットのフィールドとする。
3	ULRO	SU, SL の変更禁止。書き込みの際、書き込もうとするデータの ULRO が 0 だと、データの SU, SL で PCR.SU, PCR.SL が更新される。データの ULRO が 1 だと、データの SU, SL は無視され、PCR.SU, PCR.SL は更新されない。読み出しには 0 が返る。 ULRO は、SU, SL の設定を変更することなく PIC のマッピングを変更するためのものである。SPARC64 VIIIfx 独自のフィールドである (impl. dep. #207)。
2	UT	ユーザモード。PSTATE.PRIV = 0 で発生したイベントを計測する。
1	ST	システムモード。PSTATE.PRIV = 1 で発生したイベントを計測する。 PCR.UT と PCR.ST がともに 1 の場合、すべての場合で発生したイベントが計測される。PCR.UT と PCR.ST がともに 0 の場合、計測は行われれない。PCR.UT と PCR.ST はグローバルなフィールドで、すべての PIC に対して適用される。
0	PRIV	特権アクセス。PCR.PRIV = 1 のとき、非特権モード (PSTATE.PRIV = 0) で RDPCR, WRPCR, RDPIC, WRPIC を実行すると <i>privileged_action</i> 例外が通知される。 PCR.PRIV = 0 のときは、PSTATE.PRIV = 0 で RDPCR の実行は正常に完了し、WRPCR は PCR.PRIV を変更しようとする (1 を書き込もうとする) と <i>privileged_action</i> が通知される (impl. dep. #250)。

Performance Instrumentation Counter (PIC) Register (ASR 17)

PIC は JPS1 **Commonality** に準拠する。

SPARC64 VIIIfx では PIC は 4 組実装される。PCR.SC で指定された PIC が ASR 17 でアクセスできる。PIC のアクセスは PICU, PICL カウンタのペアにアクセスすることになる。PICU, PICL のエンコーディングについては Appendix Q を参照。

オーバーフロー発生時、カウンタは 0 にラップアラウンドし、SOFTINT レジスタのビット 15 に 1 がセットされ、interrupt level-15 例外が通知される。カウンタオーバーフローのトラップは、カウンタ値が FFFF FFFF₁₆ から 0 に更新される際に通知される。同時に複数のオーバーラップが起きたときは、複数のオーバーラップビットが 1 にセットされる。すでに 1 にセットされているオーバーフロービットは 1 のまま変更されない。

オーバーフロービットは、ソフトウェアが対応する PCR.OVF に 0 を書き込むことでクリアされる。ソフトウェアは 1 を書き込むことができるが、この書き込みによるオーバーフロートラップは発生しない。

Dispatch Control Register (DCR) (ASR 18)

SPARC64 VIIIfx は DCR を実装しない。DCR の読み出しには 0 が返り、書き込みは無視される。DCR は特権レジスタである。非特権モードでのアクセスには *privileged_opcode* 例外が通知される。

Extended Arithmetic Register (XAR) (ASR 29)

新規に追加された非特権レジスタである。命令フィールドを拡張するためのレジスタである。命令のレジスタ指定フィールド (*rs1*, *rs2*, *rs3*, *rd*) の上位 3 ビットと、SIMD 演算するかどうかを指定する。

XAR は 2 命令分のレジスタ指示フィールドを持つ。1 命令目、2 命令目用の各フィールドには V (valid) ビットがあり、その他のフィールドは *v*=1 のときに有効である。レジスタフィールドには整数 / 浮動小数点数の区別はなく、任意のレジスタと結合する。

トラップ時には、XAR の内容は TXAR [TL] にセーブされ、XAR は all0 になる。セーブされるのは、実行中の命令の実行直前の XAR の値である。

Note – Tcc の条件が成立してトラップした時も、Tcc 実行直前の XAR の内容がセーブされる。

0	f_v	0	f_simd	f_urd	f_urs1	f_urs2	f_urs3	s_v	0	s_simd	s_urd	s_urs1	s_urs2	s_urs3											
63	32	31	30	29	28	27	25	24	22	21	19	18	16	15	14	13	12	11	9	8	6	5	3	2	0

TABLE 5-3 XAR のフィールド

ビット	フィールド	説明
63:32	—	Reserved. このフィールドに 0 以外の値を書くと、 <i>illegal_instruction</i> 例外が通知される。
31	f_v	f_ で始まるフィールドの内容が有効かどうかを示す。f_v=1 なら、1 番目に実行される命令に f_ が適用される。1 番目の命令が完了すると、f_ フィールドはすべて 0 クリアされる。
30:29	—	Reserved. このフィールドに 0 以外の値を書くと、 <i>illegal_instruction</i> 例外が通知される。
28	f_simd	f_simd=1 なら、1 番目に実行される命令は SIMD 命令として実行される。f_simd=0 なら non-SIMD で実行される。
27:25	f_urd	1 番目の命令の rd の拡張フィールド。
24:22	f_urs1	1 番目の命令の rs1 の拡張フィールド。

TABLE 5-3 XAR のフィールド

ビット	フィールド	説明
21:19	f_urs2	1 番目の命令の rs2 の拡張フィールド。
18:16	f_urs3	1 番目の命令の rs3 の拡張フィールド。
15	s_v	s_ で始まるフィールドの内容が有効かどうかを示す。s_v=1 なら、2 番目に実行される命令に s_ が適用される。2 番目の命令が完了すると、s_ フィールドはすべて 0 クリアされる。
14:13	—	Reserved. このフィールドに 0 以外の値を書くと、 <i>illegal_instruction</i> 例外が通知される。
12	s_simd	s_simd=1 なら、2 番目に実行される命令は SIMD 命令として実行される。s_simd=0 なら non-SIMD で実行される。
11:9	s_urd	2 番目の命令の rd の拡張フィールド。
8:6	s_urs1	2 番目の命令の rs1 の拡張フィールド。
5:3	s_urs2	2 番目の命令の rs2 の拡張フィールド。
2:0	s_urs3	2 番目の命令の rs3 の拡張フィールド。

本仕様書における XAR の記述について

Table 5-3 のフィールド名以外に以下の別名表記も用いる。

■ メモリアクセス用

別名	実際のフィールド
XAR.f_dis_hw_pf	XAR.f_urs3<1>
XAR.s_dis_hw_pf	XAR.s_urs3<1>
XAR.f_sector	XAR.f_urs3<0>
XAR.s_sector	XAR.s_urs3<0>

■ SIMD FMA 用

別名	実際のフィールド
XAR.f_negate_mul	XAR.f_urd<2>
XAR.s_negate_mul	XAR.s_urd<2>
XAR.f_rs1_copy	XAR.f_urs3<2>
XAR.s_rs1_copy	XAR.s_urs3<2>

■ 総称

1 命令目、2 命令目の区別なしに記述する場合は `XAR.f_v`、`XAR.s_v` の値により 1 命令目、2 命令目のどちらかを選択したものとす。

記述法	<code>XAR.f_v=1</code> のとき	<code>XAR.f_v=0</code> かつ <code>XAR.s_v=1</code> のとき
<code>XAR.v</code>	<code>XAR.f_v</code>	<code>XAR.s_v</code>
<code>XAR.urd</code>	<code>XAR.f_urd</code>	<code>XAR.s_urd</code>
<code>XAR.urs1</code>	<code>XAR.f_urs1</code>	<code>XAR.s_urs1</code>
<code>XAR.urs2</code>	<code>XAR.f_urs2</code>	<code>XAR.s_urs2</code>
<code>XAR.urs3</code>	<code>XAR.f_urs3</code>	<code>XAR.s_urs3</code>
<code>XAR.dis_hw_pf</code>	<code>XAR.f_dis_hw_pf</code>	<code>XAR.s_dis_hw_pf</code>
<code>XAR.sector</code>	<code>XAR.f_sector</code>	<code>XAR.s_sector</code>
<code>XAR.negate_mul</code>	<code>XAR.f_negate_mul</code>	<code>XAR.s_negate_mul</code>
<code>XAR.rs1_copy</code>	<code>XAR.f_rs1_copy</code>	<code>XAR.s_rs1_copy</code>

XAR 動作

XAR を参照する命令と参照しない命令がある。

ここでは XAR を参照する命令のことを、“XAR 対象命令”と呼ぶ。どの命令が XAR 対象命令かは、TABLE A-2, “SPARC64 VIIIfx の命令セット” (page 59) を参照。

- XAR 対象でない命令は、その命令の実行時に `XAR.v=1` だと *illegal_action* 例外が通知される。
- XAR 対象命令の動作は、

- `XAR.v=1` のとき、`XAR.urs1`、`XAR.urs2`、`XAR.urs3`、`XAR.urd` がそれぞれ命令フィールドの `rs1`、`rs2`、`rs3`、`rd` と結合する。

整数レジスタでは、XAR のフィールドを上位 3 ビット、命令フィールドを下位 5 ビットとする計 8 ビットで指定されるレジスタを使用する。

浮動小数点レジスタでは、XAR のフィールドを上位 3 ビットとし、命令フィールドの 5 ビットを倍精度レジスタのエンコーディング方式にしたがってデコードした 6 ビットを下位とする計 9 ビットで指定されるレジスタを使用する。浮動小数点レジスタのエンコーディングの詳細は “*Floating-Point Register Number Encoding*” (page 20) を参照。

- `XAR.f_v=1` なら `XAR.f_urs1`、`XAR.f_urs2`、`XAR.f_urs3`、`XAR.f_urd` が使われる。
- `XAR.f_v=0` かつ `XAR.s_v=1` なら `XAR.s_urs1`、`XAR.s_urs2`、`XAR.s_urs3`、`XAR.s_urd` が使われる。

- XAR の値は 1 回のみ有効。XAR を参照した命令が完了すると、XAR の関連フィールドは all0 になる。
- XAR 対象命令であっても、以下のどれかにあたる場合 *illegal_action* が通知される。
 - `xg[32]` 以上の整数レジスタを指定した場合。
 - `rs1` を使わない命令に対して、`urs1 ≠ 0` を指定した場合。
`rs2, rs3, rd` についても同様である。
`rs2` フィールドを `simm13` や `fcn` などの即値として使う命令で、`urs2 ≠ 0` の場合も *illegal_action* が通知される。
 - `FDIV(s,D), FSQRT(s,D)` で `rd` に `f[256]` 以上を指定した場合。
 - SIMD 拡張されない命令 (整数演算も含む) に対して `XAR.simd = 1` を指示した場合。
 - `XAR.simd = 1` で `f[256]` 以上を指定した場合。
ただし `FMADD` は、`rs1, rs2` に `f[256]` 以上を指定可能。
`XAR.urs3<2>`, `XAR.urd<2>` も 1 になってもよいが、これは `f[256]` 以上の指定ではなく、別の意味に解釈される。詳細は “*FMADD の SIMD 拡張*” (page 73) を参照。
 - `ld/st/atomic` 命令で `XAR.urs3<2> ≠ 0` のとき。

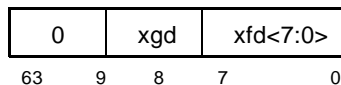
後続 1 命令のレジスタ番号を指示する場合、`1st` を使っても `2nd` を使ってもよい。

Programming Note – WRXAR 命令を使えば `XAR.f_v`, `XAR.s_v` どちらでも任意に 1 を設定できる。 `sxar1` 命令では `XAR.f_v = 1` になる。

`XAR.f_v = 0` のときは、`f_simd, f_urs1, f_urs2, f_urs3, f_urd` の各フィールドに 0 でない値があっても無視される。命令実行後、各フィールドの値がどうなるかは未定義である。`XAR.s_v = 0` のときは、`s_simd, s_urs1, s_urs2, s_urs3, s_urd` の各フィールドに 0 でない値があっても無視される。命令実行後各フィールドの値がどうなるかは未定義である。

Extended Arithmetic Register Status Register (XASR) (ASR 30)

新規追加非特権レジスタ。



ビット	フィールド	属性	説明
63:9	—	R	Reserved.
8	xgd	RW	xg[0] – xg[31] が更新されると、xgd = 1 になる。
7:0	xfd<7:0>	RW	浮動小数点レジスタが更新されると、対応するビットに 1 がセットされる。

コンテキストスイッチ時に、レジスタを保存する必要があるかどうかを判断するために使用する。拡張レジスタを更新すると、対応するビットが 1 になる。

- V9 定義の整数レジスタの更新を示すフラグはない。
- xg[0] – xg[31] を更新すると XASR.xgd = 1 がセットされる。
- 浮動小数点レジスタを更新すると、対応する xfd<i> = 1 がセットされる。レジスタと xfd のビット対応は以下の通り。

浮動小数点レジスタ	対応する XASR のビット
f[0] – f[63]	xfd<0>
f[64] – f[126]	xfd<1>
f[128] – f[190]	xfd<2>
f[192] – f[254]	xfd<3>
f[256] – f[318]	xfd<4>
f[320] – f[382]	xfd<5>
f[384] – f[446]	xfd<6>
f[448] – f[510]	xfd<7>

Programming Note – xfd[0] は V9 FPR を更新したときにセットされる。このとき、V9 の FPSR も同時に更新される。例えば f[15] を更新した場合は、FPSR.d1 = 1 と XASR.xfd<0> = 1 がセットされる。

Trap XAR Registers (TXAR) (ASR 31)

新規追加特権レジスタ。フィールドは XAR と同じである。

TXAR はトラップ時に XAR が保存されるレジスタである。レジスタフィールドの定義は XAR と同じである。TXAR[1] – TXAR[MAXTL] までのレジスタが定義されている。TL > 0 のときは、TXAR[TL] が見える。TL を変更すると、変更直後の命令から新しい TL に対応する TXAR[TL] が read/write できる。

TL = 0 で read/write すると *illegal_instruction* が通知される。*resereved* フィールドに 0 でない値を書くと *illegal_instruction* が通知される。

5.2.12 Registers Referenced Through ASIs

本節では JPS1 **Commonality** の 5.2.12 で定義されている ASI レジスタについてのみ記述する。その他の ASI レジスタについては Appendix L を参照。

Data Cache Unit Control Register (DCUCR)

ASI 45₁₆ (ASI_DCU_CONTROL_REGISTER), VA = 00₁₆.

DCUCR は、命令、プリフェッチ、書き込みとデータキャッシュ、MMU、ウォッチポイントなど、メモリアクセスに関連するハードウェアの機能を制御するためのレジスタである。SPARC64 VIIIfx の DCUCR は JPS1 **Commonality** で定義された仕様をほぼ実装している。

DCUCR のビット配置を FIGURE 5-3 に、ビットの説明を TABLE 5-4 に示す。

—	0	0	0	WEAK_SPCA	—	VM	PR	PW	VR	VW	—	DM	IM	0	0					
63	50	49	48	47	42	41	40	33	32	25	24	23	22	21	20	4	3	2	1	0

FIGURE 5-3 DCUCR (ASI 45₁₆)

TABLE 5-4 DCUCR のフィールド

ビット	フィールド	属性	説明
63:50	—		Reserved
49:48	CB, CV	R	SPARC64 VIIIfx では実装されない。読み出しには 0 が返り、書き込みは無視される。
47:42	impl. dep.	R	Reserved. 読み出しには 0 が返り、書き込みは無視される。
41	WEAK_SPCA	RW	投機的なメモリアクセスの抑止 (impl. dep. #240)。WEAK_SPCA に 1 がセットされると、分岐予測が行われなくなる。命令のプリフェッチは常に分岐しない方向に行われる。分岐命令以降のロード、ストアは、分岐方向が確定するまで行われない。ハードウェアプリフェッチ機構は停止され、プリフェッチ命令はストロングプリフェッチも含めすべて無効となる。 命令プリフェッチのアクセス範囲は CPU 内部リソースによって決まる一定範囲内に留まるので、weak_spca = 1 ではメモリアクセスの範囲は推定可能である。
40:33	PM<7:0>		Reserved.
32:25	VM<7:0>	RW	Data Watchpoint Register のマスクを指定する。SPARC64 VIIIfx では Data Watchpoint Register は物理アドレス、論理アドレス共用。

TABLE 5-4 DCUCR のフィールド

ビット	フィールド	属性	説明
24, 23	PR, PW	RW	Data Watchpoint Register の値を物理アドレスと解釈して VM で指定されたアドレスに read または write アクセスすると <i>PA_watchpoint</i> 例外が通知される。
22, 21	VR, VW	RW	Data Watchpoint Register の値を論理アドレスと解釈して VM で指定されたアドレスに read または write アクセスすると <i>VA_watchpoint</i> 例外が通知される。
20:4	—		Reserved.
3	DM	RW	Data MMU 有効化。DM を 0 にセットすると、データアクセス時にアドレス変換が行われない。このとき、論理アドレスはそのまま物理アドレスとして使われる。
2	IM	RW	命令 MMU 有効化。IM を 0 にセットすると、データアクセス時にアドレス変換が行われない。このとき、論理アドレスはそのまま物理アドレスとして使われる。
1	DC	R	SPARC64 VIIIfx では実装されない。読み出しには 0 が返り、書き込みは無視される。
0	IC	R	SPARC64 VIIIfx では実装されない。読み出しには 0 が返り、書き込みは無視される。

Implementation Note – DCUCR.WEAK_SPCA = 1 のとき、CTI 以降の命令プリフェッチは、最大でもその CTI から 1KB を越えることはない。

Programming Note – 投機メモリアクセス抑止を確実にを行うために、システムソフトウェアは DCUCR.WEAK_SPCA = 1 に設定後直ちに `membar #Sync` を発行すること。

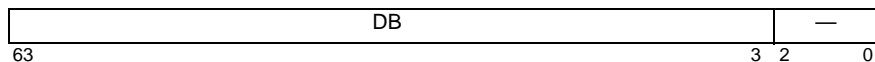
Programming Note – SPARC64 VIIIfx では DCUCR の IM (IMMU enable), DM (DMMU Enable) 変更は以下の命令列で行う必要がある。

```
# DCUCR.IM update
stxa DCUCR
flush
```

```
# DCUCR.DM update
stxa DCUCR
membar #sync
```

Data Watchpoint Registers

レジスタ名	ASI_WATCHPOINT
ASI	58 ₁₆
VA	38 ₁₆
アクセス種別	Supervisor read/write



ビット	フィールド	属性	説明
63:3	DB	RW	ウォッチポイントアドレス (VA, PA 共用)

JPS1 Commonality の TABLE 5-18 で、ウォッチポイントの対象は translating ASI, bypass ASI、であると定義している。しかしこの表の定義に従うと、実装依存 ASI や未定義 ASI もウォッチポイントの対象となってしまうので、SPARC64 VIIIfx では translating, bypass, nontranslating を定義し直した (TABLE L-1 (page 208) を参照)。この表で translating, bypass と定義された ASI がウォッチポイントの対象となる。

JPS1 Commonality ではウォッチポイントを、論理アドレス・物理アドレス独立に設定できるが、SPARC64 VIIIfx では、アドレスの指定は一つだけで、そのアドレスを論理アドレス・物理アドレスと解釈した場合にマッチするかどうかを監視するよう、仕様を変更する。JPS1 Commonality の ASI_VA_WATCHPOINT (ASI = 58₁₆, VA = 38₁₆) を ASI_WATCHPOINT という名前にし、ASI_PA_WATCHPOINT (ASI = 58₁₆, VA = 40₁₆) は削除する。

Compatibility Note – この変更は SPARC JPS1 非互換である。

ウォッチポイントの有効・無効の指定方法は、SPARC JPS1 仕様に準拠し、DCUCR.VR, DCUCR.VW, DCUCR.PR, DCUCR.PW で指定する。DCUCR.VR または DCUCR.VW に 1 がセットされていると、DB を論理アドレスと解釈してマッチした場合には VA_watchpoint が通知され、DCUCR.PR または DCUCR.PW に 1 がセットされていると、DB を物理アドレスと解釈してマッチした場合には PA_watchpoint が通知される。論理アドレス・物理アドレスどちらでもマッチした場合は、VA_watchpoint が通知される。

ウォッチポイントが有効である ASI 空間の一覧が JPS1 Commonality の TABLE 5-18 で定義されているが、この表は SPARC64 VIIIfx で未実装である ASI も含まれている。SPARC64 VIIIfx は、未実装である translating ASI ではウォッチポイントの検出は行わず、アクセスすると data_access_exception が通知される。

物理アドレスとしてマッチしているかどうかを判定する際、DB<63:41>は無視される。

SIMD ロード、SIMD ストア命令では、**basic** 側、**extended** 側のどちらでもウォッチポイントを検出する。アドレスとマスクが **basic** 側のアドレスとアクセス長にマッチすれば、**basic** 側の *VA_watchpoint*, *PA_watchpoint* が通知され、アドレスとマスクが **extended** 側のアドレスとアクセス長にマッチすれば、**extended** 側の *VA_watchpoint*, *PA_watchpoint* が通知される。

ウォッチポイントの信頼性を下げる機能は SPARC64 VIIIfx には実装されていない (impl. dep. #244)。

以下の命令については、ウォッチポイントの設定と検出に関する特例がある。詳細はそれぞれの命令を参照。

- Appendix A.4, “*Block Load and Store Instructions (VIS I)*”
- Appendix A.30, “*Load Quadword, Atomic [Physical]*”
- Appendix A.42, “*Partial Store (VIS I)*”
- Appendix A.77, “*Store Floating-Point Register on Floating-Point Register's Condition*”
- Appendix A.79, “*Cache Line Fill with Undetermined Value*”
- Appendix F.5.1, “*Trap Condition of SIMD Load and SIMD Store*”

Instruction Trap Register

SPARC64 VIIIfx は命令トラップレジスタを実装する (impl. dep. #205)。

SPARC64 VIIIfx では、命令キャッシュに CALL, 条件分岐命令 (BPcc, FBPfcc, BiCC, BPr) が保持される際、下位 11 ビットは命令定義通りメモリ上と同じデータが保存される (impl. dep. #245)。

5.2.13 Floating-Point Deferred-Trap Queue (FQ)

SPARC64 VIIIfx は浮動小数点演算の遅延トラップキューを実装しない (impl. dep. #24)。RDPR 命令で FQ を読み出そうとすると、*illegal_instruction* 例外を通知する (impl. dep. #25)。

5.2.14 IU Deferred-Trap Queue

SPARC64 VIIIfx は整数ユニットの遅延トラップキューを実装しない (impl. dep. #16)。

Instructions

6.1 Instruction Execution

SPARC64 VIII_{fx} は先進のスーパースケーラ機構を実装した SPARC V9 プロセッサである。一サイクルで複数の命令を発行・実行することができる。SPARC64 VIII_{fx} のプログラムセマンティクスは逐次命令実行モデルなので、この節の事項はソフトウェアには見えないが、効率と正確性を知る上で重要なのでここで説明する。

6.1.1 Data Prefetch

SPARC64 VIII_{fx} はプログラムの命令順序通りではなく、投機的に命令実行を行う (アウトオブオーダー)。投機実行された命令列が実行されるべき命令でないことがわかると、命令実行は取り消されるが、投機実行した命令列のメモリアクセスは取り消すことができない。SPARC64 VIII_{fx} の投機メモリアクセスの方針は以下の通りである。

1. あるメモリ操作 x のメモリアドレスが揮発性 (volatile) のとき ($location[x]$), SPARC64 VIII_{fx} は $location[x]$ に対するプリフェッチを行わない。 $location[x]$ のフェッチは、 x が確実に実行される (committable) と判明した後で行われる。
2. あるメモリ操作 x のメモリアドレスが不揮発性 (nonvolatile) のとき ($location[x]$), SPARC64 VIII_{fx} は $location[x]$ に対するプリフェッチを行うかもしれない。その際は以下の方針に従う。
 - a. メモリ操作 x がストアセマンティクスの操作で、キャッシュャブル領域のアクセスの場合、データを排他的使用权を獲得するところまで行う。ストアセマンティクス以外の操作では、ノンキャッシュャブルであってもプリフェッチを行う。
 - b. アトミック操作 (CAS (X)A, LDSTUB, SWAP) のプリフェッチは行われない。

SPARC64 VIII_{fx} は投機的なロード命令の実行を防ぐための機構を 2 つ実装している。

1. ある種のページや I/O 空間に対しては投機アクセスを行わない。投機的なアクセスを禁止する場合は、PTE の E (side-effect) ビットに 1 をセットする。E ビットがセットされているページへのアクセスは、そのアクセスが投機的でなくなるまで待機させられる。詳細は Appendix F を参照。
2. ロードを強制的にプログラム順に行わせる ASI_PHYS_BYPASS_WITH_EBIT[_L] (ASI = 15₁₆, 1D₁₆) は投機的には実行されない。

6.1.2 Instruction Prefetch

SPARC64 VIII_{fx} は、命令の供給が間に合わず実行が止まるということが極力起こらないよう、命令プリフェッチを行う。分岐予測の結果によっては、実際には実行しない命令列をプリフェッチすることがある。さらに、投機実行した命令がメモリアクセスをすることもある。命令プリフェッチや投機メモリアクセスによる例外を検出してもすぐには通知せず、その命令の直前の命令が完了してから通知される。¹

6.1.3 Syncing Instructions

SPARC64 VIII_{fx} はある種の命令を *sync* 命令として扱う。*sync* 命令は実行するとパイプラインを数サイクルの間停止させるような命令である。*sync* 命令には *pre sync* と *post sync* の 2 種類がある。*pre sync* 命令は、プログラム順でその命令より前にある命令の実行が完了してから、その命令だけを実行完了し、その後で、後続命令を実行するような副次的効果を持つ命令である。*post sync* 命令は、プログラム順でその命令より後にある命令の発行を、その命令が実行完了するまで停止する副次的効果を持つ命令である。*pre sync* かつ *post sync* 属性を持つ命令も存在する。*sync* 命令には、プリフェッチした命令列を破棄し、再度命令フェッチを行う副作用を持つものもある。

SPARC64 VIII_{fx} では、ストアを除くすべての命令がプログラム順に完了する。ストアはその結果が *global visible* になる前に完了する (ストアの突き放し完了)。

6.2 Instruction Formats and Fields

SPARC64 VIII_{fx} の命令フォーマットは 5 種類に大別される。そのうち 4 種類の命令フォーマットは JPS1 **Commonality** の Section 6.2 を参照。5 番目の命令フォーマットは SPARC64 VIII_{fx} 独自のフォーマットである。

1. ハードウェアのエラーやその他命令実行とは非同期に起きるエラーは、そのエラーを起こした命令がの完了を待たずに通知される。

Format 5 ($op = 2, op3 = 37_{16}$): FMADD, FPMADDX, FSELMOV, and FTRIMADD
(in place of IMPDEP2A and IMPDEP2B)

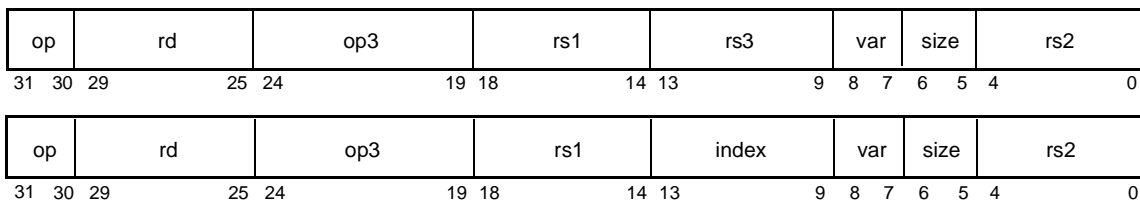


FIGURE 6-1 Summary of Instruction Formats: Format 5

命令フィールドの説明は **JPS1 Commonality** の TABLE 6-1 を参照。Format 5 で追加された 4 つのフィールドの説明を下表に示す。

TABLE 6-1 Format 5 の命令フィールドの解釈

フィールド	説明
rs3	この 5 ビットフィールドは、浮動小数点演算の 3 番目の入力浮動小数点レジスタを示す。
var	この 2 ビットフィールドは、浮動小数点積和演算の種類を指示するために使われるほか、Impdep2 に定義された命令を選択するために使われる。
size	この 2 ビットフィールドは、浮動小数点積和演算のサイズを指示するために使われるほか、Impdep2 に定義された命令を選択するために使われる。
index	FTRIMADDd で係数テーブルを指示するために使われる。

6.3 Instruction Categories

6.3.3 Control-Transfer Instructions (CTIs)

実行制御命令には以下の種類がある。

- 条件分岐 (Bicc, BPcc, BPr, FBfcc, FBPFcc)
- 無条件分岐
- Call and link (CALL)
- Jump and link (JMPL, RETURN)

- Return from trap (DONE, RETRY)
- Trap (Tcc)

この仕様書では SPARC64 VIIIfx の CALL と JMPL 命令について説明する。それ以外の実行制御命令は JPS1 **Commonality** を参照。

CALL and JMPL Instructions

SPARC64 VIIIfx は PSTATE.AM=0 のとき、PC の 64 ビットすべてをデスティネーションレジスタに書き込む。PSTATE.AM=1 のときは上位 32 ビットをゼロにした値をデスティネーションレジスタに書き込む。

6.3.7 Floating-Point Operate (FPop) Instructions

FPop が *fp_exception_other* 例外を FSR.f_{ftt} = *unfinished_FPop* で通知する正確な条件は、Appendix B.6, “*Floating-Point Nonstandard Mode*” で定義する。

6.3.8 Implementation-Dependent Instructions

SPARC64 VIIIfx は IMPDEP1, IMPDEP2 に、浮動小数点演算命令を定義している。JPS1 **Commonality** では FPop を “オペコードが FPop1 または FPop2 である命令” と定義しているため、IMPDEP の命令は FPop ではないことになる。

IMPDEP2 で定義された浮動小数点積和演算命令のうち FMADD, FMSUB, FNMSUB には 4 倍精度演算が定義されているが、SPARC64 VIIIfx では 4 倍精度演算は実装されないため、これらの命令を実行すると *illegal_instruction* 例外が通知される。FNMADD だけは 4 倍精度演算が定義されていない。4 倍精度浮動小数点積和演算は SPARC V9 で必須の命令ではないため、システムソフトウェアはエミュレーションしなくてもよい。

SPARC64 VIIIfx で IMPDEP1, IMPDEP2 に追加された命令のうち、浮動小数点レジスタを使う以下の命令は、PSTATE.PEF=0 または FPRS.FEF=0 のときに実行すると、*fp_disabled* 例外が通知される。

```
FCMP(GT,LE,EQ,NE,GE,LE)E(s,d), FCMP(EQ,NE)(s,d), FMAX(s,d), FMIN(s,d),
FRCPA(s,d), FRSQRTA(s,d), FTRISSELD, FTRISMULD, FTRIMADDd,
FSELMOV(s,d), F{N}M(ADD,SUB)(s,d), FPMADDX{HI}, ST{D}FR
```

これらは FPop ではないため、reserved であるオペコードを実行しようとするとき、JPS1 **Commonality** 6.3.9 で定義されている通り、*illegal_instruction* 例外が通知される。また、これらの命令のうち FPMADDX{HI}, ST{D}FR 以外は、JPS1 **Commonality** 6.3.7 の FPop と同様に FSR を更新する。FTRISSELD, FSELMOV(s,d) は *fp_exception_ieee_754* 例外を通知しない命令だが、実行が完了すると FSR.cexc の全フィールドに 0 をセットし、FSR.aexc は変更しない。

Traps

7.1 Processor States, Normal and Special Traps

JPS1 **Commonality** ではこの節で CPU のステートと遷移を定義しているが、SPARC64™ VIIIfx Extensions では Appendix O.1, “リセット種類” (page 241) で定義しているため、そちらを参照されたい。

7.1.1 RED_state

Appendix O.2.1, “RED_state” (page 244) も参照。

RED_state Trap Table

RED_state 用のトラップテーブルは実装依存のアドレス RSTVaddr に配置される。RSTVaddr の値はある実装に対しては固定となっており、SPARC64 VIIIfx では論理アドレス FFFF FFFF F000 0000₁₆、物理アドレス 0000 01FF F000 0000₁₆ である (impl. dep. #114)。

RED_state Execution Environment

RED_state では CPU はある制約下で動作するが、このためにいくつかの CPU 制御用レジスタの値は固定値で上書きされる。

Note – 遷移をアトミックに行うため、値は上書きであって代入ではない。

RED_state での SPARC64 VIIIfx の動作は以下の通りである (impl.dep. #115)

- RED_state である間は、ITLB によるアドレス変換機能は無効となる。DTLB によるアドレス変換は RED_state 遷移直後は無効だが、RED_state 中にソフトウェアによって有効にすることができる。RED_state 中でも、ASI レジスタ経由で TLB を参照・変更する機能は有効である。
- すべてのメモリアクセスはノンキャッシュブル、ストロングオーダーとして扱われる。
- XIR はマスクされないので、XIR を受けると例外を通知する。

Note – CPU 内のエラーにより RED_state に入った場合、ソフトウェアは致命的なエラーからの復旧やエラーを起こしたコンポーネントを無効にするなどの処理を行うべきである。リセット後に RED_state に入った場合、ソフトウェアはシステムを実行状態にするためのセットアップを行うこと。

7.1.2 error_state

プロセッサは、トラップレベルが最大 (TL = MAXTL) のときにトラップが起きると error_state に遷移する (impl. dep. #39)。

CPU は、CPU 内部で生成される *watchdog_reset* (WDR) によって error_state に遷移するが、WDR を抑止し、error_state で留まるように設定することもできる (impl. dep #40, #254)。

7.2 Trap Categories

7.2.2 Deferred Traps

SPARC64 VIIIfx ではエラー処理の例外が deferred で通知されることがある。詳細は Appendix P.2.2, “エラー検出時の動作” または Appendix P.4.3, “ADE トラップ発生した時の命令の実行状況” を参照。

7.2.4 Reset Traps

SPARC64 VIIIfx は命令完了が約 6.7 秒の間行われない場合、watchdog reset (WDR) 例外を通知する。

7.2.5 Uses of the Trap Categories

SPARC64 VIIIfx では、命令実行に同期して起きる例外はすべて `precise` である (impl. dep. #33)。

複数のメモリアクセスとして実行される命令 (LDD(A), STD(A), LDSTUB, CASA, CASXA, SWAP など) が、最初のアクセスの後で致命的なエラーを起こした場合、`precise` で通知される。

7.3 Trap Control

7.3.1 PIL Control

SPARC64 VIIIfx はシステムからのインタラプト要求を受信すると、`interrupt_vector_trap` (TT = 60₁₆) を通知する。トラップハンドラはインタラプト情報を読んだ後、SPARC V9 準拠のインタラプトで通知しなおす。この通知はソフトウェアが `SOFTINT` を書き込むことで行われる。詳細は **JPS1 Commonality** の Section 5.2.11 を参照。

SPARC64 VIIIfx は SPARC V9 準拠のインタラプトを受けると、PIL レジスタの値をチェックする。優先順位の条件を満たすインタラプトがある場合、SPARC64 VIIIfx は新しい命令の発行をやめ、未完了の命令をすべてキャンセルし、トラップハンドラに処理を移す。ただし、実行中の命令列が、より優先順位が高いトラップハンドラのものである場合はこの限りではない。

SPARC64 VIIIfx はインタラプト要求を `disrupting` トラップとして処理する。

7.4 Trap-Table Entry Addresses

7.4.2 Trap Type (TT)

SPARC64 VIIIfx では以下のトラップを定義している (impl. dep. #35; impl. dep. #36)。

- `async_data_error`
- `illegal_action`
- `SIMD_load_across_pages`

JPS1 Commonality のトラップ一覧にこれらを含めたものを TABLE 7-1, TABLE 7-2 に示す。TABLE 7-1 の網掛け部分は、SPARC64 VIIIfx では起こらないトラップである。

TABLE 7-1 SPARC64 VIIIfx のトラップ一覧 (TT 番号順) (1 of 2)

SPARC V9 M/O	JPS1 M/O	トラップ名	TT	% g 種類	優先順位
●	●	<i>Reserved</i>	000 ₁₆	-NA-	-NA-
●	●	<i>power_on_reset</i>	001 ₁₆	AG	0
○	●	<i>watchdog_reset</i>	002 ₁₆	AG	1
○	●	<i>externally_initiated_reset</i>	003 ₁₆	AG	1
●	●	<i>software_initiated_reset</i>	004 ₁₆	AG	1
●	●	<i>RED_state_exception</i>	005 ₁₆	AG	1
●	●	<i>Reserved</i>	006 ₁₆ -007 ₁₆	-NA-	-NA-
●	●	<i>instruction_access_exception</i>	008 ₁₆	MG	5
○	○	<i>instruction_access_MMU_miss</i>	009 ₁₆	MG (<i>impl. dep.</i>)	2
○	●	<i>instruction_access_error</i>	00A ₁₆	AG	3
●	●	<i>Reserved</i>	00B ₁₆ -00F ₁₆	-NA-	-NA-
●	●	<i>illegal_instruction</i>	010 ₁₆	AG	7
●	●	<i>privileged_opcode</i>	011 ₁₆	AG	6
○	○	<i>unimplemented_LDD</i>	012 ₁₆	AG	6
○	○	<i>unimplemented_STD</i>	013 ₁₆	AG	6
●	●	<i>Reserved</i>	014 ₁₆ -01F ₁₆	-NA-	-NA-
●	●	<i>fp_disabled</i>	020 ₁₆	AG	8
○	●	<i>fp_exception_ieee_754</i>	021 ₁₆	AG	11
○	●	<i>fp_exception_other</i>	022 ₁₆	AG	11
		(ftt = <i>unimplemented_FPop</i> のみ)	022 ₁₆	AG	8.2
●	●	<i>tag_overflow</i>	023 ₁₆	AG	14
○	●	<i>clean_window</i>	024 ₁₆ -027 ₁₆	AG	10
●	●	<i>division_by_zero</i>	028 ₁₆	AG	15
○	○	<i>internal_processor_error</i>	029 ₁₆	<i>impl. dep.</i>	<i>impl. dep.</i>
●	●	<i>Reserved</i>	02A ₁₆ -02F ₁₆	-NA-	-NA-
●	●	<i>data_access_exception</i>	030 ₁₆	MG	12
○	○	<i>data_access_MMU_miss</i>	031 ₁₆	MG (<i>impl. dep.</i>)	12
○	●	<i>data_access_error</i>	032 ₁₆	AG	12
○	○	<i>data_access_protection</i>	033 ₁₆	MG (<i>impl. dep.</i>)	12
●	●	<i>mem_address_not_aligned</i>	034 ₁₆	AG	10

TABLE 7-1 SPARC64 VIIIfx のトラップ一覧 (TT 番号順) (2 of 2)

SPARC V9 M/O	JPS1 M/O	トラップ名	TT	% g 種類	優先順位
○	●	<i>LDDF_mem_address_not_aligned</i> (impl. dep. #109)	035 ₁₆	AG	10
○	●	<i>STDF_mem_address_not_aligned</i> (impl. dep. #110)	036 ₁₆	AG	10
●	●	<i>privileged_action</i>	037 ₁₆	AG	11
○	○	<i>LDQF_mem_address_not_aligned</i> (impl. dep. #111)	038 ₁₆	AG	10
○	○	<i>STQF_mem_address_not_aligned</i> (impl. dep. #112)	039 ₁₆	AG	10
●	●	<i>Reserved</i>	03A ₁₆ –03F ₁₆	-NA-	-NA-
○	○	<i>async_data_error</i>	040 ₁₆	AG	2
●	●	<i>interrupt_level_n</i> (n = 1–15)	041 ₁₆ –04F ₁₆	AG	32-n
●	●	<i>Reserved</i>	050 ₁₆ –05F ₁₆	-NA-	-NA-
○	●	<i>interrupt_vector</i>	060 ₁₆	IG	16
○	●	<i>PA_watchpoint</i>	061 ₁₆	AG	12
○	●	<i>VA_watchpoint</i>	062 ₁₆	AG	11
○	●	<i>ECC_error</i>	063 ₁₆	AG	33
○	●	<i>fast_instruction_access_MMU_miss</i>	064 ₁₆ –067 ₁₆	MG	2
○	●	<i>fast_data_access_MMU_miss</i>	068 ₁₆ –06B ₁₆	MG	12
○	●	<i>fast_data_access_protection</i>	06C ₁₆ –06F ₁₆	MG	12
○	○	<i>implementation_dependent_exception_n</i> (impl. dep. #35)	070 ₁₆ –072	<i>impl. dep.</i>	<i>impl. dep.</i>
○	○	<i>illegal_action</i>	073 ₁₆	AG	8.5
○	○	<i>implementation_dependent_exception_n</i> (impl. dep. #35)	074 ₁₆ –076	<i>impl. dep.</i>	<i>impl. dep.</i>
○	○	<i>SIMD_load_across_pages</i>	077 ₁₆	AG	12
○	○	<i>implementation_dependent_exception_n</i> (impl. dep. #35)	078 ₁₆ –07F	<i>impl. dep.</i>	<i>impl. dep.</i>
●	●	<i>spill_n_normal</i> (n = 0–7)	080 ₁₆ –09F ₁₆	AG	9
●	●	<i>spill_n_other</i> (n = 0–7)	0A0 ₁₆ –0BF ₁₆	AG	9
●	●	<i>fill_n_normal</i> (n = 0–7)	0C0 ₁₆ –0DF ₁₆	AG	9
●	●	<i>fill_n_other</i> (n = 0–7)	0E0 ₁₆ –0FF ₁₆	AG	9
●	●	<i>trap_instruction</i>	100 ₁₆ –17F ₁₆	AG	16
●	●	<i>Reserved</i>	180 ₁₆ –1FF ₁₆	-NA-	-NA-

TABLE 7-2 SPARC64 VIIIfx のトラップ一覧 (優先順位順、0 が高く番号が大きいほど低い) (1 of 2)

SPARC V9 M/O	JPS1 M/O	トラップ名	TT	%g 種類	優先順位
●	●	power_on_reset (POR)	001 ₁₆	AG	0
○	●	externally_initiated_reset (XIR)	003 ₁₆	AG	1
○	●	watchdog_reset (WDR)	002 ₁₆	AG	1
●	●	software_initiated_reset (SIR)	004 ₁₆	AG	1
●	●	RED_state_exception	005 ₁₆	AG	1
○	○	async_data_error	040 ₁₆	AG.	2
○	●	fast_instruction_access_MMU_miss	064 ₁₆ –067 ₁₆	MG	2
○	●	instruction_access_error	00A ₁₆	AG	3
●	●	instruction_access_exception	008 ₁₆	MG	5
●	●	privileged_opcode	011 ₁₆	AG	6
●	●	illegal_instruction	010 ₁₆	AG	7
●	●	fp_disabled	020 ₁₆	AG	8
○	●	fp_exception_other (ftt = unimplemented_FPop のみ)	022 ₁₆	AG	8.2
○	○	illegal_action	073 ₁₆	AG	8.5
●	●	spill_n_normal (n = 0–7)	080 ₁₆ –09F ₁₆	AG	9
●	●	spill_n_other (n = 0–7)	0A0 ₁₆ –0BF ₁₆	AG	9
●	●	fill_n_normal (n = 0–7)	0C0 ₁₆ –0DF ₁₆	AG	9
●	●	fill_n_other (n = 0–7)	0E0 ₁₆ –0FF ₁₆	AG	9
○	●	clean_window	024 ₁₆ –027 ₁₆	AG	10
○	●	LDDF_mem_address_not_aligned (impl. dep. #109)	035 ₁₆	AG	10
○	●	STDF_mem_address_not_aligned (impl. dep. #110)	036 ₁₆	AG	10
●	●	mem_address_not_aligned	034 ₁₆	AG	10
○	●	fp_exception_ieee_754	021 ₁₆	AG	11
○	●	fp_exception_other (ftt = unimplemented_FPop 以外)	022 ₁₆	AG	11
●	●	privileged_action	037 ₁₆	AG	11
○	●	VA_watchpoint	062 ₁₆	AG	11
●	●	data_access_exception	030 ₁₆	MG	12
○	●	fast_data_access_MMU_miss	068 ₁₆ –06B ₁₆	MG	12
○	●	data_access_error	032 ₁₆	AG	12
○	●	PA_watchpoint	061 ₁₆	AG	12
○	●	fast_data_access_protection	06C ₁₆ –06F ₁₆	MG	12
○	○	SIMD_load_across_pages	077 ₁₆	AG	12

TABLE 7-2 SPARC64 VIIIfx のトラップ一覧 (優先順位順、0 が高く番号が大きいほど低い) (2 of 2)

SPARC V9 M/O	JPS1 M/O	トラップ名	TT	%g 種類	優先順位
●	●	<i>tag_overflow</i>	023 ₁₆	AG	14
●	●	<i>division_by_zero</i>	028 ₁₆	AG	15
●	●	<i>trap_instruction</i>	100 ₁₆ -17F ₁₆	AG	16
○	●	<i>interrupt_vector</i>	060 ₁₆	IG	16
●	●	<i>interrupt_level_n</i> (n = 1-15)	041 ₁₆ -04F ₁₆	AG	32-n
○	●	<i>ECC_error</i>	063 ₁₆	AG	33

7.4.3 Trap Priorities

SPARC64 VIIIfx では一部のトラップの優先順位を JPS1 **Commonality** 定義から変更している。

- *fp_exception_other* の優先順位は JPS1 **Commonality** では 11 だが、SPARC64 VIIIfx では FSR.fttt = 3 (*unimplemented_FPop*) のときに限り 8.2 である。
- *VA_watchpoint* は優先順位は 11 だが、SIMD ロード、SIMD ストア命令では優先順位 12 の例外とどちらが通知されるかは状況に依存する。詳細は Appendix F.5.1 を参照。
- *illegal_action* は SPARC64 VIIIfx 新規トラップで優先順位は 8.5 だが、優先順位 7 の *illegal_instruction* より優先して通知される場合がある。詳細は Chapter 7.6.1 を参照。
- TLB 多重ヒットが検出されると、TTE の内容に依存する例外は検出されない。詳細は Appendix F.5.2 を参照。
- バスエラー、バスタイムアウトによる *data_access_error* は、優先順位 12 のトラップの中では一番優先順位が低い。詳細は Appendix F.5 を参照。

7.5 Trap Processing

JPS1 **Commonality** ではトラップ時のレジスタの変化を、いくつかの場合に分けて説明してあるが、SPARC64 VIIIfx で追加されたレジスタについてはどの場合でも同じなので、場合分けせず説明する。

トラップ時には、以下のレジスタの値が更新される。

- HPC-ACE 機能の使用状況を保存し、トラップハンドラの先頭命令からは HPC-ACE 機能を使わずに実行できるようにする。

```
TXAR [TL] ← XAR
XAR       ← 0
```

XAR 対象命令で例外が発生した場合、0 になる前の値が TXAR [TL] にセーブされる。Tcc の場合、taken のとき TXAR [TL] には Tcc 実行前の XAR がセーブされる。

DONE, RETRY を実行したときのレジスタの変化は以下ようになる。

- XAR ← TXAR [TL]
- TXAR [TL] 変化しない

Programming Note – エミュレーションルーチンが HPC-ACE 拡張命令をエミュレーションする場合は、XAR が消費されたように見えるように TXAR [TL] を調整してから DONE すること。

7.6 Exception and Interrupt Descriptions

7.6.1 Traps Defined by SPARC V9 As Mandatory

- *illegal_instruction* [tt = 010₁₆] (Precise) — *illegal_action* よりも優先順位が高いが、WRXAR, WRTXAR, WRPR %pstate では *illegal_action* が通知されることがある。詳細は各命令の説明を参照。

7.6.2 SPARC V9 Optional Traps That Are Mandatory in SPARC JPS1

- *fp_exception_other* [tt = 022₁₆] (Precise) — SPARC64 VIIIfx では、未実装の FPop を実行したときに通知される例外 (FSR.ftt = 3, *unimplemented_FPop*) のみ、優先順位が 8.5 となる。

7.6.4 SPARC V9 Implementation-Dependent, Optional Traps That Are Mandatory in SPARC JPS1

SPARC64 VIIIfx は SPARC V9 では実装依存、JPS1 で必須とされている 6 つのトラップをすべて実装する。

7.6.5 SPARC JPS1 Implementation-Dependent Traps

SPARC64 VIIIfx 固有のトラップは以下の通りである (impl. dep. #35)。

- *async_data_error* [tt = 040₁₆] (Preemptive or disrupting) (impl. dep. #218) — SPARC64 VIIIfx では緊急エラー (Urgent Error) を報告するために使われる。詳細は Appendix P.4, “緊急エラー” を参照。
- *illegal_action* [tt = 073₁₆] (Precise) — 実行しようとする命令が XAR 対象外の命令だが XAR.v = 1 が指定されている場合、または、実行しようとする命令が XAR 対象命令だが XAR の指定が間違っている場合に通知される。SXAR で XAR をセットする場合は、後続の命令を実行しようとした時点で通知される。WRXAR, WRTXAR, WRPR %pstate では優先順位の高い *illegal_instruction* ではなく *illegal_action* が通知されることがある。詳細は各命令の説明を参照。
- *SIMD_load_across_pages* [tt = 077₁₆] (Precise) — SIMD ロードが複数ページにまたがり、extended 側が TLB ミスした場合に通知される。システムソフトウェアはこの例外が通知された場合、エミュレーションにより basic, extended のロードを個別に処理すること。

Note – *SIMD_load_across_pages* で TLB の更新処理を行うと、basic と extended が交互に TLB から落ちる無限ループに陥る可能性がある。

Memory Models

SPARC V9 アーキテクチャ仕様は、SPARC V9 システム上で動作するソフトウェアが観測可能な振る舞いを記述したモデルである。したがって、メモリアクセスの方法も、それが **JPS1 Commonality** の Chapter 8 および Appendix D で定義されるメモリモデルに準拠している限りはどのように実装されていてもよい。

SPARC V9 では Total Store Order (TSO), Partial Store Order (PSO), Relaxed Memory Order (RMO) の 3 種類のメモリモデルを定義している。SPARC V9 に準拠するプロセッサは、SPARC V8 との互換性を保証するため、TSO またはそれ以上に制約の強いメモリモデル (たとえば逐次一貫性 Sequential Consistency モデルなど) を実装する必要がある。

これに対し、PSO, RMO モデルをサポートするかどうかは SPARC V9 システムでは実装依存である。SPARC64 VIIIfx はどのメモリモデルでも、その定義通りに動作する。

8.1 Overview

Note – 以下の文で“ハードウェアメモリモデル”は“SPARC V9メモリモデル”との対比で使われる。SPARC V9メモリモデルは `PSTATE.MM` で選択されるメモリモデルを意味する。

SPARC64 VIIIfx は SPARC V9 で定義された 3 種類のメモリモデルのどの定義にも準拠するメモリモデル一種類だけを実装する (impl. dep. #113)。

- **Total Store Order** — すべてのロードは、先行するロードとの順序を守り、すべてのストアは、先行するロードとストアとの順序を守る。この動作は SPARC V9 のメモリモデル TSO, PSO, RMO の仕様に準拠する。 `PSTATE.MM` で PSO または RMO が指示された場合でも、SPARC64 VIIIfx はこのメモリモデルで動作する。定義から、PSO または RMO で動作するよう書かれたプログラムは TSO でも動作するので、SPARC64 VIIIfx のこの動作は PSO, RMO の弱い制約のメリットを享受することはできないが、安全である。

8.4 SPARC V9 Memory Model

8.4.5 Mode Control

SPARC64 VIIIfx は `PSTATE.MM` のすべての設定において TSO で動作する。`PSTATE.MM` に `112` をセットした場合も TSO で動作する (impl. dep. #119) が、将来のバージョンの SPARC64 VIIIfx では `112` を別のメモリモデルに割り当てるかもしれないので、使うべきではない。

8.4.7 Synchronizing Instruction and Data Memory

SPARC64 VIIIfx ではハードウェアがすべてのキャッシュのデータの同一性を保証する。データキャッシュの書き込みにより、対応するデータが命令キャッシュに載っていればそれを無効化し、命令フェッチによる命令キャッシュの読み出しでは、データキャッシュに変更済みデータがあればそれが充当される。

SPARC64 VIIIfx のこの仕様は `FLUSH` 命令が不要であることを意味しない。`FLUSH` はキャッシュとパイプライン内のデータの同一性を保証したい場合には実行する必要がある。

SPARC64 VIIIfx はマルチプロセッサをサポートしないので、マルチプロセッサでの FLUSH 命令のレイテンシは定義されない。CPU チップ内のコア間での FLUSH 命令のレイテンシは、CPU 内部の状態に依存するが、最短で 30 サイクルである (impl. dep. #122)。

Instruction Definitions

この章では、**JPS1 Commonality** で実装依存仕様が定義された命令の SPARC64 VIIIfx での仕様と、SPARC64 VIIIfx 独自に拡張された命令について記述する。**JPS1 Commonality** 仕様に準拠している命令については記述していないので、**JPS1 Commonality** を参照のこと。なお、セクション番号は **JPS1 Commonality** に一致させてある。

SPARC64 VIIIfx 固有に拡張された命令は、Section A.24 のサブセクションと、Section A.72 以降に記載されている。それ以外のセクションは、**JPS1 Commonality** の仕様通りである。

実装依存仕様を記述している命令は、必要な情報のみを記述している。SPARC64 VIIIfx 固有命令の仕様には以下の記述が含まれている。

1. オペコード表。そのオペコードに固有のフィールド値と、HPC-ACE 拡張機能に対応しているかどうかの情報を含む。
2. 命令フォーマットの図。図中、ダッシュ (—) で表示されているフィールドは将来の拡張用に予約されており (*reserved*)、SPARC64 VIIIfx 用のプログラムでは 0 が入っているべきである。SPARC V9 のプロセッサでは、*reserved* が 0 でない命令を実行したときの挙動は未定義である。SPARC64 VIIIfx の動作は Section 1.2 を参照。
3. アセンブリ言語での表記法。詳細は Appendix G を参照。
4. 命令の詳細、制限事項、例外発生条件などの説明。
5. その命令を実行したときに起こりうる例外の一覧を、優先順位に従って記載している。

ただし以下の例外は記載していない。

- a. すべての命令で起こり得る *instruction_access_error*, *instruction_access_exception*, *fast_instruction_access_MMU_miss*, *async_data_error*, *ECC_error*, およびインタラプト。
- b. 実装されていない命令で起こる *illegal_instruction* (浮動小数点演算では *fp_exception_other* で `ftt = unimplemented_FPop`)。

c. IIU_INST_TRAP (ASI = 60₁₆, VA = 0) を指定すればどの命令でも発生する *illegal_instruction*。

なお、*illegal_action* 例外の発生条件を記述する際は、XAR のフィールド名には f_、s_ をつけず表記する。

以下の例外は SPARC64 VIII_{fx} では起こらない。

- *instruction_access_MMU_miss*
- *data_access_MMU_miss*
- *data_access_protection*
- *unimplemented_LDD*
- *unimplemented_STD*
- *LDQF_mem_address_not_aligned*
- *STQF_mem_address_not_aligned*
- *internal_processor_error*
- *fp_exception_other* (f_{ttt} = *invalid_fp_register*)

命令仕様には、タイミングに関する情報は記載していない。

JPS1 **Commonality** の命令と SPARC64 VIII_{fx} で拡張された命令の一覧を TABLE A-2 に示す。この表、およびこの章と **Appendix E** ではオペコードの右肩に文字列が付されている命令がある。その文字列の意味は下表の通りである。

TABLE A-1 オペコードの右肩の文字の意味

文字	意味
D	非推奨命令
P	特権命令
P _{ASI}	ASI の 7 ビット目が 0 だと特権動作
P _{ASR}	ASR 番号によっては特権動作
P _{NPT}	PSTATE.PRIV = 0 かつ (S)TICK.NPT = 1 のとき特権動作
P _{PIC}	PCR.PRIV = 1 のとき特権動作
P _{PCR}	PCR.PRIV = 1 のとき特権アクセス

TABLE A-2 および各命令のオペコード表にある HPC-ACE 拡張の列は、その命令で SPARC64 VIII_{fx} のどの拡張機能が有効かを示している。

- **Inst.** JPS1 **Commonality** では定義されていない、SPARC64 VIII_{fx} 固有の命令。
- **Regs.** XAR 対象命令。拡張された整数および浮動小数点レジスタが使用できるほか、メモリアクセス命令ではセクタキャッシュ指定もできる。
この列に ☆ がついている命令は、rd に指定できるのは basic FPR のみ。
- **SIMD** SIMD 演算可能。
この列に † がついている命令は、4 倍精度命令では SIMD 演算ができない。

この 3 つの欄のどれにも ✓ がついていない命令は XAR 非対象命令である。XAR 非対象命令の詳細は “XAR 動作” (page 31) を参照。

TABLE A-2 SPARC64 VIIIfx の命令セット (1 of 7)

命令	処理内容	HPC-ACE 拡張		
		Inst.	Regs.	SIMD ページ
ADD (ADDcc)	Add (and modify condition codes)	✓		—
ADDC (ADDCcc)	Add with carry (and modify condition codes)	✓		—
ALIGNADDRESS{ _LITTLE }	Calculate address for misaligned data			—
AND (ANDcc)	And (and modify condition codes)	✓		—
ANDN (ANDNcc)	And not (and modify condition codes)	✓		—
ARRAY(8,16,32)	3-D array addressing instructions			—
BPcc	Branch on integer condition codes with prediction			—
BiCC ^D	Branch on integer condition codes			—
BMASK	Set the GSR.MASK field			—
BPr	Branch on contents of integer register with prediction			—
BSHUFFLE	Permute bytes as specified by GSR.MASK			—
CALL	Call and link			68
CASA ^{PASI}	Compare and swap word in alternate space	✓		—
CASXA ^{PASI}	Compare and swap doubleword in alternate space	✓		—
DONE ^P	Return from trap			—
EDGE(8,16,32){L}	Edge handling instructions			—
FABS(s,d,q)	Floating-point absolute value	✓	†	—
FADD(s,d,q)	Floating-point add	✓	†	—
FALIGNDATA	Perform data alignment for misaligned data			—
FAND{S}	Logical AND operation	✓	✓	—
FANDNOT(1,2){S}	Logical AND operation with one inverted source	✓	✓	—
FBfCC ^D	Branch on floating-point condition codes			—
FBPfcc	Branch on floating-point condition codes with prediction			—
FCMP(s,d,q)	Floating-point compare	✓		—
FCMPE(s,d,q)	Floating-point compare (exception if unordered)	✓		—
FCMP(GT,LE,NE,EQ)(16,32)	Pixel compare operations			—
FCMP(EQ,NE)(s,d)	Floating-point conditional compare to register	✓	✓	✓
FCMP(GT,LT,EQ,NE,GE,LE)E(s,d)	Floating-point conditional compare (exception if unordered)	✓	✓	✓
FDIV(s,d,q)	Floating-point divide		☆	—
FdMULq	Floating-point multiply double to quad	✓		—
FEXPAND	Pixel expansion			—
FiTO(s,d,q)	Convert integer to floating-point	✓	†	—
FLUSH	Flush instruction memory	✓		—
FLUSHW	Flush register windows			—
FMADD(s,d)	Floating-point Multiply-and-Add	✓	✓	✓

TABLE A-2 SPARC64 VIIIIfx の命令セット (2 of 7)

命令	処理内容	HPC-ACE 拡張			
		Inst.	Regs.	SIMD	ページ
FMAX(s,d)	Floating-point maximum	✓	✓	✓	115
FMIN(s,d)	Floating-point minimum	✓	✓	✓	115
FMSUB(s,d)	Floating-point Multiply-and-Subtract	✓	✓	✓	70
FMOV(s,d,q)	Floating-point move		✓	†	—
FMOV(s,d,q)cc	Move floating-point register if condition is satisfied				—
FMOV(s,d,q)r	Move f-p reg. if integer reg. contents satisfy condition				—
FMUL(s,d,q)	Floating-point multiply		✓	†	—
FMUL8x16	8x16 partitioned product				—
FMUL8x16(AU,AL)	8x16 upper/lower α partitioned product				—
FMUL8(SU,UL)x16	8x16 upper/lower partitioned product				—
FMULD8(SU,UL)x16	8x16 upper/lower partitioned product				—
FNAND{S}	Logical NAND operation		✓	✓	—
FNEG(s,d,q)	Floating-point negate		✓	†	—
FNMADD(s,d)	Floating-point Multiply-and-Add and negate	✓	✓	✓	70
FNMSUB(s,d)	Floating-point Multiply-and-Subtract and negate	✓	✓	✓	70
FNOR{S}	Logical NOR operation		✓	✓	—
FNOT(1,2){S}	Copy negated source		✓	✓	—
FPACK(16,32, FIX)	Pixel packing				—
FPADD(16,32){S}	Pixel add (single) 16- or 32-bit				—
FPMADDX{HI}	Integer Multiply-and-Add	✓	✓	✓	78
FPMERGE	Pixel merge				—
FRCPA(s,d)	Floating-point reciprocal approximation	✓	✓	✓	117
FRSQRTA(s,d)	Floating-point reciprocal square root approximation	✓	✓	✓	117
FONE{S}	One fill		✓	✓	—
FOR{S}	Logical OR operation		✓	✓	—
FORNOT(1,2){S}	Logical OR operation with one inverted source		✓	✓	—
FPSUB(16,32){S}	Pixel subtract (single) 16- or 32-bit				—
FsMULd	Floating-point multiply single to double		✓	✓	—
FSQRT(s,d,q)	Floating-point square root		☆		—
FSRC(1,2){S}	Copy source		✓	✓	—
FSELMOV(s,d)	Move selected floating-point register	✓	✓	✓	121
F(s,d,q)TOi	Convert floating point to integer		✓	†	—
F(s,d,q)TO(s,d,q)	Convert between floating-point formats		✓	†	—
F(s,d,q)TOx	Convert floating point to 64-bit integer		✓	†	—
FSUB(s,d,q)	Floating-point subtract		✓	†	—
FTRIMADDd	Floating-point trigonometric function	✓	✓	✓	122

TABLE A-2 SPARC64 VIIIIfx の命令セット (3 of 7)

命令	処理内容	HPC-ACE 拡張			
		Inst.	Regs.	SIMD	ページ
FTRIS(MUL,SEL)d	Floating-point trigonometric functions	✓	✓	✓	122
FXNOR{S}	Logical XNOR operation		✓	✓	—
FXOR{S}	Logical XOR operation		✓	✓	—
FxTO(s,d,q)	Convert 64-bit integer to floating-point		✓	†	—
FZERO{S}	Zero fill		✓	✓	—
ILLTRAP	Illegal instruction				—
JMPL	Jump and link				80
LDD ^D	Load integer doubleword		✓		—
LDDA ^{D, P_{ASI}}	Load integer doubleword from alternate space		✓		—
LDDA ASI_NUCLEUS_QUAD*	Load integer quadword, atomic		✓		—
LDDA ASI_QUAD_PHYS*	Load integer quadword, atomic (physical address)		✓		88
LDDF	Load double floating-point		✓	✓	81
LDDFA ^{P_{ASI}}	Load double floating-point from alternate space		✓	✓	85
LDDFA ASI_BLK*	Block loads		✓		66
LDDFA ASI_FL*	Short floating point loads				—
LDf	Load floating-point		✓	✓	81
LDFA ^{P_{ASI}}	Load floating-point from alternate space		✓	✓	85
LDfSR ^D	Load floating-point state register lower		✓		81
LDQF	Load quad floating-point		✓		81
LDQFA ^{P_{ASI}}	Load quad floating-point from alternate space		✓		85
LDSB	Load signed byte		✓		—
LDSBA ^{P_{ASI}}	Load signed byte from alternate space		✓		—
LDSH	Load signed halfword		✓		—
LDSHA ^{P_{ASI}}	Load signed halfword from alternate space		✓		—
LDSTUB	Load-store unsigned byte		✓		—
LDSTUBA ^{P_{ASI}}	Load-store unsigned byte in alternate space		✓		—
LDSW	Load signed word		✓		—
LDSWA ^{P_{ASI}}	Load signed word from alternate space		✓		—
LDUB	Load unsigned byte		✓		—
LDUBA ^{P_{ASI}}	Load unsigned byte from alternate space		✓		—
LDUH	Load unsigned halfword		✓		—
LDUHA ^{P_{ASI}}	Load unsigned halfword from alternate space		✓		—
LDUW	Load unsigned word		✓		—
LDUWA ^{P_{ASI}}	Load unsigned word from alternate space		✓		—
LDX	Load extended		✓		—
LDXA ^{P_{ASI}}	Load extended from alternate space		✓		—

TABLE A-2 SPARC64 VIIIIfx の命令セット (4 of 7)

命令	処理内容	HPC-ACE 拡張		
		Inst. Regs. SIMD	ページ	
LDFFSR	Load floating-point state register	✓	81	
MEMBAR	Memory barrier		90	
MOVcc	Move integer register if condition is satisfied	✓	—	
MOVr	Move integer register on contents of integer register	✓	—	
MULScC ^D	Multiply step (and modify condition codes)	✓	—	
MULX	Multiply 64-bit integers	✓	—	
NOP	No operation	✓	92	
OR (ORcc)	Inclusive-or (and modify condition codes)	✓	—	
ORN (ORNcc)	Inclusive-or not (and modify condition codes)	✓	—	
PDIST	Pixel component distance		—	
POPC	Population count	✓	94	
PREFETCH	Prefetch data	✓	95	
PREFETCHA ^{PASI}	Prefetch data from alternate space	✓	95	
RDASI	Read ASI register	✓	97	
RDASR ^{PASR}	Read ancillary state register	✓	97	
RDCCR	Read condition codes register	✓	97	
RDDCR ^P	Read dispatch control register	✓	97	
RDFPRS	Read floating-point registers state register	✓	97	
RDGSR	Read graphic status register	✓	97	
RDPC	Read program counter	✓	97	
RDPCR ^{PPCR}	Read performance control register	✓	97	
RDPIC ^{PPICT}	Read performance instrumentation counters	✓	97	
RDPR ^P	Read privileged register	✓	—	
RDSOFTINT ^P	Read per-processor soft interrupt register	✓	97	
RDSTICK ^{PNT}	Read system TICK register	✓	97	
RDSTICK_CMPR ^P	Read system TICK compare register	✓	97	
RDTICK ^{PNT}	Read TICK register	✓	97	
RDTICK_CMPR ^P	Read TICK compare register	✓	97	
RDTXAR ^P	Read TXAR register	✓	✓	97
RDXASR	Read XASR register	✓	✓	97
RDY ^D	Read Y register	✓	✓	97
RESTORE	Restore caller's window	✓	—	
RESTORED ^P	Window has been restored		—	
RETRY ^P	Return from trap and retry		—	
RETURN	Return		—	
SAVE	Save caller's window	✓	—	

TABLE A-2 SPARC64 VIIIIfx の命令セット (5 of 7)

命令	処理内容	HPC-ACE 拡張		ページ
		Inst.	Regs. SIMD	
SAVED ^P	Window has been saved			—
SDIV ^D (SDIVcc ^D)	32-bit signed integer divide (and modify condition codes)	✓		—
SDIVX	64-bit signed integer divide	✓		—
SETHI	Set high 22 bits of low word of integer register	✓		—
SHUTDOWN	Shut down the processor			99
SIAM	Set Interval Arithmetic Mode			—
SIR	Software-initiated reset			—
SLEEP	Sleep this thread			77
SLL	Shift left logical	✓		—
SLLX	Shift left logical, extended	✓		—
SMUL ^D (SMULcc ^D)	Signed integer multiply (and modify condition codes)	✓		—
SRA	Shift right arithmetic	✓		—
SRAX	Shift right arithmetic, extended	✓		—
SRL	Shift right logical	✓		—
SRLX	Shift right logical, extended	✓		—
STB	Store byte	✓		—
STBA ^{PASI}	Store byte into alternate space	✓		—
STBAR ^D	Store barrier			112
STD ^D	Store doubleword	✓		—
STDA ^{D, PASI}	Store doubleword into alternate space	✓		—
ST(D,DF,X)A ASI_XFILL*	Cache line fill	✓	✓	131
STDF	Store double floating-point	✓	✓	100
STDFA ^{PASI}	Store double floating-point into alternate space	✓	✓	103
STDFA ASI_BLK*	Block stores	✓		66
STDFA ASI_FL*	Short floating point stores			—
STDFA ASI_PST*	Partial Store instructions			93
STDFR	Store double floating-point on register's condition	✓	✓	126
STF	Store floating-point		✓	100
STFA ^{PASI}	Store floating-point into alternate space		✓	103
STFR	Store floating-point on register's condition	✓	✓	126
STFSR ^D	Store floating-point state register		✓	100
STH	Store halfword		✓	—
STHA ^{PASI}	Store halfword into alternate space		✓	—
STQF	Store quad floating-point		✓	100
STQFA ^{PASI}	Store quad floating-point into alternate space		✓	103
STW	Store word		✓	—

TABLE A-2 SPARC64 VIIIIfx の命令セット (6 of 7)

命令	処理内容	HPC-ACE 拡張	
		Inst. Regs. SIMD	ページ
STWA ^{PASI}	Store word into alternate space	✓	—
STX	Store extended	✓	—
STXA ^{PASI}	Store extended into alternate space	✓	—
STXF _{SR}	Store extended floating-point state register	✓	100
SUB (SUB _{CC})	Subtract (and modify condition codes)	✓	—
SUBC (SUB _{CCC})	Subtract with carry (and modify condition codes)	✓	—
SUSPEND ^P	Suspend this thread		76
SWAP ^D	Swap integer register with memory	✓	—
SWAPA ^{D, PASI}	Swap integer register with memory in alternate space	✓	—
SXAR(1,2)	Set XAR	✓	129
TADD _{CC} (TADD _{CC} TV ^D)	Tagged add and modify condition codes (trap on overflow)	✓	—
T _{CC}	Trap on integer condition codes		106
TSUB _{CC} (TSUB _{CC} TV ^D)	Tagged subtract and modify condition codes (trap on overflow)	✓	—
UDIV ^D (UDIV _{CC} ^D)	Unsigned integer divide (and modify condition codes)	✓	—
UDIVX	64-bit unsigned integer divide	✓	—
UMUL ^D (UMUL _{CC} ^D)	Unsigned integer multiply (and modify condition codes)	✓	—
WRASI	Write ASI register	✓	110
WRASR ^{PASR}	Write ancillary state register	✓	110
WRCCR	Write condition codes register	✓	110
WRDCR ^P	Write dispatch control register	✓	110
WRFPRS	Write floating-point registers state register	✓	110
WRGSR	Write graphic status register	✓	110
WRPCR ^{PCR}	Write performance control register	✓	110
WRPIC ^{PIC}	Write performance instrumentation counters register	✓	110
WRPR ^P	Write privileged register	✓	107
WRSOFTINT ^P	Write per-processor soft interrupt register	✓	110
WRSOFTINT_CLR ^P	Clear bits of per-processor soft interrupt register	✓	110
WRSOFTINT_SET ^P	Set bits of per-processor soft interrupt register	✓	110
WRTICK_CMPR ^P	Write TICK compare register	✓	110
WRSTICK ^P	Write System TICK register	✓	110
WRSTICK_CMPR ^P	Write System TICK compare register	✓	110

TABLE A-2 SPARC64 VIIIfx の命令セット (7 of 7)

命令	処理内容	HPC-ACE 拡張		
		Inst.	Regs. SIMD	ページ
WRTXAR ^P	Write TXAR register	✓	✓	110
WRXAR	Write XAR register	✓	✓	110
WRXASR	Write XASR register	✓	✓	110
WRY ^D	Write Y register		✓	110
XNOR (XNORcc)	Exclusive-nor (and modify condition codes)		✓	—
XOR (XORcc)	Exclusive-or (and modify condition codes)		✓	—

A.4 Block Load and Store Instructions (VIS I)

Deprecated – block load/store は SPARC64 VIIIfx では過去の互換性のために定義されており、新規プログラムでの使用は推奨されない。高速なメモリコピーには Section A.79, “Cache Line Fill with Undetermined Value” を用いること。

SPARC64 VIIIfx の block load/store 仕様は、SPARC64 V...SPARC64 VII とは異なる。新仕様は従来の仕様よりも制約が強いが、一部非互換なところがある。以下に SPARC64 VIIIfx の block load/store の動作と、従来仕様との相違点を示す。

1. block load/store はアトミックなメモリ操作ではなく、内部的に 8 バイトの load/store に分割して実行される。block load/store の前後にある MEMBAR またはアトミック命令との間でオーダリングを遵守する。
2. block load/store 命令は TSO を遵守する。前後の load/store/atomic 命令、および block load/store 内の 8 バイトに分割された各 load/store 間でも TSO に準拠して動作する。

Compatibility Note – 従来仕様では、命令間では SPARC V9 メモリモデルに準拠せず、命令内の 8 バイト単位では RMO で動作することになっていた。

3. レジスタ間のアクセス順序は、他の命令と同様に保証される。つまり、block load/store と他の命令の間でのレジスタの read-after-write, write-after-write はプログラム順序になる。
4. block load/store のキャッシュ上の動作は、通常の load/store と同じである。block load は L1 キャッシュ上にデータがあれば L1 キャッシュから読み、L1 キャッシュ上になればメモリから L1 キャッシュに読み込まれる。block store は L1 キャッシュ上にデータがあれば L1 キャッシュに書き、L1 キャッシュ上になれば L1 キャッシュに読み込んだ上で当該データを更新する。

Compatibility Note – block load/store のキャッシュに対する副作用は従来仕様とは大きく異なる。従来仕様では、block load はキャッシュにデータがあれば読み、キャッシュにない場合の動作は未定義。block store は、ダーティデータを持つキャッシュがあれば、そのキャッシュに書き込むとともにそれより上位 (パイプラインに近い) キャッシュからは消し、ダーティデータを持つキャッシュがないかまたはキャッシュに乗っていないときは、メモリに書く仕様だった。

5. SPARC64 VIIIfx では block store と block store with commit は完全に同じ動作をする。

Compatibility Note – block store with commit のキャッシュに対する副作用は従来仕様とは大きく異なる。従来仕様では、キャッシュにデータがあれば全部消して、データをメモリに書き込む仕様だった。

6. TTE.E = 0 であるページに対する block load/store は、64 バイト中の任意の 8 バイトの処理中に *fast_data_access_MMU_miss* 例外が通知されることがある。block load の途中で例外が通知されたときは、レジスタには block load 実行前、実行後どちらの値が見えることもありうる。block store の途中で例外が通知されたときは、メモリの状態は block store 実行前のままである。

Note – ノンキャッシュブル空間の一部に、block store は正常に終了したように見えるが実際に書き込みが行われない領域がある。詳細はシステム仕様書を参照。JPS1 **Commonality** で定義されている通り、block load/store 命令では、*LDDF_mem_address_not_aligned*, *STDF_mem_address_not_aligned* 例外は通知されない (Appendix L.3.3 も参照)。LDDFA 命令で *ASI_BLK_COMMIT_{P,S}* を指定した場合は、block load/store 命令ではないので、4 バイト境界にアクセスすると *LDDF_mem_address_not_aligned* 例外が通知される (“Block Load and Store ASIs” (page 214) も参照)。

Exceptions

illegal_instruction (misaligned rd)

fp_disabled

illegal_action (XAR.v = 1 and (XAR.urs1 > 1 or
(i = 0 and XAR.urs2 > 1) or
(i = 1 and XAR.urs2 ≠ 0) or
XAR.urs3<2> ≠ 0);

XAR.v = 1 and XAR.simd = 1)

mem_address_not_aligned (see “Block Load and Store ASIs” (page 214))

LDDF_mem_address_not_aligned (see “Block Load and Store ASIs” (page 214))

VA_watchpoint (recognized on only the first 8 bytes of a transfer)

fast_data_access_MMU_miss

data_access_exception (see “Block Load and Store ASIs” (page 214))

fast_data_access_protection

PA_watchpoint (recognized on only the first 8 bytes of a transfer)

data_access_error

A.9 Call and Link

PSTATE.AM がセットされているとき、r[15] には PC の上位 32 ビットを 0 にした値が入る (impl. dep. #125)。r[15] の更新は直ちに行われ、ディレイスロットの命令には新しい値が見える。

Exceptions *illegal_action* (XAR.v = 1)

A.24 Implementation-Dependent Instructions

オペコード	op3	動作
IMPDEP1	11 0110	実装依存命令 1
IMPDEP2	11 0111	実装依存命令 2

IMPDEP1 と IMPDEP2 は実装依存命令である。実装依存の意味は、命令の動作、bit<29:25>, bit<18:0> の解釈、通知される例外の種類などである。

SPARC64 VIIIfx は IMPDEP1 に VIS, SUSPEND, SLEEP, FCMPcond{d,s}, FMIN{d,s}, FMAX{d,s}, FRCPA{d,s}, FRSQRTA{d,s}, FTRISSELD, FTRISMULD 命令を実装している (impl. dep. #106)。IMPDEP2A には FPMADDX, FPMADDXHI, FTRIMADDd, FSELMOV{d,s} を、IMPDEP2B には浮動小数点積和演算命令を実装している (impl. dep. #106)。

SPARC V9 命令の実装依存な命令の拡張方法については、JPS1 Commonality の I.1.2, “Implementation-Dependent and Reserved Opcodes” を参照。

Compatibility Note – SPARC V8 ではこの命令は CPopn 命令だった。

なお、SPARC64 VIIIfx で新規追加された IMPDEP1, IMPDEP2 命令については、Section A.24 のサブセクションではなく、他の新規追加命令と同様 Section A.71 より後に配置してある。

Exceptions 実装に依存する

A.24.1 Floating-Point Multiply-Add/Subtract

SPARC64 VIIIfx は IMPDEP2B に浮動小数点積和演算 (Floating-Point Multiply and Add: FMA) を実装している。FMA は HPC-ACE で SIMD 拡張されているが、他の SIMD 拡張よりも自由度が高いものとなっている。この節ではまず non-SIMD の動作を説明し、次に HPC-ACE の拡張を説明する。

HPC-ACE Ext.					
Regs.	SIMD	オペコード	Var	Size ^{1 2}	処理
✓	✓	FMADDs	00	01	単精度の乗算と加算
✓	✓	FMADDd	00	10	倍精度の乗算と加算
✓	✓	FMSUBs	01	01	単精度の乗算と減算
✓	✓	FMSUBd	01	10	倍精度の乗算と減算
✓	✓	FNMSUBs	10	01	単精度の乗算と減算後符号反転
✓	✓	FNMSUBd	10	10	倍精度の乗算と減算後符号反転
✓	✓	FNMADDs	11	01	単精度の乗算と加算後符号反転
✓	✓	FNMADDd	11	10	倍精度の乗算と加算後符号反転

1.size = 00 については Section A.24.4, Section A.75, Section A.76 を参照。

2.size = 11 は 4 倍精度に予約されているが、一部は Section A.76, “Floating-Point Trigonometric Functions” で使われている。

Format (5)

10	rd	110111	rs1	rs3	var	size	rs2
31 30 29	25 24	19 18	14 13	9 8	7 6	5 4	0

処理	演算
乗算と加算	$rd \leftarrow rs1 \times rs2 + rs3$
乗算と減算	$rd \leftarrow rs1 \times rs2 - rs3$
乗算と減算後符号反転	$rd \leftarrow -rs1 \times rs2 + rs3$
乗算と加算後符号反転	$rd \leftarrow -rs1 \times rs2 - rs3$

アセンブリ言語表記

fmadds	<i>reg_{rs1}, reg_{rs2}, reg_{rs3}, reg_{rd}</i>
fmadd	<i>reg_{rs1}, reg_{rs2}, reg_{rs3}, reg_{rd}</i>
fmsubs	<i>reg_{rs1}, reg_{rs2}, reg_{rs3}, reg_{rd}</i>
fmsubd	<i>reg_{rs1}, reg_{rs2}, reg_{rs3}, reg_{rd}</i>
fnmadds	<i>reg_{rs1}, reg_{rs2}, reg_{rs3}, reg_{rd}</i>
fnmadd	<i>reg_{rs1}, reg_{rs2}, reg_{rs3}, reg_{rd}</i>
fnmsubs	<i>reg_{rs1}, reg_{rs2}, reg_{rs3}, reg_{rd}</i>
fnmsubd	<i>reg_{rs1}, reg_{rs2}, reg_{rs3}, reg_{rd}</i>

Description

FMADD は、rs1 で指定される浮動小数点レジスタに rs2 で指定される浮動小数点レジスタを乗じ、その結果に rs3 で指定される浮動小数点レジスタの値を加え、rd で指定される浮動小数点レジスタに格納する。

FMSUB は、rs1 で指定される浮動小数点レジスタに rs2 で指定される浮動小数点レジスタを乗じ、その結果から rs3 で指定される浮動小数点レジスタの値を引き、rd で指定される浮動小数点レジスタに格納する。

FNMADD は、rs1 で指定される浮動小数点レジスタに rs2 で指定される浮動小数点レジスタを乗じ、その結果の符号を反転させた値から rs3 で指定される浮動小数点レジスタの値を引き、rd で指定される浮動小数点レジスタに格納する。

FNMSUB は、rs1 で指定される浮動小数点レジスタに rs2 で指定される浮動小数点レジスタを乗じ、その結果の符号を反転させた値に rs3 で指定される浮動小数点レジスタの値を加え、rd で指定される浮動小数点レジスタに格納する。

浮動小数点積和演算命令は一つの連続した (fused) 命令として処理される。つまり、乗算の結果は内部的に丸められることなく無限の精度を持つとして扱われ、加減算ののちに丸め処理が行われる。したがって、丸め処理による誤差が発生するのは一回だけである。

Programming Note – SPARC64 V では浮動小数点積和演算は、乗算と加算を独立して処理していた。つまり、乗算の結果は、単独の乗算命令と同じように丸められ、その後に加減算が行われ、その結果がまた丸められていた。したがって、丸め処理による誤差が入り込む機会が 2 回あった。

また、FNMADD と FNMSUB の rs1 または rs2 が NaN のときの動作も SPARC64 V と SPARC64 VIIIfx で異なる。SPARC64 VIIIfx は結果としてどちらかの NaN をそのまま出力するが、SPARC64 V は符号を反転させた NaN を結果として出力する。

TABLE A-1 に SPARC64 VIIIfx が浮動小数点積和演算でトラップをどのように処理するかをまとめた。乗算部分でトラップが生じる無効処理例外 (NV) が生じるか、FSR.NS = 1 で乗算の入力が非正規化数のとき、命令の実行は中止されトラップが発

生ずる。このとき FSR.cexc には例外の情報が表示され、FSR.aexc は更新されない。加減算の部分は乗算部でトラップする無効処理例外 (NV) が生じなかったときのみ実行される。

加減算部分でトラップを生じる IEEE754 例外条件が発生したときは、トラップを生じる例外条件のみが FSR.cexc に表示され、FSR.aexc は更新されない。トラップを生じる IEEE754 例外条件が発生していない場合、トラップを生じない例外条件の情報が FSR.cexc に表示され、FSR.aexc にはそれまでの FSR.aexc と FSR.cexc の論理和が表示される。unfinished_FPop 例外を通知する境界条件は、乗算部分は rs1, rs2 について FMUL と同じ、加減算部分は乗算結果と rs3 について FADD と同じである。

TABLE A-1 浮動小数点積和演算命令の IEEE754 例外発生条件

FMUL	IEEE754 トラップ (NV または NX のみ)	トラップを生じない	トラップを生じない
FADD	—	IEEE754 トラップ	トラップを生じない
cexc	FMUL の例外検出条件と同じ	FADD の例外検出条件と同じ	FADD の例外検出条件 (トラップしない)と同じ
aexc	更新されない	更新されない	cexc (上記) と aexc の論理和

cexc に表示される値は各種条件に依存する。詳細を TABLE A-2, TABLE A-3 にまとめた。この表で uf, of, inv, nx はそれぞれ IEEE754 で定義された例外 (uf: アンダーフロー, of: オーバーフロー, inv: 無効演算, nx: 不正確な演算) でトラップしない場合を意味する。

TABLE A-2 トラップしない場合の cexc の値 (FSR.NS = 0 の時)

		FADD			
		none	nx	of nx	inv
FMUL	none	none	nx	of nx	inv
	inv	inv	—	—	inv

TABLE A-3 トラップしない場合の cexc の値 (FSR.NS = 1 の時)

		FADD				
		none	nx	of nx	uf nx	inv
FMUL	none	none	nx	of nx	uf nx	inv
	inv	inv	—	—	—	inv
	nx	nx	nx	of nx	uf nx	inv nx

表中“—”のケースは起こりえない。

Programming Note – 浮動小数点積和演算は SPARC V9 の IMPDEP2 に定義されている。この命令は SPARC64 VIIIfx 固有の命令であり、他の SPARC V9 プロセッサで実行されるかもしれないプログラムでは使うことができない。

FMADD の SIMD 拡張

SPARC64 VIIIfx の SIMD 拡張では、basic 側の演算と extended 側の演算は独立して行われることになっている。命令で指定するのは basic 側のレジスタ $f[0] - f[254]$ なので、rs1, rs2, rs3, rd の最上位ビットは必ず 0 になる (page 22)。これに対し、FMADD の SIMD 拡張では、制限つきではあるが basic と extended の間での演算が可能となっている。

Note – ここに書かれているのは `XAR.simd=1` のときのことである。`XAR.simd=0` のときは rs1, rs2, rs3, rd にすべての浮動小数点レジスタが使える。

FMADD の SIMD 拡張では、rs1, rs2 については basic 側、extended 側どちらにも全てのレジスタ $f[2n]$ ($n=0\dots255$) を指定することができる。basic 側演算に extended 側のレジスタを指定すると、extended 側にはペアになる basic 側のレジスタが使われる。つまり、basic 側では $f[2n]$ ($n=0\dots255$) が、extended 側では $f[(2n+256) \bmod 512]$ ($n=0\dots255$) が使われる。

これに対し rs3 と rd は他の SIMD 拡張と同じで、basic 側演算では $f[0] - f[254]$ 、extended 側演算では $f[256] - f[510]$ という制限のままである。したがって、`urs3<2>` と `urd<2>` はレジスタ指示には使われない。他の SIMD 拡張ではこれらのビットは 0 である必要があるが、FMADD ではこのビットを、演算を変化させるために使用する。`urs3<2>=1` のとき、extended 側演算の rs1 には basic 側と同じものが使われる。`urd<2>=1` のとき、extended 側演算の積演算の符号を反転させる。

FMADD の SIMD 演算での `XAR.urs1`, `XAR.urs2`, `XAR.urs3`, `XAR.urd` の意味をまとめると以下のようになる。

- `XAR.urs1<2>` basic 側演算の `rs1<8>`, extended 側演算の `¬rs1<8>`
- `XAR.urs2<2>` basic 側演算の `rs2<8>`, extended 側演算の `¬rs2<8>`
- `XAR.urs3<2>` extended 側演算に `rs1<8>` と `¬rs1<8>` のどちらを使うか
- `XAR.urd<2>` extended 側演算の積演算の符号を反転させるかどうか

なお、上の `rs1<8>` は、倍精度レジスタのビットデコード後のビットを意味する。詳細は FIGURE 5-1 (page 21) 参照。

	<i>frs1</i> : urs1<2:0>, rs1<5:0>	<i>frs1_i</i> : ¬urs1<2>, urs1<1:0>, rs1<5:0>
	<i>frs2</i> : urs2<2:0>, rs2<5:0>	<i>frs2_i</i> : ¬urs2<2>, urs2<1:0>, rs2<5:0>
	<i>frs3_b</i> : 1' b0, urs3<1:0>, rs3<5:0>	<i>frs3_e</i> : 1' b1, urs3<1:0>, rs3<5:0>
	<i>frd_b</i> : 1' b0, urd<1:0>, rd<5:0>	<i>frs1_i</i> : 1' b1, urd<1:0>, rd<5:0>
	<i>c</i> : urs3<2>	
	<i>n</i> : urd<2>	
命令	basic 例演算	extend 例演算
fmadd	$frd_b \leftarrow frs1 \times frs2 + frs3_b$	$frd_e \leftarrow (-1)^n \times (c ? frs1 : frs1_i) \times frs2_i + frs3_e$
fmsub	$frd_b \leftarrow frs1 \times frs2 - frs3_b$	$frd_e \leftarrow (-1)^n \times (c ? frs1 : frs1_i) \times frs2_i - frs3_e$
fnmsub	$frd_b \leftarrow -frs1 \times frs2 + frs3_b$	$frd_e \leftarrow -(-1)^n \times (c ? frs1 : frs1_i) \times frs2_i + frs3_e$
fnmadd	$frd_b \leftarrow -frs1 \times frs2 - frs3_b$	$frd_e \leftarrow -(-1)^n \times (c ? frs1 : frs1_i) \times frs2_i - frs3_e$

Example 1: 複素数の乗算

$$(a_1 + ib_1)(a_2 + ib_2) = (a_1a_2 - b_1b_2) + i(a_1b_2 + a_2b_1)$$

```

/*
 * X: 入力の複素数のアドレス
 * Y: 入力の複素数のアドレス
 * Z: 出力の複素数のアドレス
 */

/* 前準備 */
sxnar2
ladd,s      [X], %f0 /* %f0: a1, %f256: b1 */
ladd,s      [Y], %f2 /* %f2: a2, %f258: b2 */
sxnar1
fzero,s     %f4      /* 結果レジスタをクリアしておく */

/* 計算 */
sxnar2
fnmaddd,snc %f256, %f258, %f4, %f4
/* %f4 := -%f256 * %f258 - %f4 */
/* %f260 := %f256 * %f2 - %f260 */
fmaddd,sc   %f0, %f2, %f4, %f4
/* %f4 := %f0 * %f2 + %f4 */
/* %f260 := %f0 * %f258 + %f260 */

/* 結果を格納する */
sxnar1
std,s       %f4, [Z]

```

Example 2: 2x2 行列の乗算

```

/*
 * A: 入力の行列のアドレス : a11, a12, a21, a22
 * B: 入力の行列のアドレス : b11, b12, b21, b22
 * C: 出力の行列のアドレス : c11, c12, c21, c22
 */

/* 前準備 */
sxa2
ldd,s      [A], %f0 /* %f0: a11, %f256: a12 */
ldd,s      [A+16], %f2/* %f2: a21, %f258: a22 */
sxa2
ldd,s      [B], %f4 /* %f4: b11, %f260: b12 */
ldd,s      [B+16], %f6/* %f6: b21, %f262: b22 */
sxa2
fzero,s    %f8      /* %f8: c11, %f264: c12 */
fzero,s    %f10     /* %f10: c21, %f266: c22 */

/* 計算 */
sxa2
fmadd,sc   %f0, %f4, %f8, %f8
           /* %f8      := %f0 * %f4 + %f8 */
           /* %f264   := %f0 * %f260 + %f264 */
fmadd,sc   %f256, %f6, %f8, %f8
           /* %f8      := %f256 * %f6 + %f8 */
           /* %f264   := %f256 * %f262 + %f264 */
sxa2
fmadd,sc   %f2, %f4, %f10, %f10
           /* %f10     := %f2 * %f4 + %f10 */
           /* %f266   := %f2 * %f260 + %f266 */
fmadd,sc   %f258, %f6, %f10, %f10
           /* %f10     := %f258 * %f6 + %f10 */
           /* %f266   := %f258 * %f262 + %f266 */
/* 結果を格納する */
sxa2
std,s      %f8, [Z]
std,s      %f10, [Z+16]

```

Exceptions *illegal_instruction* (size = 11₂ and var ≠ 11₂)
 (このとき *fp_disabled* かどうかのチェックは行わない)
fp_disabled
fp_exception_ieee_754 (NV, NX, OF, UF)
fp_exception_other (FSR.f_{ttt} = *unfinished_FPop*)

A.24.2 Suspend

HPC-ACE Ext.					
Regs.	SIMD	オペコード	opf	処理	
		SUSPEND ^P	0 1000 0010	スレッドのサスペンド	

Format (3)

10	—	110110	—	opf	—
31 30 29		25 24	19 18	14 13	5 4 0

アセンブリ 言語表記

suspend

Description SUSPEND 命令は、PSTATE.IE = 1 にセットし、実行スレッドを SUSPENDED ステータスに遷移させる。以下の条件により、SUSPENDED ステータスから実行ステータスに復帰する。

- POR, WDR, XIR
- *interrupt_vector*
- *interrupt_level_n*

Exceptions *privileged_opcode*
illegal_action (XAR.v = 1)

A.24.3 Sleep

HPC-ACE Ext.					
Regs.	SIMD	オペコード	opf	処理	
		SLEEP	0 1000 0011	スレッドを一定時間停止する	

Format (3)

10	—	110110	—	opf	—
31 30 29		25 24	19 18	14 13	5 4 0

アセンブリ言語表記

sleep

Description

SLEEP は実行スレッドをスリープさせる。実行状態に復帰する条件は

- POR, WDR, XIR
- *interrupt_vector* 例外
- *interrupt_level_n* 例外
- 実装により決まる一定時間経過後
SPARC64 VIIIfx では 1.6 マイクロ秒。STICK で計測される。
- バリアの窓 ASI に割り当てられている LBSY が更新されたとき。
窓 ASI が割り当てられていなければ LBSY が更新されても実行状態に復帰しない。

Note – PSTATE.IE = 0 で SLEEP 命令を実行すると、インタラプトがあっても実行状態に復帰しない。

Programming Note – スレッドがスリープしていない状態で LBSY が更新されると、次の SLEEP 命令の実行でスリープしないことがある。

Exceptions

illegal_action (XAR.v = 1)

A.24.4 Integer Multiply-Add

SPARC64 VIIIfx は IMPDEP2A に整数積和演算を定義している。

HPC-ACE Ext.					
Regs.	SIMD	オペコード	Var ¹	Size	処理
✓	✓	FPMADDX	00	00	符号なし整数の積和演算の下位 8 バイト
✓	✓	FPMADDXHI	01	00	符号なし整数の積和演算の上位 8 バイト

1. var = 10 は Section A.76, var = 11 は Section A.75 を参照。

Format (5)

10	rd	110111	rs1	rs3	var	size	rs2
31 30 29	25 24	19 18	14 13	9 8	7 6	5 4	0

アセンブリ言語表記

fpmaddx *freq_{rs1}, freq_{rs2}, freq_{rs3}, freq_{rd}*

fpmaddxhi *freq_{rs1}, freq_{rs2}, freq_{rs3}, freq_{rd}*

Description

整数積和演算は、浮動小数点レジスタに格納された符号なし 8 バイト整数の乗算と加算を行う。

FPMADDX は rs1 で指定される倍精度レジスタと rs2 で指定される倍精度レジスタを乗じ、その結果に rs3 で指定される倍精度レジスタを加算し、結果の下位 8 バイトを rs1 で指定される倍精度レジスタに格納する。rs1, rs2, rs3 はすべて符号なし 8 バイト整数として扱われる。

FPMADDXHI は rs1 で指定される倍精度レジスタと rs2 で指定される倍精度レジスタを乗じ、その結果に rs3 で指定される倍精度レジスタを加算し、結果の上位 8 バイトを rs1 で指定される倍精度レジスタに格納する。rs1, rs2, rs3 はすべて符号なし 8 バイト整数として扱われる。

FPMADDX, FPMADDXHI は FSR のどのフィールドも更新しない。

FPMADDX, FPMADDXHI は IMPDEP2 で定義された命令だが、PA の *Impdep2_instruction* イベントでは計測されない。詳細は Appendix Q.2.1 を参照。

Exceptions *fp_disabled*
illegal_action (XAR.v = 1 and XAR.simd = 1 and
 (XAR.urs1<2> ≠ 0 or XAR.urs2<2> ≠ 0
 or XAR.urs3<2> ≠ 0 or XAR.urd<2> ≠ 0))

A.25 Jump and Link

PSTATE.AM がセットされているとき、r[15] には PC の上位 32 ビットを 0 にした値が入る (impl. dep. #125)。r[15] の更新は直ちに行われ、ディレイスロットの命令には新しい値が見える。

飛び先アドレスの下位 2 ビットが 0 でない場合、*mem_address_not_aligned* 例外が通知される。このとき、DSFSR および DSFAR は更新されない (impl. dep. #237)。

Exceptions *illegal_action* (XAR.v = 1)

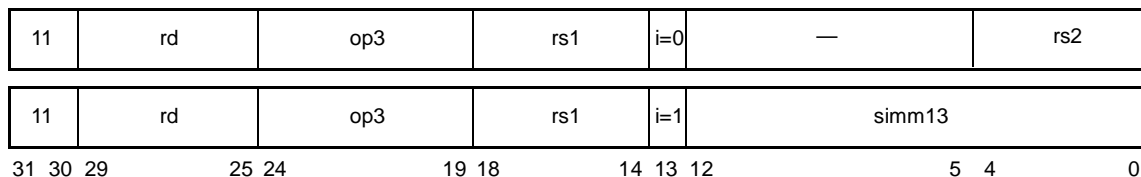
A.26 Load Floating-Point

HPC-ACE Ext.						
Regs.	SIMD	オペコード	op3	rd	urd	処理
		LDF	10 0000	0-31	— [¶]	メモリから単精度浮動小数点レジスタへの読みだし
✓	✓	LDF	10 0000	†	0-7	メモリから単精度浮動小数点レジスタへの読みだし
✓	✓	LDDF	10 0011	†	0-7	メモリから倍精度浮動小数点レジスタへの読みだし
✓		LDQF	10 0010	†	0-7	メモリから4倍精度浮動小数点レジスタへの読みだし
✓		LDFSR ^D	10 0001	0	—	(A.71.4 of JPS1 Commonality 参照)
✓		LDXFSR	10 0001	1	—	メモリから FSR レジスタへの読みだし
		—	10 0001	2-31	—	Reserved

† JPS1 Commonality の Section 5.1.4 で定義される浮動小数点レジスタエンコードに従う。

¶ XAR.v=0 のとき

Format (3)



アセンブリ言語表記

ld	[address], freg _{rd}
ldd	[address], freg _{rd}
ldq	[address], freg _{rd}
ldx	[address], %fsr

Description 単精度浮動小数点ロード命令 (LDF) は、メモリの1ワードデータを f[rd] にコピーする。

倍精度浮動小数点ロード命令 (LDDF) は、メモリのワード境界にある2ワードデータを倍精度浮動小数点レジスタにコピーする。

4 倍精度浮動小数点ロード命令 (LDQF) は、メモリのワード境界にある 4 ワードデータを 4 倍精度浮動小数点レジスタにコピーする。

浮動小数点ステータスレジスタロード命令 (LDXFSR) は、未完了のすべての浮動小数点演算の完了を待ってから、2 ワードデータを FSR にコピーする。

これらの浮動小数点ロード命令は、プライマリアドレス空間 ($ASI = 80_{16}$) にアクセスする。メモリアドレスは $i = 0$ のとき “ $r[rs1] + r[rs2]$ ”、 $i = 1$ のとき “ $r[rs1] + sign_ext(simm13)$ ” である。

LDF は、アクセスするアドレスがワード境界にない場合、*mem_address_not_aligned* を通知する。LDXFSR は、アクセスするアドレスが 2 ワード境界にない場合、*mem_address_not_aligned* を通知する。浮動小数点演算器が無効なとき (FPRS.FEF, PSTATE.PEF の値による)、浮動小数点ロード命令は *fp_disabled* を通知する。

SPARC64 VIIIfx では、SIMD でない LDDF は、アクセスするアドレスがワード境界にない場合、*LDDF_mem_address_not_aligned* 例外を通知する。システムソフトウェアはエミュレーションすること (impl.dep. #109(1))。

SPARC64 VIIIfx は LDQF を実装していないので、*illegal_instruction* 例外を通知する。*fp_disabled* は検出しない。システムソフトウェアは LDQF をエミュレーションすること (impl.dep. #111(1))。

Programming Note – SPARC V8 では、倍精度または 4 倍精度データが適切にアラインされている保証がないとき、複数の単精度ロード命令で処理するコードを生成するコンパイラがあった。SPARC V9 ではアラインされていない命令のエミュレーションが高速になると期待されるので、複数の単精度ロード命令で処理するのは、倍精度または 4 倍精度データが適切にアラインされていないことが確実なときのみに行うことを推奨する。

SPARC64 VIIIfx では、SIMD ではない浮動小数点ロードがアクセスエラーを起こした時、デスティネーションレジスタは無変更のままである (impl.dep. #44(1))。SIMD のときは下記を参照。

Programming Note – LDF 命令で HPC-ACE 拡張レジスタを使う場合、単精度命令であっても倍精度レジスタが使用される (page 21)。これは $XAR.v = 1$ のときの動作なので、アドレス指定に拡張整数レジスタ $xg[0] - xg[31]$ を使い、ロード先に SPARC V9 単精度レジスタ (奇数番号レジスタ) を指定することはできない。

SIMD 拡張

SPARC64 VIIIfx では浮動小数点ロード命令は SIMD 拡張される。SIMD 拡張されたロード命令は、basic 側の単精度・倍精度ロードと extended 側の単精度・倍精度ロードを同時に実行する。レジスタの使用方法は “SIMD 拡張命令のレジスタ指定方法” (page 22) を参照。

単精度 SIMD ロードは 4 バイト境界にある 2 つの単精度数データをロードする。アクセス境界違反には *mem_address_not_aligned* が通知される。

倍精度 SIMD ロードは 8 バイト境界にある 2 つの倍精度数データをロードする。アクセス境界違反には *mem_address_not_aligned* が通知される。倍精度 SIMD ロードでは、4 バイト境界に対するアクセスでも *LDDF_mem_address_not_aligned* は通知されない。

SIMD ロードは、単精度・倍精度とも、basic 側でロードされるデータと extended 側でロードされるデータが、異なるページに属することがあり得る。このようなアクセスに対し SPARC64 VIIIfx は、*SIMD_load_across_pages* 例外を通知する。例外を通知する条件は、basic 側の TLB 検索が成功し、extended 側の TLB 検索が失敗したときである。

SIMD ロードはキャッシュャブル領域からのみロードできる。ノンキャッシュャブル領域および nontranslating ASI に対して SIMD ロードを実行しようとする、*data_access_exception* が通知される。bypass ASI に対する SIMD ロードは、ASI_PHYS_USE_EC{ _LITTLE } については可能で、その場合ページサイズは 8KB と解釈される (Appendix F.11, “MMU Bypass” 参照)。

メモリアクセスのセマンティクスは通常のロード命令と同じく、TSO を遵守する。SIMD ロードは 1 命令で basic と extended の両方を同時にロードするが、basic と extended の間でも TSO が遵守されるものとする。

SIMD ロードは命令としては 1 命令なので、命令の実行中に例外が通知された場合、basic, extended どちらのロードも実行されていない状態となる。しかし、extended 側のアクセスエラーで例外が通知される際は、basic 側のレジスタにはロードした値が見える。一方、basic 側のアクセスエラーで例外が通知される際は、extended 側のロード結果は見えない (impl.dep. #44(1))。

SIMD ロードにおけるエンディアン変換は、basic, extended 個別に行われる。basic, extended が異なるページに属し、それぞれのページのエンディアンが異なる場合も、一方のみエンディアン変換が行われる。

SIMD ロードは basic, extended どちらでもウォッチポイントを検出する。

Note – PSTATE.AM = 1 のとき、論理アドレス FFFF FFFF FFFF FFFC₁₆ に対する単精度 SIMD ロード、および論理アドレス FFFF FFFF FFFF FFF8₁₆ に対する倍精度 SIMD ロードの extended 側は、論理アドレス 0 番地にアクセスする。

SIMD ロードの例外条件と優先順位に関しては Appendix F.5.1, “Trap Condition of SIMD Load and SIMD Store” を参照。

Exceptions

illegal_instruction (LDQF;

LDXFSR with rd = 2–31)

fp_disabled

illegal_action (LDF, LDDF with XAR.v = 1 and (XAR.urs1 > 1 or

```

(i = 0 and XAR.urs2 > 1) or
(i = 1 and XAR.urs2 ≠ 0) or
XAR.urs3<2> ≠ 0);
LDF, LDDF with XAR.v = 1 and XAR.simd = 1 and XAR.urd<2> ≠ 0;
LDXFSR with XAR.v = 1 and (XAR.urs1 > 1 or
(i = 0 and XAR.urs2 > 1) or
(i = 1 and XAR.urs2 ≠ 0) or
XAR.urs3<2> ≠ 0 or
XAR.urd ≠ 0 or
XAR.simd = 1))
LDDF_mem_address_not_aligned (LDDF and (XAR.v = 0 or XAR.simd = 0))
mem_address_not_aligned
VA_watchpoint
fast_data_access_MMU_miss
SIMD_load_across_pages
data_access_exception
PA_watchpoint
data_access_error
fast_data_access_protection

```

A.27 Load Floating-Point from Alternate Space

HPC-ACE Ext.						
Regs.	SIMD	オペコード	op3	rd	urd	処理
		LDFA ^{PASI}	11 0000	0-31	— [†]	別空間から単精度浮動小数点レジスタへの読みだし
✓	✓	LDFA	11 0000	†	0-7	別空間から単精度浮動小数点レジスタへの読みだし
✓	✓	LDDFA ^{PASI}	11 0011	†	0-7	別空間から倍精度浮動小数点レジスタへの読みだし
✓		LDQFA ^{PASI}	11 0010	†	0-7	別空間から4倍精度浮動小数点レジスタへの読みだし

[†] JPS1 Commonality の Section 5.1.4 で定義される浮動小数点レジスタエンコードに従う。

[‡] XAR.v=0 のとき

Format (3)

11	rd	op3	rs1	i=0	imm_asi	rs2
11	rd	op3	rs1	i=1	simm13	
31 30 29	25 24	19 18	14 13 12	5 4	0	

アセンブリ言語表記

```

lda    [regaddr] imm_asi, fregrd
lda    [reg_plus_imm] %asi, fregrd
ldda   [regaddr] imm_asi, fregrd
ldda   [reg_plus_imm] %asi, fregrd
ldqa   [regaddr] imm_asi, fregrd
ldqa   [reg_plus_imm] %asi, fregrd

```

Description 別空間からの単精度浮動小数点ロード命令 (LDFA) は、メモリの 1 ワードデータを f[rd] にコピーする。

別空間からの倍精度浮動小数点ロード命令 (LDDFA) は、メモリのワード境界にある 2 ワードデータを倍精度浮動小数点レジスタにコピーする。

別空間からの 4 倍精度浮動小数点ロード命令 (LDQFA) は、メモリのワード境界にある 4 ワードデータを 4 倍精度浮動小数点レジスタにコピーする。

これら別空間からの浮動小数点ロード命令は、空間を示す識別子 (ASI) を必要とする。ASI は、 $i = 0$ のとき `imm_asi` フィールドで指示され、 $i = 1$ のとき ASI レジスタの値が使われる。ASI のビット 7 が 0 のときは特権アクセス、1 のときは非特権アクセスである。メモリアドレスは $i = 0$ のとき “`r[rs1] + r[rs2]`”、 $i = 1$ のとき “`r[rs1] + sign_ext(simm13)`” である。

LDFA は、アクセスするアドレスがワード境界にない場合、`mem_address_not_aligned` を通知する。浮動小数点演算器が無効なとき (FPRS.FEF, PSTATE.PEF の値による)、別空間からの浮動小数点ロード命令は `fp_disabled` を通知する。

SPARC64 VIIIfx では、SIMD でない LDDFA は、アクセスするアドレスがワード境界にない場合、`LDDF_mem_address_not_aligned` 例外を通知する。システムソフトウェアはエミュレーションすること (impl.dep. #109(2))。

SPARC64 VIIIfx は LDQFA を実装していないので、`illegal_instruction` 例外を通知する。`fp_disabled` は検出ししない。システムソフトウェアは LDQFA をエミュレーションすること (impl.dep. #111(2))。

ASI 番号によっては、8 バイト以外のメモリアccessを定義しているものがある。詳細は Appendix A の他の節を参照。

Implementation Note – LDFA, LDDFA は PSTATE.PRIV = 0 で ASI のビット 7 が 0 のとき `privileged_action` を通知する。

Programming Note – SPARC V8 では、倍精度または 4 倍精度データが適切にアラインされている保証がないとき、複数の単精度ロード命令で処理するコードを生成するコンパイラがあった。SPARC V9 ではアラインされていない命令のエミュレーションが高速になると期待されるので、コンパイラは倍精度または 4 倍精度データが適切にアラインされていないことが確実なときのみ、複数の単精度ロード命令を生成すること。

SPARC64 VIIIfx では、SIMD ではない浮動小数点ロードがアクセスエラーを起こした時、デスティネーションレジスタは無変更のままである (impl.dep. #44(2))。SIMD のときは、Section A.26, “*Load Floating-Point*” の SIMD 拡張の項を参照。

Programming Note – LDFA 命令で HPC-ACE 拡張レジスタを使う場合、単精度命令であっても倍精度レジスタが使用される (page 21)。これは `XAR.v = 1` のときの動作なので、アドレス指定に拡張整数レジスタ `xg[0] - xg[31]` を使い、ロード先に SPARC V9 単精度レジスタ (奇数番号レジスタ) を指定することはできない。

Exceptions

- illegal_instruction* (LDQFA only)
- fp_disabled*
- illegal_action* (LDFA, LDDFA with $XAR.v = 1$ and ($XAR.urs1 > 1$ or
 $(i = 0$ and $XAR.urs2 > 1)$ or
 $(i = 1$ and $XAR.urs2 \neq 0)$ or
 $XAR.urs3 < 2 > \neq 0$);
LDFA, LDDFA with $XAR.v = 1$ and $XAR.simd = 1$ and $XAR.urd < 2 > \neq 0$)
- LDDF_mem_address_not_aligned* (LDDFA and ($XAR.v = 0$ or $XAR.simd = 0$))
- mem_address_not_aligned*
- privileged_action*
- VA_watchpoint*
- fast_data_access_MMU_miss*
- SIMD_load_across_pages*
- data_access_exception*
- fast_data_access_protection*
- PA_watchpoint*
- data_access_error*

A.30 Load Quadword, Atomic [Physical]

4ワードロード ASI は SPARC64 VIIIfx 固有の ASI である。

HPC-ACE Ext.						
Regs.	SIMD	オペコード	imm_asi	ASI value	処理	
✓		LDDA	ASI_QUAD_LDD_PHYS	34 ₁₆	物理アドレス指定で 128 バイト一括読みだし	
✓		LDDA	ASI_QUAD_LDD_PHYS_L	3C ₁₆	物理アドレス指定で 128 バイト一括読みだし、エンディアン変換あり	

Format (3) LDDA

11	rd	010011	rs1	i=0	imm_asi	rs2
11	rd	010011	rs1	i=1	simm_13	
31 30 29		25 24	19 18	14 13	5 4	0

アセンブリ言語表記

```

ldda      [reg_addr] imm_asi, reg_rd
ldda      [reg_plus_imm] %asi, reg_rd

```

Description

ASI 34₁₆, 3C₁₆ は LDDA 命令で使われ、物理アドレスで指定された領域から 128 ビット長のデータを一度に (atomically) コピーする。データは偶数・奇数の 64 ビットレジスタの組にロードされる。アドレスの低位にある 64 ビットが偶数番号のレジスタに、高位にある 64 ビットが奇数番号のレジスタに格納される。

LDDA で特権 ASI を使った場合に通常起こる例外に加え、ノンキャッシュブルアクセスや LDDA 以外の命令との組み合わせでは *data_access_exception* が通知される。16 バイト境界にないアドレスにアクセスすると *mem_address_not_aligned* が通知される。

ASI 34₁₆, 3C₁₆ は論理アドレスの 16 バイトロード (ASI 24₁₆, 2C₁₆) の物理アドレス版で、SPARC64 VIIIfx 固有の ASI である。

ASI_QUAD_LDD_PHYS{_L} を使ったアクセスは、TTE の設定が以下であるかのように振舞う。

- TTE.NFO = 0
- TTE.CP = 1
- TTE.CV = 0

- TTE.E = 0
- TTE.P = 1
- TTE.W = 0

Note – TTE.IE の値は ASI によって異なる。034₁₆ の場合は TTE.IE = 0 で、03C₁₆ の場合は TTE.IE = 1 である。

このため、この ASI はキャッシュブル空間にのみ使用できる。意味的には、ASI_QUAD_LDD_PHYS{_L} は ASI_NUCLEUS_QUAD_LDD と ASI_PHYS_USE_EC を組み合わせたものである。

エンディアンの扱いは、64 ビット毎に行われる。各 64 ビットがバイト単位でエンディアン変換され、結果レジスタに書き込まれる。

Exceptions

illegal_instruction (misaligned rd)

illegal_action (XAR.v = 1 and (XAR.urs1 > 1 or
 (i = 0 and XAR.urs2 > 1) or
 (i = 1 and XAR.urs2 ≠ 0) or
 XAR.urs3<2> ≠ 0
 XAR.urd > 1);
 XAR.v = 1 and XAR.simd = 1)

privileged_action

mem_address_not_aligned

fast_data_access_MMU_miss

data_access_exception

fast_data_access_protection

PA_watchpoint (recognized on only the first 8 bytes of a transfer)

data_access_error

A.35 Memory Barrier

Format (3)

10	0	op3	0 1111	i=1	—	cmask	mmask
31 30 29	25 24	19 18	14 13 12		7 6	4 3	0

アセンブリ言語表記

membar *membar_mask*

Description メモリバリア命令 MEMBAR は、メモリ参照の順序制御と完了の明示的な制御という 2 つの相異なる機能を持つ。アセンブリ言語の文法における *membar_mask* フィールドで、命令フィールドの *cmask* と *mmask* を指示する。

mmask は命令のビット 3 から 0 にあるフィールドである。TABLE A-4 で *mmask* の各ビットについて説明する。これはメモリ参照に関して MEMBAR を入れることで付加されるメモリ順序制御を意味する。

TABLE A-4 *mmask* ビットで指示できる順序制御

マスクビット	名前	説明
<i>mmask</i> <3>	#StoreStore	MEMBAR の前に現れるストアの結果が、すべてのプロセッサにおいて、MEMBAR の後に現れるストアの結果より前に観測可能であることを保証する。非推奨の STBAR 命令と同じ役割を果たす。SPARC64 VIIIfx ではすべてのストア命令がプログラム順序で実行されるので、このビットは意味を持たない。
<i>mmask</i> <2>	#LoadStore	MEMBAR の前に現れるロード命令が、MEMBAR の後に現れるストアがいずれかのプロセッサで観測可能になる前に、実行されることを保証する。SPARC64 VIIIfx ではすべてのストア命令がプログラム順序で実行され、ロード命令との順序は保証されているので、このビットは意味を持たない。
<i>mmask</i> <1>	#StoreLoad	MEMBAR の前に現れるストアの結果が、すべてのプロセッサにおいて、MEMBAR の後に現れるロード命令の実行前に観測可能であることを保証する。
<i>mmask</i> <0>	#LoadLoad	MEMBAR の前に現れるすべてのロードの実行が、MEMBAR の後に現れるロードの実行より前に完了していることを保証する。SPARC64 VIIIfx ではすべてのロード命令がプログラム順序で実行されるので、このビットは意味を持たない。

`cmask` は命令のビット 6 から 4 にあるフィールドである。TABLE A-5 で `cmask` の各ビットについて説明する。これはメモリ参照と命令の実行に関する制限を付加するためのものである。もし `cmask` がゼロなら、MEMBAR は `mmask` フィールドで指定される部分的な順序制御を指示する。もし `cmask` がゼロでなければ、部分的な順序制御と完了制御が適用される。

TABLE A-5 `cmask` フィールドの意味

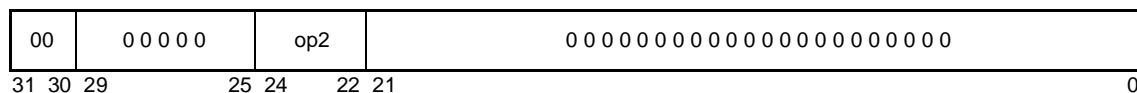
マスクビット	機能	名前	説明
<code>cmask<2></code>	同期バリア	<code>#Sync</code>	MEMBAR より前に実行されるべきすべての命令 (メモリアクセス以外の命令も) が実行され、例外があれば、MEMBAR の後の命令の実行が開始される前に通知される。
<code>cmask<1></code>	メモリ参照バリア	<code>#MemIssue</code>	MEMBAR の前に現れるすべてのメモリ参照命令が、MEMBAR の後に現れるどのメモリ参照命令の実行開始よりも前に実行されることを保証する。SPARC64 VIIIfx では <code>#Sync</code> と同じ。
<code>cmask<0></code>	ルックアサイドバリア	<code>#Lookaside</code>	MEMBAR の前のストアが MEMBAR の後の同一アドレスを参照するロードより前に完了していることを保証する。SPARC64 VIIIfx では <code>#Sync</code> と同じ。

Exceptions `illegal_action` (`XAR.v = 1`)

A.41 No Operation

HPC-ACE Ext.				
Regs.	SIMD	オペコード	op2	処理
✓		NOP	100	何もしない

Format (2)



アセンブリ言語表記

`nop`

Description NOP は SETHI 命令で `imm22 = 0` かつ `rd = 0` を指定した場合と等価である。

NOP は PC と nPC 以外のレジスタ・メモリの状態を変更しない。ただし、NOP 命令を実行する時点で `xar.urd = 1` の場合、SETHI 命令で `rd` に `r[32]` が指示されたものと解釈されるので、`r[32]` が更新される。

Exceptions *illegal_action* (`XAR.v = 1` and
`(XAR.simd = 1 or XAR.urs1 ≠ 0 or XAR.urs2 ≠ 0 or
XAR.urs3 ≠ 0 or XAR.urd > 1)`)

A.42 Partial Store (VIS I)

SPARC64 VIII_{fx} ではパーシャルストアのウォッチポイント検出は保守的に行われる。DCUCR のマスクビットはゼロかゼロでないかのみがチェックされる。パーシャルストア命令のバイトストアマスク ($r[rs2]$) は無視され、バイトストアマスクがゼロ (つまり何もストアされない) 場合でもウォッチポイント例外が通知される (impl. dep. #249)。

Implementation Note – ノンキャッシュブル領域に対するパーシャルストアでストアマスクが 0 のとき、SPARC64 VIII_{fx} はマスク 0 のバストランザクションを生成する。

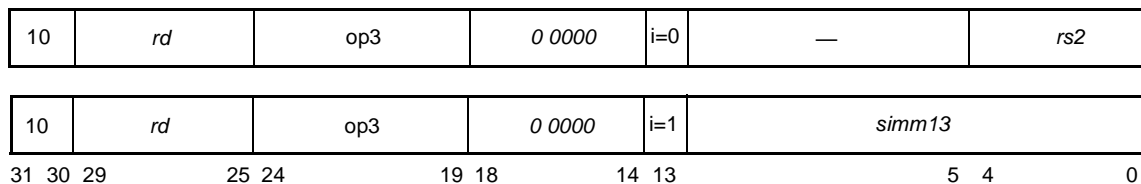
Exceptions

illegal_instruction ($i = 1$)
fp_disabled
illegal_action ($XAR.v = 1$)
LDDF_mem_address_not_aligned (see “*Partial Store ASIs*” (page 215))
mem_address_not_aligned (see “*Partial Store ASIs*” (page 215))
VA_watchpoint
fast_data_access_MMU_miss
data_access_exception (see “*Partial Store ASIs*” (page 215))
fast_data_access_protection
PA_watchpoint
data_access_error

A.48 Population Count

HPC-ACE Ext.					
Regs.	SIMD	オペコード	op3	処理	
✓		POPC	10 1110	1であるビット数を数える	

Format (3)



アセンブリ言語表記

popc *reg_or_imm, regrd*

Description POPC は $i=0$ のとき $r[rs2]$ のビットが 1 である数を、 $i=1$ のとき $sign_ext(simm13)$ のビットが 1 である数を返す。この命令は CCR を更新しない。

Note – SPARC64 V と異なり、SPARC64 VIIIfx はこの命令を実装している。

Exceptions

- illegal_instruction* (instruction<18:14> ≠ 0)
- illegal_action* (XAR.v = 1 and (XAR.urs1 ≠ 0 or
 - (i = 0 and XAR.urs2 > 1) or
 - (i = 1 and XAR.urs2 ≠ 0) or
 - XAR.urs3 ≠ 0 or
 - XAR.urd > 1 or
 - XAR.simd = 1)

A.49 Prefetch Data

SPARC64 VIIIfx では PREFETCHA は以下の ASI でのみ有効である。

- ASI_PRIMARY (080₁₆), ASI_PRIMARY_LITTLE (088₁₆)
- ASI_SECONDARY (081₁₆), ASI_SECONDARY_LITTLE (089₁₆)
- ASI_NUCLEUS (04₁₆), ASI_NUCLEUS_LITTLE (0C₁₆)
- ASI_PRIMARY_AS_IF_USER (010₁₆), ASI_PRIMARY_AS_IF_USER_LITTLE (018₁₆)
- ASI_SECONDARY_AS_IF_USER (011₁₆), ASI_SECONDARY_AS_IF_USER_LITTLE (019₁₆)

その他の ASI については PREFETCHA は NOP として扱われる。

SPARC64 VIIIfx では、データブロックのサイズは 128 バイトで、アラインメントも 128 バイト境界である (impl. dep. #103(3))。PREFETCHA/PREFETCHA 命令はアラインメント制約はなく、データブロック内の任意のアドレスが指定でき、1 データブロックをプリフェッチする。

SPARC64 VIIIfx は、TTE.CP = 0 である領域をプリフェッチできない領域と認識し、TTE.CP = 0 に対するプリフェッチは NOP として扱われる。

TABLE A-6 に SPARC64 VIIIfx のプリフェッチの動作を示す。

TABLE A-6 プリフェッチの種類

fcn	どのキャッシュに データを載せるか	キャッシュ状態	説明
0	L1D	S,E	
1	L2	S,E	
2	L1D	M,E	
3	L2	M,E	
4	—	—	NOP
5-15	reserved (SPARC V9)		<i>illegal_instruction</i> 例外が通知される
16-19	実装依存		NOP
20	L1D	S,E	ストロングプリフェッチ
21	L2	S,E	ストロングプリフェッチ
22	L1D	M,E	ストロングプリフェッチ
23	L2	M,E	ストロングプリフェッチ
24-31	実装依存		NOP

ストロングプリフェッチ

fcn が 20, 21, 22, 23 のいずれかであるプリフェッチ命令はストロングプリフェッチである。SPARC64 VIIIfx ではストロングプリフェッチは、TLB ミスと DCUCR.weak_spca = 1 の場合を除いてロストしないことを保証されたプリフェッチである。

Programming Note – ストロングでないプリフェッチは、CPU の内部資源が枯渇している場合などは実行されない (ロスト) ことがあるが、ストロングプリフェッチはそのような状況でも実行される。ストロングプリフェッチは後続のロード、ストア命令の実行を阻害するかもしれないので、濫用は避けるべきである。

SPARC64 VIIIfx は fcn が 20, 21, 22, 23 のときに *fast_data_access_MMU_miss* を通知しない (impl. dep. #103(2))。

ハードウェアプリフェッチ

PREFETCH, PREFETCHA ではハードウェアプリフェッチの on/off 指定は意味を持たない。XAR.dis_hw_pf の値は無視される。

Exceptions

illegal_instruction (fcn = 5–15)

illegal_action (XAR.v = 1 and (XAR.simd = 1 or
XAR.urs1 > 1 or
(i = 0 and XAR.urs2 > 1) or
(i = 1 and XAR.urs2 ≠ 0) or
XAR.urs3<2> ≠ 0 or
XAR.urd ≠ 0))

A.51 Read State Register

HPC-ACE Ext.					
Regs.	SIMD	オペコード	op3	rs1	処理
✓		RDY ^D	10 1000	0	Y レジスタを読み出す。使用を推奨しない命令 (JPS1 Commonality の A.71.9 参照)。
		—	10 1000	1	<i>Reserved</i>
✓		RDCCR	10 1000	2	CCR レジスタを読み出す。
✓		RDASI	10 1000	3	ASI レジスタを読み出す。
✓		RDTICK ^{P_{NPT}}	10 1000	4	TICK レジスタを読み出す。
✓		RDPC	10 1000	5	PC レジスタを読み出す。
✓		RDFPRS	10 1000	6	FPRS レジスタを読み出す。
		—	10 1000	7–14	<i>Reserved</i>
		<i>See text</i>	10 1000	15	STBAR, MEMBAR または <i>Reserved</i> (JPS1 Commonality の A.51 参照)。
		RDASR	10 1000	16-31	SPARC V9 で定義されていない ASR を読み出す。
✓		RDPCR ^{P_{PCR}}		16	PCR レジスタを読み出す。
✓		RDPIC ^{P_{PIC}}		17	PIC レジスタを読み出す。
✓		RDDCR ^P		18	DCR レジスタを読み出す。
✓		RDGSR		19	GSR レジスタを読み出す。
		—		20–21	実装依存 (impl. dep. #8, 9)
✓		RDSOFTINT ^P		22	SOFTINT レジスタを読み出す。
✓		RDTICK_CMPR ^P		23	TICK_CMPR レジスタを読み出す。
✓		RDSTICK ^{P_{NPT}}		24	STICK レジスタを読み出す。
✓		RDSTICK_CMPR ^P		25	STICK_CMPR レジスタを読み出す。
		—		26-29	<i>Reserved</i>
✓		RDXASR		30	XASR レジスタを読み出す。
✓		RDTXAR ^P		31	TXAR レジスタを読み出す。

上表の網かけ部分については、JPS1 **Commonality** の Section A.51, “*Read State Register*” を参照。

SPARC64 VIIIfx では、RDPCR は `PSTATE.PRIV = 0` かつ `PCR.PRIV = 1` のとき *privileged_action* 例外を通知する。`PSTATE.PRIV = 0` かつ `PCR.PRIV = 0` ならば、RDPCR は例外を通知しない。(impl. dep. #250).

RDTXAR は、`PSTATE.PRIV = 0` のとき *privileged_opcode* 例外を通知する。

Exceptions

privileged_opcode (RDDCR, RDSoftTINT, RDTICK_CMPR, RDSTICK, RDSTICK_CMPR,
and RDTXAR)

illegal_instruction (RDASR with $rs1 = 1$ or 7-14;
RDASR with $rs1 = 15$ and $rd \neq 0$;
RDASR with $rs1 = 20-21, 26-29$;
RDTXAR with $TL = 0$)

fp_disabled (RDGSR with $PSTATE.PEF = 0$ or $FPRS.FEF = 0$)

illegal_action ($XAR.v = 1$ and
($XAR.simd = 1$ or $XAR.urs1 \neq 0$ or $XAR.urs2 \neq 0$ or
 $XAR.urs3 \neq 0$ or $XAR.urd > 1$))

privileged_action (RDTICK with $PSTATE.PRIV = 0$ and $TICK.NPT = 1$;
RDPIC with $PSTATE.PRIV = 0$ and $PCR.PRIV = 1$;
RDSTICK with $PSTATE.PRIV = 0$ and $STICK.NPT = 1$;
RDPCR with $PSTATE.PRIV = 0$ and $PCR.PRIV = 1$)

A.59 SHUTDOWN (VIS I)

SPARC64 VIIIfx では SHUTDOWN は特権モードで NOP として動作する (impl. dep. #206)。

Exceptions *privileged_opcode*
 illegal_action (XAR.v = 1)

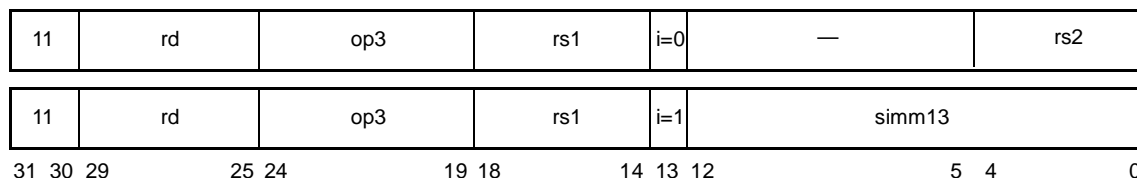
A.61 Store Floating-Point

HPC-ACE Ext.						
Regs.	SIMD	オペコード	op3	rd	urd	処理
		STF	10 0100	0-31	— [†]	単精度浮動小数点レジスタのメモリ書き込み
✓	✓	STF	10 0100	†	0-7	単精度浮動小数点レジスタのメモリ書き込み
✓	✓	STDF	10 0111	†	0-7	倍精度浮動小数点レジスタのメモリ書き込み
✓		STQF	10 0110	†	0-7	4倍精度浮動小数点レジスタのメモリ書き込み
✓		STFSR ^D	10 0110	0	—	(A.71.11 of JPS1 Commonality 参照)
✓		STXFSR	10 0101	1	—	FSR レジスタのメモリ書き込み
		—	10 0101	2-31	0	Reserved

[†] JPS1 Commonality の Section 5.1.4 で定義される浮動小数点レジスタエンコードに従う。

[‡] XAR.v = 0 のとき

Format (3)



アセンブリ言語表記

st $freg_{rd}$, [address]

std $freg_{rd}$, [address]

stq $freg_{rd}$, [address]

stx %fsr, [address]

Description 単精度浮動小数点ストア命令 (STF) は、 $f[rd]$ の内容をメモリにコピーする。

倍精度浮動小数点ストア命令 (STDF) は、倍精度浮動小数点レジスタの内容をワード境界にある 2 ワード領域にコピーする。

4 倍精度浮動小数点ストア命令 (STQF) は、4 倍精度浮動小数点レジスタの内容をワード境界にある 4 ワード領域にコピーする。

浮動小数点ステータスレジスタストア命令 (STXFSR) は、未完了のすべての浮動小数点演算の完了を待ってから、FSR の全 64 ビットをメモリにコピーする。書き込み後 FSR.ftt はゼロクリアされる。

Implementation Note – スストア命令がトラップしないことが確実になるまで、FSR.ftt をゼロクリアしてはいけない。

これらの浮動小数点ストア命令は、プライマリアドレス空間 ($ASI = 80_{16}$) にアクセスする。メモリアドレスは $i = 0$ のとき “ $r[rs1] + r[rs2]$ ”、 $i = 1$ のとき “ $r[rs1] + sign_ext(simm13)$ ” である。

STF は、アクセスするアドレスがワード境界にないとき、*mem_address_not_aligned* を通知する。STXFSR は、アクセスするアドレスが 2 ワード境界にないとき、*mem_address_not_aligned* を通知する。浮動小数点演算器が無効なとき (FPRS.FEF, PSTATE.PEF の値による)、浮動小数点ストア命令は *fp_disabled* を通知する。

SPARC64 VIIIfx では、SIMD でない STDF は、アクセスするアドレスがワード境界にないとき、*STDF_mem_address_not_aligned* 例外を通知する。システムソフトウェアはエミュレーションすること (impl.dep. #110(1))。

SPARC64 VIIIfx は STQF を実装していないので、*illegal_instruction* 例外を通知する。*fp_disabled* は検出しない。システムソフトウェアは STQF をエミュレーションすること (impl.dep. #112(1))。

Programming Note – SPARC V8 では、倍精度または 4 倍精度データが適切にアラインされている保証がないとき、複数の単精度ストア命令で処理するコードを生成するコンパイラがあった。SPARC V9 ではアラインされていない命令のエミュレーションが高速になると期待されるので、複数の単精度ストア命令で処理するのは、倍精度または 4 倍精度データが適切にアラインされていないことが確実なときのみに行うことを推奨する。

Programming Note – STF 命令で HPC-ACE 拡張レジスタを使う場合、単精度命令であっても倍精度レジスタが使用される (page 21)。これは XAR.v = 1 のときの動作なので、アドレス指定に拡張整数レジスタ $xg[0] - xg[31]$ を使い、SPARC V9 単精度レジスタ (奇数番号レジスタ) をストアすることはできない。

SIMD 拡張

SPARC64 VIIIfx では浮動小数点ストア命令は SIMD 拡張される。SIMD 拡張されたストア命令は、basic 側の単精度・倍精度ストアと extended 側の単精度・倍精度ストアを同時に実行する。レジスタの使用方法は “SIMD 拡張命令のレジスタ指定方法” (page 22) を参照。

単精度 SIMD ストアは 8 バイト境界に 2 つの単精度数データをストアする。アクセス境界違反には *mem_address_not_aligned* が通知される。

倍精度 SIMD ストアは 16 バイト境界に 2 つの倍精度数データをストアする。アクセス境界違反には *mem_address_not_aligned* が通知される。倍精度 SIMD ストアでは、4 バイト境界に対するアクセスでも *STDF_mem_address_not_aligned* は通知されない。

SIMD ストアはキャッシュャブル領域に対してのみストアできる。ノンキャッシュャブル領域および nontranslating ASI に対して SIMD ストアを実行しようとする、*data_access_exception* が通知される。bypass ASI に対する SIMD ストアは、ASI_PHYS_USE_EC{ _LITTLE } については可能である。

メモリアクセスのセマンティクスは通常のストア命令と同じく、TSO を遵守する。SIMD ストアは 1 命令で basic と extended の両方を同時にストアするが、basic と extended の間でも TSO が遵守される。

SIMD ストアは basic, extende どちらでもウォッチポイントを検出する。

SIMD ストアの例外条件と優先順位に関しては Appendix F.5.1, “Trap Condition of SIMD Load and SIMD Store” を参照。

Exceptions

illegal_instruction (STXFSR with rd = 2–31)

fp_disabled

illegal_action (STF, STDF with XAR.v = 1 and (XAR.urs1 > 1 or
(i = 0 and XAR.urs2 > 1) or
(i = 1 and XAR.urs2 ≠ 0) or
XAR.urs3<2> ≠ 0);

STF, STDF with XAR.v = 1 and XAR.simd = 1 and XAR.urd<2> ≠ 0;

STXFSR with XAR.v = 1 and (XAR.urs1 > 1 or
(i = 0 and XAR.urs2 > 1) or
(i = 1 and XAR.urs2 ≠ 0) or
XAR.urs3<2> ≠ 0 or
XAR.urd ≠ 0 or
XAR.simd = 1))

mem_address_not_aligned

STDF_mem_address_not_aligned (STDF and (XAR.v = 0 or XAR.simd = 0))

VA_watchpoint

fast_data_access_MMU_miss

data_access_exception

fast_data_access_protection

PA_watchpoint

data_access_error

A.62 Store Floating-Point into Alternate Space

HPC-ACE Ext.						
Regs.	SIMD	オペコード	op3	rd	urd	処理
		STFA ^{PASI}	11 0100	0-31	— [†]	単精度浮動小数点レジスタの別空間への書き込み
✓	✓	STFA ^{PASI}	11 0100	†	0-7	単精度浮動小数点レジスタの別空間への書き込み
✓	✓	STDFA ^{PASI}	11 0111	†	0-7	倍精度浮動小数点レジスタの別空間への書き込み
✓		STQFA ^{PASI}	11 0110	†	—	4倍精度浮動小数点レジスタの別空間への書き込み

[†] JPS1 Commonality の Section 5.1.4 で定義される浮動小数点レジスタエンコードに従う。

[‡] XAR.v = 0 のとき

Format (3)

11	rd	op3	rs1	i=0	imm_asi	rs2						
11	rd	op3	rs1	i=1	simm13							
31	30	29	25	24	19	18	14	13	12	5	4	0

アセンブリ言語表記

```

sta    fregrd, [regaddr] imm_asi
sta    fregrd, [reg_plus_imm] %asi
stda   fregrd, [regaddr] imm_asi
stda   fregrd, [reg_plus_imm] %asi
stqa   fregrd, [regaddr] imm_asi
stqa   fregrd, [reg_plus_imm] %asi

```

Description 別空間への単精度浮動小数点ストア命令 (STFA) は、f[rd] の内容をメモリにコピーする。

別空間への倍精度浮動小数点ストア命令 (STDFA) は、倍精度浮動小数点レジスタの内容をワード境界にある 2 ワード領域にコピーする。

別空間への4倍精度浮動小数点ストア命令 (STQFA) は、4倍精度浮動小数点レジスタの内容をワード境界にある4ワード領域にコピーする。

これら別空間への浮動小数点ストア命令は、空間を示す識別子 (ASI) を必要とする。ASI は、 $i=0$ のとき `imm_asi` フィールドで指示され、 $i=1$ のとき ASI レジスタの値が使われる。ASI のビット7が0のときは特権アクセス、1のときは非特権アクセスである。メモリアドレスは $i=0$ のとき `"r[rs1]+r[rs2]"`、 $i=1$ のとき `"r[rs1]+sign_ext(simm13)"` である。

STFA は、アクセスするアドレスがワード境界にない場合、`mem_address_not_aligned` を通知する。浮動小数点演算器が無効なとき (FPRS.FEF, PSTATE.PEF の値による)、別空間への浮動小数点ストア命令は `fp_disabled` を通知する。

Implementation Note – STQFA ではこの検査は行われぬ。STFA と STDFA は PSTATE.PRIV = 0 で ASI のビット7が0のとき `privileged_action` を通知する。

ASI 番号によっては、8バイト以外のメモリアccessを定義しているものがある。詳細は Appendix A の他の節を参照。

SPARC64 VIIIfx では、SIMD でない STDFA は、アクセスするアドレスがワード境界にないとき、`STDF_mem_address_not_aligned` 例外を通知する。システムソフトウェアはエミュレーションすること (impl.dep. #110(2))。

SPARC64 VIIIfx は STQFA を実装していないので、`illegal_instruction` 例外を通知する。`fp_disabled` は検出しぬ。システムソフトウェアは STQFA をエミュレーションすること (impl.dep. #112(2))。

Programming Note – SPARC V8 では、倍精度または4倍精度データが適切にアラインされている保証がないとき、複数の単精度ストア命令で処理するコードを生成するコンパイラがあった。SPARC V9 ではアラインされていない命令のエミュレーションが高速になると期待されるので、複数の単精度ストア命令で処理するのは、倍精度または4倍精度データが適切にアラインされていないことが確実なときのみすることを推奨する。

Programming Note – STFA 命令で HPC-ACE 拡張レジスタを使う場合、単精度命令であっても倍精度レジスタが使用される (page 21)。これは `XAR.v=1` のときの動作なので、アドレス指定に拡張整数レジスタ `xg[0] - xg[31]` を使い、SPARC V9 単精度レジスタ (奇数番号レジスタ) をストアすることはできない。

Exceptions

fp_disabled

illegal_action (STFA, STDFA with $XAR.v = 1$ and ($XAR.urs1 > 1$ or
($i = 0$ and $XAR.urs2 > 1$) or
($i = 1$ and $XAR.urs2 \neq 0$) or
 $XAR.urs3 < 2 > \neq 0$);
STFA, STDFA with $XAR.v = 1$ and $XAR.simd = 1$ and $XAR.urd < 2 > \neq 0$)

mem_address_not_aligned

STDF_mem_address_not_aligned (STDFA and ($XAR.v = 0$ or $XAR.simd = 0$))

privileged_action

VA_watchpoint

fast_data_access_MMU_miss

data_access_exception

fast_data_access_protection

PA_watchpoint

data_access_error

A.68 Trap on Integer Condition Codes (Tcc)

Tcc 命令は XAR の値によらず、JPS1 Commonality で定義された通りに動作する。
illegal_action 例外は起きない。

例外条件が成立して *trap_instruction* が通知されるときは、Tcc 命令実行直前の XAR の内容が TXAR にコピーされる。条件不成立のときは、XAR.f_v = 1 ならば XAR.f_* が 0 クリアされ、XAR.f_v = 0 かつ XAR.s_v = 1 ならば XAR.s_* が 0 クリアされる。詳細は “XAR 動作” (page 31) 参照。

Programming Note – Tcc はデバッガのブレークポイント用に使われるため、任意の位置に挿入できるよう XAR を無視する。

Exceptions *illegal_instruction* (cc1 \square cc0 = 01₂ or 11₂, or reserved fields nonzero)
 trap_instruction

A.69 Write Privileged Register

HPC-ACE Ext.

Regs.	SIMD	オペコード	op3	処理
✓		WRPR ^P	11 0010	特権レジスタの書き込み

Format (3)



rd	特権レジスタ
0	TPC
1	TNPC
2	TSTATE
3	TT
4	TICK
5	TBA
6	PSTATE
7	TL
8	PIL
9	CWP
10	CANSAVE
11	CANRESTORE
12	CLEANWIN
13	OTHERWIN
14	WSTATE
15–31	<i>Reserved</i>

アセンブリ言語表記

wrpr	<i>reg_{rs1}</i> , <i>reg_or_imm</i> , %tpc
wrpr	<i>reg_{rs1}</i> , <i>reg_or_imm</i> , %tnpc
wrpr	<i>reg_{rs1}</i> , <i>reg_or_imm</i> , %tstate
wrpr	<i>reg_{rs1}</i> , <i>reg_or_imm</i> , %tt
wrpr	<i>reg_{rs1}</i> , <i>reg_or_imm</i> , %tick
wrpr	<i>reg_{rs1}</i> , <i>reg_or_imm</i> , %tba
wrpr	<i>reg_{rs1}</i> , <i>reg_or_imm</i> , %pstate
wrpr	<i>reg_{rs1}</i> , <i>reg_or_imm</i> , %tl
wrpr	<i>reg_{rs1}</i> , <i>reg_or_imm</i> , %pil
wrpr	<i>reg_{rs1}</i> , <i>reg_or_imm</i> , %cwp
wrpr	<i>reg_{rs1}</i> , <i>reg_or_imm</i> , %cansave
wrpr	<i>reg_{rs1}</i> , <i>reg_or_imm</i> , %canrestore
wrpr	<i>reg_{rs1}</i> , <i>reg_or_imm</i> , %cleanwin
wrpr	<i>reg_{rs1}</i> , <i>reg_or_imm</i> , %otherwin
wrpr	<i>reg_{rs1}</i> , <i>reg_or_imm</i> , %wstate

Description

この命令は、 $i = 0$ のとき “ $r[rs1] \text{ xor } r[rs2]$ ” を、 $i = 1$ のとき “ $r[rs1] \text{ xor sign_ext}(simm13)$ ” を、特権レジスタの書き込み可能フィールドに書き込む。排他論理和であることに注意。

命令の rd フィールドは書き込む特権レジスタを指定するために使われる。TPC, TNPC, TT, TSTATE レジスタはトラップレベル毎にレジスタがあるが、現在の TL に対応したレジスタに書き込まれる。TL = 0 で TPC, TNPC, TT, TSTATE に書き込むと *illegal_instruction* が通知される。

TL に対する書き込みは、トラップを生成したりトラップから復帰したりはしない。TL 以外の CPU の状態は変更されない。

Programming Note – TL に対する書き込みは、任意のトラップレベルでの TPC, TNPC, TT, TSTATE を読み出すために使われる。TL が変更されている間にトラップが起きないように注意すること。

WRPR は直ちに実行される。特権レジスタを更新することによるマシンステートの変更の影響は、WRPR の直後の命令から観測できる。

rd が 15–31 の範囲の WRPR は、将来のアーキテクチャのために予約されている。rd にこれらの値を指定して WRPR を実行すると、*illegal_instruction* が通知される。

WRPRでPSTATEレジスタを更新する際、AG, IG, MGのreservedな組み合わせを指定すると *illegal_instruction* が通知されるが、この例外通知は *illegal_action* よりも優先順位が低い。

Exceptions

privileged_opcode

illegal_instruction ((rd = 15-31) or ((rd ≤ 3) and (TL = 0));

(rd = 6 and reserved combination of AG, IG, and MG))

illegal_action (XAR.v = 1 and (XAR.simd = 1 or

XAR.urs1 > 1 or

(i = 0 and XAR.urs2 > 1) or

(i = 1 and XAR.urs2 ≠ 0) or

XAR.urs3 ≠ 0 or

XAR.urd ≠ 0))

A.70 Write State Register

HPC-ACE Ext.					
Regs.	SIMD	オペコード	op3	rd	処理
✓		WRY ^D	11 0000	0	Y レジスタに書き込む。使用を推奨しない命令 (JPS1 Commonality の A.71.18 参照)。
		—	11 0000	1	<i>Reserved</i>
✓		WRCCR	11 0000	2	CCR レジスタに書き込む。
✓		WRASI	11 0000	3	ASI レジスタに書き込む。
		—	11 0000	4, 5	<i>Reserved</i>
✓		WRFPRS	11 0000	6	FPRS レジスタに書き込む。
		—	11 0000	7–14	<i>Reserved</i>
		—	11 0000	15	SIR 命令。 (JPS1 Commonality の A.60 参照)。
		WRASR	11 0000	16–31	SPARC V9 で定義されていない ASR に書き込む。
✓		WRPCR ^P _{PCR}		16	PCR レジスタに書き込む。
✓		WRPIC ^P _{PIC}		17	PIC レジスタに書き込む。
✓		WRDCR ^P		18	DCR レジスタに書き込む。
✓		WRGSR		19	GSR レジスタに書き込む。
✓		WRSOFTINT_SET ^P		20	SOFTINT レジスタの特定ビットを 1 にする。
✓		WRSOFTINT_CLR ^P		21	SOFTINT レジスタの特定ビットを 0 にする。
✓		WRSOFTINT ^P		22	SOFTINT レジスタに書き込む。
✓		WRTICK_CMPR ^P		23	TICK_CMPR レジスタに書き込む。
✓		WRSTICK ^P		24	STICK レジスタに書き込む。
✓		WRSTICK_CMPR ^P		25	STICK_CMPR レジスタに書き込む。
		—		26-28	<i>Reserved</i>
✓		WRXAR		29	XAR レジスタに書き込む。
✓		WRXASR		30	XASR レジスタに書き込む。
✓		WRTXAR ^P		31	TXAR レジスタに書き込む。

上表の網かけ部分については、JPS1 Commonality の Section A.70, “Write State Register” を参照。

SPARC64 VIIIfx では、WRPCR は PSTATE.PRIV = 0 かつ PCR.PRIV = 1 のとき *privileged_action* 例外が通知される。PSTATE.PRIV = 0 かつ PCR.PRIV = 0 のときは、PCR.PRIV を変更しようとする (すなわち 1 を書こうとする) *privileged_action* 例外が通知される (impl. dep. #250)。

WRXAR, WRTXAR で XAR の *reserved* フィールドに 0 以外の値を書くと、*illegal_instruction* 例外が通知される。ただしこの理由による *illegal_instruction* と *illegal_action* 例外では、*illegal_action* 例外が優先して通知される。

Note – TL = 0 で WRTXAR を実行すると、XAR の値によらず *illegal_instruction* 例外が通知される。

WRXAR で XAR.v = 0 の値を書くとき、また、WRTXAR で TXAR.v = 0 の値を書くとき、関連するフィールドの値は書かれる値によらず不定になる。すなわち、

- XAR.f_v = 0 の値を書くときは、XAR.f_urs1, XAR.f_urs2, XAR.f_urs3, XAR.f_urd, XAR.f_simd の値は何を書くかによらず不定となる。
- XAR.s_v = 0 の値を書くときは、XAR.s_urs1, XAR.s_urs2, XAR.s_urs3, XAR.s_urd, XAR.s_simd の値は何を書くかによらず不定となる。
- TXAR.f_v = 0 の値を書くときは、TXAR.f_urs1, TXAR.f_urs2, TXAR.f_urs3, TXAR.f_urd, TXAR.f_simd の値は何を書くかによらず不定となる。
- TXAR.s_v = 0 の値を書くときは、TXAR.s_urs1, TXAR.s_urs2, TXAR.s_urs3, TXAR.s_urd, TXAR.s_simd の値は何を書くかによらず不定となる。

となる。

Implementation Note – XAR.v = 0 な値を書くときは関連フィールドを強制的に 0 クリアするよう実装してもよい。

Exceptions

software_initiated_reset (rd = 15, rs1 = 0, and i = 1 only)

privileged_opcode (WRDCR, WRSOFTINT_SET, WRSOFTINT_CLR, WRSOFTINT, WRTICK_CMPR, WRSTICK, WRSTICK_CMPR, and WRTXAR)

illegal_instruction (WRASR with rd = 1, 4, 5, 7-14, 26-28;
WRASR with rd = 15 and rs1 ≠ 0 or i ≠ 1,
WRTXAR with TL = 0;
WRXAR with reserved fields to non-zero)

fp_disabled (WRGSR with PSTATE.PEF = 0 or FPRS.FEF = 0)

illegal_action (XAR.v = 1 and (XAR.simd = 1 or
XAR.urs1 > 1 or
(i = 0 and XAR.urs2 > 1) or
(i = 1 and XAR.urs2 ≠ 0) or
XAR.urs3 ≠ 0 or
XAR.urd ≠ 0))

privileged_action (WRPIC with PSTATE.PRIV = 0 and PCR.PRIV = 1,
WRPCR with PSTATE.PRIV = 0 and PCR.PRIV = 1;
WRPCR to modify PCR.PRIV
with PSTATE.PRIV = 0 and PCR.PRIV = 0)

A.71 Deprecated Instructions

JPS1 **Commonality** の Appendix A.71 で定義される非推奨命令は、過去のアーキテクチャとの互換性のために提供される。新しいソフトウェアでこれらの命令を使うことは推奨されない。

A.71.10 Store Barrier

SPARC64 VIIIfx では STBAR は NOP として動作する。これは SPARC64 VIIIfx ハードウェアのメモリモデルが、すべてのメモリアクセスにこの命令を挟んでいるのと等価なためである。

Exceptions *illegal_action* (XAR.v = 1)

A.72 Floating-Point Conditional Compare to Register

HPC-ACE Ext.								処理	レジスタ比較
Regs.	SIMD	オペコード	op3	opf					
✓	✓	FCMPPEQd	11 0110	1	0110	0000	倍精度レジスタ比較 (EQ)	$f[rs1] = f[rs2]$	
✓	✓	FCMPPEQEd	11 0110	1	0110	0010	倍精度レジスタ比較 (EQ)、比較不能なら例外生成	$f[rs1] = f[rs2]$	
✓	✓	FCMPLEEd	11 0110	1	0110	0100	倍精度レジスタ比較 (LE)、比較不能なら例外生成	$f[rs1] \leq f[rs2]$	
✓	✓	FCMPLTEd	11 0110	1	0110	0110	倍精度レジスタ比較 (LT)、比較不能なら例外生成	$f[rs1] < f[rs2]$	
✓	✓	FCMPNEd	11 0110	1	0110	1000	倍精度レジスタ比較 (NE)	$f[rs1] \neq f[rs2]$	
✓	✓	FCMPNEEd	11 0110	1	0110	1010	倍精度レジスタ比較 (NE)、比較不能なら例外生成	$f[rs1] \neq f[rs2]$	
✓	✓	FCMPGTEd	11 0110	1	0110	1100	倍精度レジスタ比較 (GT)、比較不能なら例外生成	$f[rs1] > f[rs2]$	
✓	✓	FCMPGEEd	11 0110	1	0110	1110	倍精度レジスタ比較 (GE)、比較不能なら例外生成	$f[rs1] \geq f[rs2]$	
✓	✓	FCMPPEQs	11 0110	1	0110	0001	単精度レジスタ比較 (EQ)	$f[rs1] = f[rs2]$	
✓	✓	FCMPPEQEs	11 0110	1	0110	0011	単精度レジスタ比較 (EQ)、比較不能なら例外生成	$f[rs1] = f[rs2]$	
✓	✓	FCMPLEEs	11 0110	1	0110	0101	単精度レジスタ比較 (LE)、比較不能なら例外生成	$f[rs1] \leq f[rs2]$	
✓	✓	FCMPLTES	11 0110	1	0110	0111	単精度レジスタ比較 (LT)、比較不能なら例外生成	$f[rs1] < f[rs2]$	
✓	✓	FCMPNEs	11 0110	1	0110	1001	単精度レジスタ比較 (NE)	$f[rs1] \neq f[rs2]$	
✓	✓	FCMPNEEs	11 0110	1	0110	1011	単精度レジスタ比較 (NE)、比較不能なら例外生成	$f[rs1] \neq f[rs2]$	
✓	✓	FCMPGTES	11 0110	1	0110	1101	単精度レジスタ比較 (GT)、比較不能なら例外生成	$f[rs1] > f[rs2]$	
✓	✓	FCMPGEES	11 0110	1	0110	1111	単精度レジスタ比較 (GE)、比較不能なら例外生成	$f[rs1] \geq f[rs2]$	

Format (3)

10	rd	op3 11 0110	rs1	opf 1 0110 ????	rs2
31 30 29	25 24	19 18	14 13	5 4	0

アセンブリ言語表記	
<code>fcmpgte{s,d}</code>	<code>fregrs1, fregrs2, fregrd</code>
<code>fcmplte{s,d}</code>	<code>fregrs1, fregrs2, fregrd</code>
<code>fcmpeqe{s,d}</code>	<code>fregrs1, fregrs2, fregrd</code>
<code>fcmpnee{s,d}</code>	<code>fregrs1, fregrs2, fregrd</code>
<code>fcmpgee{s,d}</code>	<code>fregrs1, fregrs2, fregrd</code>
<code>fcmplee{s,d}</code>	<code>fregrs1, fregrs2, fregrd</code>
<code>fcmpeq{s,d}</code>	<code>fregrs1, fregrs2, fregrd</code>
<code>fcmpne{s,d}</code>	<code>fregrs1, fregrs2, fregrd</code>

Description これらの命令は、`rs1` で指定された浮動小数点レジスタの値と `rs2` で指定された浮動小数点レジスタの値を比較し、条件が成立していれば `all1`、不成立なら `all0` を、`rd` で指定された浮動小数点レジスタに格納する。

入力値のどちらかが SNaN または QNaN のときの例外と結果は以下のようになる。
exception の列は `fp_exception_ieee_754` 例外通知時 `FSR.cexc` にセットされる値を、
rd の列は例外が通知されない場合に結果として格納される値を示す。

命令	SNaN		QNaN	
	例外	rd	例外	rd
<code>FCMPGTE{s,d}</code> , <code>FCMPLTE{s,d}</code> , <code>FCMPGEE{s,d}</code> , <code>FCMPLEE{s,d}</code>	NV	all0	NV	all0
<code>FCMPEQE{s,d}</code>	NV	all0	NV	all0
<code>FCMPNEE{s,d}</code>	NV	all1	NV	all1
<code>FCMPEQ{s,d}</code>	NV	all0	—	all0
<code>FCMPNE{s,d}</code>	NV	all1	—	all1

Programming Note – この命令は、`FSELMOV{s,d}`, `STFR`, `STDFR`, `VIS` の論理演算命令と組み合わせて使うことを想定している。

Exceptions

`fp_disabled`
`illegal_action` (`XAR.v = 1` and `XAR.urs3 ≠ 0`;
`XAR.v = 1` and `XAR.simd = 1` and
`(XAR.urs1<2> ≠ 0` or `XAR.urs2<2> ≠ 0` or `XAR.urd<2> ≠ 0`))
`fp_exception_ieee_754` (NV if unordered)

A.73 Floating-Point Minimum and Maximum

HPC-ACE Ext.						
Regs.	SIMD	オペコード	op3	opf		処理
✓	✓	FMAXd	11 0110	1 0111	0000	倍精度最大値
✓	✓	FMAXs	11 0110	1 0111	0001	単精度最大値
✓	✓	FMINd	11 0110	1 0111	0010	倍精度最小値
✓	✓	FMINs	11 0110	1 0111	0011	単精度最小値

Format (3)

10	rd	op3 11 0110	rs1	opf 1 0111 00??	rs2
31 30 29	25 24	19 18	14 13	5 4	0

アセンブリ言語表記

$f_{\max}\{s, d\}$	$f_{\text{reg}rs1}, f_{\text{reg}rs2}, f_{\text{reg}rd}$
$f_{\min}\{s, d\}$	$f_{\text{reg}rs1}, f_{\text{reg}rs2}, f_{\text{reg}rd}$

Description

$F_{\max}\{s, d\}$ は、rs1 で指定された浮動小数点レジスタの値と rs2 で指定された浮動小数点レジスタの値を比較し、 $f[\text{rs1}] > f[\text{rs2}]$ なら $f[\text{rs1}]$ を、そうでなければ $f[\text{rs2}]$ を、rd で指定された浮動小数点レジスタに格納する。

$F_{\min}\{s, d\}$ は、rs1 で指定された浮動小数点レジスタの値と rs2 で指定された浮動小数点レジスタの値を比較し、 $f[\text{rs1}] < f[\text{rs2}]$ なら $f[\text{rs1}]$ を、そうでなければ $f[\text{rs2}]$ を、rd で指定された浮動小数点レジスタに格納する。

F_{\min} , F_{\max} はゼロの符号は無視する。 $f[\text{rs1}]$, $f[\text{rs2}]$ が +0, -0 または -0, +0 のときは、 $f[\text{rs2}]$ の値が出力される。

入力値の一方が NaN、もう一方が NaN 以外の数ときは、NaN 以外の数が出力される。他の命令と異なり、NaN は伝播しない。入力値の両方が NaN のときは *fp_exception_ieee_754* 例外を検出する。このとき FSR の $\text{TEM.NVM} = 0$ だと例外は通知されず、rd には JPS1 Commonality の TABLE B-1 で定義された値が格納される。

Exceptions

fp_disabled

illegal_action (XAR.v = 1 and XAR.urs3 ≠ 0;

XAR.v = 1 and XAR.simd = 1 and

(XAR.urs1<2> ≠ 0 or XAR.urs2<2> ≠ 0 or XAR.urd<2> ≠ 0))

fp_exception_ieee_754 (NV if unordered)

A.74 Floating-Point Reciprocal Approximation

HPC-ACE Ext.						
Regs.	SIMD	オペコード	op3	opf		処理
✓	✓	FRCPA _d	11 0110	1 0111	0100	倍精度逆数の近似値
✓	✓	FRCPA _s	11 0110	1 0111	0101	単精度逆数の近似値
✓	✓	FRSQRT _d	11 0110	1 0111	0110	倍精度平方根逆数の近似値
✓	✓	FRSQRT _s	11 0110	1 0111	0111	単精度平方根逆数の近似値

Format (3)

10	rd	op3 11 0110	0 0000	opf 1 0111 01??	rs2
31 30 29	25 24	19 18	14 13	5 4	0

アセンブリ言語表記

<code>frcpa{s,d}</code>	<code>fregrs2, fregrd</code>
<code>frsqrta{s,d}</code>	<code>fregrs2, fregrd</code>

Description FRCPA{s,d} は、rs2 で指定された浮動小数点レジスタの値の逆数近似値を求め、rd で指定された浮動小数点レジスタに格納する。得られる結果は近似値だが、FSR.RD の影響は受けない。結果が正規化数のとき、その精度は 1/256 未満、つまり

$$\left| \frac{\text{frcpa}(x) - 1/x}{1/x} \right| < \frac{1}{256}$$

となる。

FRCPA{s,d} の演算結果と例外条件を TABLE A-7 に示す。結果の欄の上段が例外、下段が例外が通知されないときの値である。fp_exception_ieee_754 例外の要因が複数あるものの優先順位は本書および JPS1 Commonality の Appendix B を参照。

TABLE A-7 FRCPA{s,d} の演算結果

op2	例外と演算結果	
	FSR.NS = 0	FSR.NS = 1
+∞	— 0	— 0
+N ($N \geq 2^{126}$ for single, $N \geq 2^{1022}$ for double)	UF +1/N の近似値 (非正規化数) ¹	UF, NX +0
+N (+Nmin ≤ N < 2 ¹²⁶ for single, +Nmin ≤ N < 2 ¹⁰²² for double)	— +1/N の近似値	— +1/N の近似値
+D	unfinished_FPop —	DZ +∞
+0	DZ +∞	DZ +∞
-0	DZ -∞	DZ -∞
-D	unfinished_FPop —	DZ -∞
-N (+Nmin ≤ N < 2 ¹²⁶ for single, +Nmin ≤ N < 2 ¹⁰²² for double)	— -1/N の近似値	— -1/N の近似値
-N ($N \geq 2^{126}$ for single, $N \geq 2^{1022}$ for double)	UF -1/N の近似値 (非正規化数) ¹	UF, NX -0
-∞	— -0	— -0
SNaN	NV QNaN2	NV QNaN2
QNaN	— op2	— op2

1.結果が非正規化数のとき、精度は 1/256 より大きくなり得る。

N	正の正規化数 (ゼロ, NaN, 無限大を除く)
D	正の非正規化数

Nmin	正の正規化数の最小値
dNaN	符号は 0、指数部と仮数部が全ビット 1 の QNaN
QSNaN2	JPS1 Commonality の TABLE B-1 参照。

FRSQRTA{s, d} は、rs2 で指定された浮動小数点レジスタの値の平方根の逆数近似値を求め、rd で指定された浮動小数点レジスタに格納する。得られる結果は近似値だが、FSR.RD の影響を受けない。結果が正規化数のとき、近似値の精度は 1/256 未満、つまり

$$\left| \frac{frsqrta(x) - 1/(\sqrt{x})}{1/(\sqrt{x})} \right| < \frac{1}{256}$$

となる。

FRSQRTA{s, d} の演算結果と例外条件を TABLE A-8 に示す。結果の欄の上段が例外、下段が例外が通知されないときの値である。fp_exception_ieee_754 例外の要因が複数あるものの優先順位は本書および JPS1 **Commonality** の Appendix B を参照。

TABLE A-8 FRSQRTA{s,d} の演算結果

op2	例外と演算結果	
	FSR.NS = 0	FSR.NS = 1
+∞	— 0	— 0
+N	— + 1/(√N)	— + 1/(√N)
+D	unfinished_FPop —	DZ +0
+0	DZ +0	DZ +0
-0	DZ +0	DZ +0
-D	NV dNaN	NV dNaN
-N	NV dNaN	NV dNaN
-∞	NV dNaN	NV dNaN
SNaN	NV QSNaN2	NV QSNaN2

TABLE A-8 FRSQRTA{s,d} の演算結果

op2	例外と演算結果	
	FSR.NS = 0	FSR.NS = 1
QNaN	— op2	— op2

Exceptions

illegal_instruction (instruction<18:14> ≠ 0)

fp_disabled

illegal_action (XAR.v = 1 and (XAR.urs1 ≠ 0 or XAR.urs3 ≠ 0);
XAR.v = 1 and XAR.simd = 1 and
(XAR.urs2<2> ≠ 0 or XAR.urd<2> ≠ 0))

fp_exception_ieee_754 (NV, DZ, UF, NX for FRCPA{s, d};
NV, DZ for FRSQRTA{s, d})

fp_exception_other (f_{tt} = *unfinished_FPop*)

A.75 Move Selected Floating-Point Register on Floating-Point Register's Condition

HPC-ACE Ext.							
Regs.	SIMD	オペコード	op3	var	size	処理	
✓	✓	FSELMOVD	11 0111	11	00	倍精度レジスタを選択し移動	
✓	✓	FSELMOV _s	11 0111	11	11	単精度レジスタを選択し移動	

Format (5)

10	rd	op3 11 0111	rs1	rs3	var 11	size ??	rs2
31 30 29	25 24	19 18	14 13	9 8	7 6	5 4	0

アセンブリ言語表記

```
fselmov{s,d}   fregrs1, fregrs2, fregrs3, fregrd
```

Description FSELMOV{s, d} は、rs3 で指定された浮動小数点レジスタの値の最上位ビットにより rs1 か rs2 を選択し、指定された浮動小数点レジスタの値を rd で指定された浮動小数点レジスタに格納する。rs3 で指定された浮動小数点レジスタの bit<63> が 1 なら rs1 を、0 なら rs2 を選択する。

Exceptions *fp_disabled*
illegal_action (XAR.v = 1 and XAR.simd = 1 and
 (XAR.urs1<2> ≠ 0 or XAR.urs2<2> ≠ 0 or
 XAR.urs3<2> ≠ 0 or XAR.urd<2> ≠ 0))

A.76 Floating-Point Trigonometric Functions

TBD

A.77 Store Floating-Point Register on Floating-Point Register's Condition

HPC-ACE Ext.		オペコー	op3	rd	urd	処理
Regs.	SIMD	ド				
		STFR	10 1100	0-31	‡	条件付き単精度ストア
✓	✓	STFR	10 1100	†	0-7	条件付き単精度ストア
✓	✓	STDFR	10 1111	†	0-7	条件付き倍精度ストア

† Encoded floating-point register value, as described in *Floating-Point Register Number Encoding* in Section 5.1.4 of JPS1 Commonality.

‡ XAR.v = 0 のとき

Format (3)

11	rd	op3	rs1	i = 1	simm8	rs2
31 30 29		25 24	19 18	14 13 12		5 4 0

アセンブリ言語表記

```
stfr    fregrd, fregrs2, [address]
```

```
stdfr   fregrd, fregrs2, [address]
```

Description

STFR は、f [rs2] の最上位ビットが 1 のとき、f [rd] で指示される単精度浮動小数点レジスタの内容を、4 バイト境界の 4 バイト領域に書き込む。

STDFR は、f [rs2] の最上位ビットが 1 のとき、f [rd] で指示される倍精度浮動小数点レジスタの内容を、8 バイト境界の 8 バイト領域に書き込む。

書き込みアドレスは “r [rs1] + sign_ext (simm8 << 2)” で計算される。

STFR は、4 バイト境界にないアドレスにアクセスすると *mem_address_not_aligned* 例外を通知する。

STDFR は、8 バイト境界にないアドレスにアクセスすると *mem_address_not_aligned* 例外を通知する。

SIMD でない STDFR は、4 バイト境界だが 8 バイト境界にないアドレスにアクセスすると *STDF_mem_address_not_aligned* 例外を通知する。

浮動小数点演算器が使えないとき (FPRS.FEF, PSTATE.PEF の設定による)、STFR, STDFR は *fp_disabled* を通知する。

STFR, STDFR のウォッチポイント検出は、実際にストアをする / しないに係らず、アドレスがマッチしていれば例外を通知する。

Programming Note – STFR, STDFR で HPC-ACE 拡張レジスタを使う場合、単精度命令であっても倍精度レジスタが使用される (page 21)。これは XAR.v = 1 のときの動作なので、アドレス指定に拡張整数レジスタ *xg[0] - xg[31]* を使い、SPARC V9 単精度レジスタ (特に奇数番号レジスタ) をストアすることはできない。

SIMD 拡張

SPARC64 VIIIfx では STFR, STDFR は SIMD 拡張される。SIMD 拡張された STFR, STDFR は、basic 側の単精度・倍精度ストアと extended 側の単精度・倍精度ストアを同時に実行する。レジスタの使用方法は“SIMD 拡張命令のレジスタ指定方法” (page 22) を参照。

SIMD STFR は 8 バイト境界に 2 つの単精度数データをストアする。アクセス境界違反には *mem_address_not_aligned* が通知される。

SIMD STDFR は 16 バイト境界に 2 つの倍精度数データをストアする。アクセス境界違反には *mem_address_not_aligned* が通知される。SIMD STDFR では、4 バイト境界に対するアクセスでも *STDF_mem_address_not_aligned* は通知されない。

SIMD STFR, SIMD STDFR はキャッシュابل領域に対してのみストアできる。ノンキャッシュابل領域に対して SIMD STFR, SIMD STDFR を実行しようとする、*data_access_exception* が通知される。bypass ASI に対する SIMD ストアは、ASI_PHYS_USE_EC{LITTLE} については可能である。

メモリアクセスのセマンティクスは通常のストア命令と同じく、TSO を遵守する。SIMD STFR, SIMD STDFR は 1 命令で basic と extended の両方を同時にストアするが、basic と extended の間でも TSO が遵守されるものとする。

SIMD STFR, SIMD STDFR は basic, extended どちらでもウォッチポイントを検出する。

SIMD STFR, SIMD STDFR の例外条件と優先順位に関しては Appendix F.5.1, “Trap Condition of SIMD Load and SIMD Store” を参照。

Exceptions

illegal_instruction (i = 0)

fp_disabled

illegal_action (XAR.v = 1 and (XAR.urs1 > 1 or
XAR.urs3<2> ≠ 0);
XAR.v = 1 and XAR.simd = 1 and
(XAR.urs2<2> ≠ 0 or XAR.urd<2> ≠ 0))

mem_address_not_aligned

STDF_mem_address_not_aligned (STDFR and (XAR.v = 0 or XAR.simd = 0))

VA_watchpoint

fast_data_access_MMU_miss
data_access_exception
fast_data_access_protection
PA_watchpoint
data_access_error

A.78 Set XAR (SXAR)

HPC-ACE Ext.					
Regs.	SIMD	オペコード	op2	cmb	処理
		SXAR1	111	0	後続 1 命令の XAR 指定
		SXAR2	111	1	後続 2 命令の XAR 指定

Format (2)

00	cmb	f_simd	f_urd	op2 111	f_urs1	f_urs2	f_urs3	s_simd	s_urd	s_urs1	s_urs2	s_urs3	
31 30	29	28	27 25 24	22 21	19 18	16 15	13	12	11	9 8	6 5	3 2	0

アセンブリ言語表記

sxar1

sxar2

Description

SXAR 命令は XAR を更新する命令である。XAR が 2 命令までの値を保持できるのに対応し、1 命令分指定できる SXAR1 と 2 命令分指定できる SXAR2 がある。f_ で始まるフィールドは SXAR の直後に実行される命令に、s_ で始まるフィールドは 2 命令目に適用される。SXAR1 の s_* フィールドは無視される。

SXAR 命令は命令列上の直後 (PC + 4, PC + 8) にある最大 2 命令で、SPARC64 VIIIfx で追加された整数・浮動小数点レジスタを使う場合や、SIMD 拡張動作を指示するために使われる。

Implementation Note – 命令列上連続する命令を高速に実行できるようにハードウェアを実装してよい。

SXAR と後続命令がメモリ上連続していない場合、たとえば SXAR がディレイスロットに置かれていたり、Tcc を挟んでいると、性能は低下する可能性がある。

SXAR の実行は IIU_INST_TRAP で検出できない場合がある。

SXAR 自身は XAR 対象命令ではないので、実行時に XAR.v = 1 だと *illegal_action* が通知される。

Compatibility Note – $op = 00_2$, $op2 = 111_2$ は SPARC V9 では reserved だが、SPARC V8 では FBcc 命令が定義されていた。SPARC V8 のアプリケーションを SPARC64 VIIIfx で動かすと、動作が異なる可能性がある。

Programming Note – SXAR 命令は命令語中に XAR にセットする値を抱えているが、アセンブリ言語の表記上は引数はない。HPC-ACE 拡張動作は後続命令のニーモニックにサフィックスで記述し、アセンブラが SXAR に落とし込むこと。

```
    sxar1  
    faddd,s    %f0, %f2, %f4        /* SIMD */
```

Exceptions *illegal_action* (XAR.v = 1)

A.79 Cache Line Fill with Undetermined Value

HPC-ACE Ext.					
Regs.	SIMD	オペコード	imm_asi	ASI Value	処理
✓		STXA STDA ^D STDFA	ASI_XFILL_AIUP	72 ₁₆	プライマリ空間の指定されたアドレスをキャッシュにのせ、不定値で埋める。
✓		STXA STDA ^D STDFA	ASI_XFILL_AIUS	73 ₁₆	セカンダリ空間の指定されたアドレスをキャッシュにのせ、不定値で埋める。
✓		STXA STDA ^D STDFA	ASI_XFILL_P	f2 ₁₆	プライマリ空間の指定されたアドレスをキャッシュにのせ、不定値で埋める。
✓		STXA STDA ^D STDFA	ASI_XFILL_S	f3 ₁₆	セカンダリ空間の指定されたアドレスをキャッシュにのせ、不定値で埋める。

Description

STXA, STDA, STDFA にこれらの ASI を指定すると、指定されたアドレスをキャッシュ上に書き込み用に確保し、そのアドレスを含むキャッシュラインを不定値で埋める。メモリから CPU へのデータ転送は発生しない。命令で指定するアドレスは、8 バイト境界にある論理アドレスならば、キャッシュライン上の任意のアドレスを指定してよい。

STXA, STDA は、8 バイト境界でないアドレスを指定すると *mem_address_not_aligned* を通知する。

STDFA は、4 バイト境界だが 8 バイト境界でないアドレスを指定すると *STDF_mem_address_not_aligned* を通知し、8 バイト境界でも 4 バイト境界でもないアドレスを指定すると *mem_address_not_aligned* を通知する。

XFILL_{AIUP,AIUS,S,P} ではハードウェアプリフェッチの on/off 指定は意味を持たない。XAR.dis_hw_pf の値は無視される。

XFILL_{AIUP,AIUS,S,P} と後続のメモリアクセスの間のメモリオータは TSO が遵守される。

TTE.CP = 0 であるページに対する XFILL_{AIUP,AIUS,S,P} は、ウォッチポイント、アラインメント、プロテクション違反は検出されるが、キャッシュラインの不定値フィルは行われない。また、XFILL_{AIUP,AIUS,S,P} ではバスエラー、バスタイムアウトによる ECC_error 例外は通知されない。

XFILL_{AIUP,AIUS,S,P} はキャッシュライン 128 バイト全てでウォッチポイントの一致を検出する。

キャッシュラインフィル中に、当該キャッシュラインに対する後続アクセスが発生すると、後続アクセスはキャッシュラインフィルが完了するまで保留される。

Programming Notes – XFILL と後続アクセスの間に MEMBAR は不要。

後続アクセスが保留されると性能が低下するので、高速なプログラムを作成しようとするときは XFILL は実際のストアに十分先立って実行する必要がある。しかし、XFILL が完了するまでにかかる時間はシステムに依存するので、あるシステムで十分先立って実行されていたものが、将来のプロセッサでは不十分になる可能性がある。

本 ASI は `memset()`、`memcpy()` の高速化を意図して設けられた。以下に本 ASI を用いた `memset()/memcpy()` のサンプルコードを示す。ただしこれらはいずれもセクタ 0 に再利用性の低いデータがキャッシュされる場合のコードであることに注意。セクタ 0 とセクタ 1 をどういう用途に使うかはアプリケーションが決めることなので、セクタ 1 に再利用性の低いデータをキャッシュするアプリケーションでこのサンプルコードを使うと、性能低下を引き起こす可能性がある。

[memset(0) の pseudo-code]

```
/*
 * %i0: dst
 */
ahead = 4 * 128; ! 適時調整
for (i = 0 ; i < size; i += 128) {
    stxa      %g0, [%i0+ahead] #ASI_XFILL

    sxar2
    stx,d     %g0, [%i0]
    stx,d     %g0, [%i0+8]
    sxar2
    stx,d     %g0, [%i0+16]
    stx,d     %g0, [%i0+24]
    sxar2
    stx,d     %g0, [%i0+32]
    stx,d     %g0, [%i0+40]
    sxar2
    stx,d     %g0, [%i0+48]
    stx,d     %g0, [%i0+56]
    sxar2
    stx,d     %g0, [%i0+64]
    stx,d     %g0, [%i0+72]
    sxar2
    stx,d     %g0, [%i0+80]
    stx,d     %g0, [%i0+88]
    sxar2
    stx,d     %g0, [%i0+96]
```

```

    stx,d    %g0, [%i0+104]
    sxar2
    stx,d    %g0, [%i0+112]
    stx,d    %g0, [%i0+120]

    add      %i0, 128, %i0
}

[memcpy() の pseudo-code]
/*
 * %i0: dst
 * %i1: src
 */
ahead = 4 * 128;! 適時調整
for (i = 0 ; i < size; i += 128) {
    prefetch [%i1 + 128], #n_reads
    ldx      %12, [%i1]
    ldx      %13, [%i1+8]
    ldx      %14, [%i1+16]
    ldx      %15, [%i1+24]
    ldx      %16, [%i1+32]
    ldx      %17, [%i1+40]
    ldx      %0, [%i1+48]
    ldx      %01, [%i1+56]
    ldx      %02, [%i1+64]
    ldx      %03, [%i1+72]
    ldx      %04, [%i1+80]
    ldx      %05, [%i1+88]
    ldx      %06, [%i1+96]
    ldx      %07, [%i1+104]
    ldx      %i6, [%i1+112]
    ldx      %i7, [%i1+120]

    stxa     %g0, [%i0+ahead] #ASI_XFILL

    prefetch [%i0 + 128], #n_writes
    sxar2
    stx,d    %12, [%i0]
    stx,d    %13, [%i0+8]
    sxar2
    stx,d    %14, [%i0+16]
    stx,d    %15, [%i0+24]
    sxar2
    stx,d    %16, [%i0+32]
    stx,d    %17, [%i0+40]
    sxar2
    stx,d    %0, [%i0+48]

```

```

    stx,d    %o1, [%i0+56]
    sxar2
    stx,d    %o2, [%i0+64]
    stx,d    %o3, [%i0+72]
    sxar2
    stx,d    %o4, [%i0+80]
    stx,d    %o5, [%i0+88]
    sxar2
    stx,d    %o6, [%i0+96]
    stx,d    %o7, [%i0+104]
    sxar2
    stx,d    %i6, [%i0+112]
    stx,d    %i7, [%i0+120]

    add      %i1, 128, %i1
    add      %i0, 128, %i0
}

```

Exceptions

fp_disabled (STDFFA)

legal_action (STXA, STDA with $XAR.v = 1$ and $(XAR.urs1 > 1$ or

$(i = 0$ and $XAR.urs2 > 1)$ or

$(i = 1$ and $XAR.urs2 \neq 0)$ or

$XAR.urs3<2> \neq 0$ or

$XAR.urd > 1$);

STDFFA with $XAR.v = 1$ and $(XAR.urs1 > 1$ or

$(i = 0$ and $XAR.urs2 > 1)$ or

$(i = 1$ and $XAR.urs2 \neq 0)$ or

$XAR.urs3<2> \neq 0$);

$XAR.v = 1$ and $XAR.simd = 1$)

mem_address_not_aligned

STDF_mem_address_not_aligned

privileged_action (ASI_XFILL_AIUP, ASI_XFILL_AIUS)

VA_watchpoint

fast_data_access_MMU_miss

data_access_exception

fast_data_access_protection

PA_watchpoint

data_access_error

IEEE Std. 754-1985 Requirements for SPARC-V9

IEEE Std. 754-1985 浮動小数点数規格は実装依存仕様を許容している。JPS1 **Commonality** の Appendix B では SPARC V9 に準拠したプロセッサ間での処理が統一されるよう、IEEE 754-1985 実装依存仕様の扱いを定義している。その詳細については JPS1 **Commonality** を参照。

この章で規定するのは、

- unfinished_FPop が起きる条件
- IEEE 非準拠モードの動作仕様

である。なお、前者は JPS1 **Commonality** の Section 5.1.7 内の “FSR_floating-point_trap_type (ftt)” の実装依存部を明確に再定義したもので、便宜上この章に配置してある。

B.1 Traps Inhibiting Results

詳細は JPS1 **Commonality** の Section B.1 を参照。SPARC64 VIIIfx はハードウェアとシステムソフトウェアが協調して、この節で定義されている状態を実現する。

B.6 Floating-Point Nonstandard Mode

この節では、*fp_exception_other* 例外を FSR.ftt = *unfinished_FPop* で通知する境界条件と、SPARC64 VIIIfx の IEEE 754-1985 非準拠モードの動作について説明する。前者は SPARC64 VIIIfx では IEEE 準拠モード (FSR.NS = 0) のときのみ起きる例外だが、読者の便宜を考えこの章に配置してある。

SPARC64 VIIIfx の浮動小数点演算器は一定範囲の数のみを扱うことができる。演算の入力になる数や中間結果から、演算結果がその範囲から外れるだろうと予想される場合、SPARC64 VIIIfx は演算を中断し *fp_exception_other* 例外を $FSR.ftt = 02_{16}$ (*unfinished_FPop*) で通知し、後の処理をソフトウェアに委ねる。そしてエミュレーションルーチンは、IEEE 754-1985 に準拠する形で演算を完了させる (*impl. dep. #3*)。

SPARC64 VIIIfx は IEEE 754-1985 非準拠モードで動作することもできる。これは $FSR.NS = 1$ により指示する ("*FSR_nonstandard_fp(NS)*" (page 22) を参照)。FSR.NS の値により SPARC64 VIIIfx の動作は変わってくる。

B.6.1 *fp_exception_other* Exception (*ftt=unfinished_FPop*)

SPARC64 VIIIfx のほとんどの浮動小数点演算命令は、*fp_exception_other* 例外を $FSR.ftt = \textit{unfinished_FPop}$ で通知する可能性がある (詳細は各命令の仕様を参照)。例外発生境界条件は以下の通りである。

1. 入力オペランドの1つが非正規化数で、それ以外がゼロでない正規化数 (NaN と無限大を除く) のとき、*fp_exception_other* 例外が *unfinished_FPop* で通知される。ただし、結果がゼロかオーバーフローのときはこの限りではない。
2. すべての入力オペランドが非正規化数で、結果がゼロかオーバーフロー以外のとき、*fp_exception_other* 例外が *unfinished_FPop* で通知される。
3. すべての入力オペランドが正規化数、丸める前の演算結果が非正規化数で、 $TEM.UFM = 0$ 、かつ結果がゼロでない場合、*fp_exception_other* 例外が *unfinished_FPop* で通知される。

結果が定数、たとえばゼロや無限大になると予想され、そのための演算が簡単な場合、*unfinished_FPop* を通知せずに演算を行う。

Implementation Note – 境界条件を精確に検出するためには大量の論理回路が必要になる。このようなハードウェアのコストを避けるため、SPARC64 VIIIfx は中間結果の指数部 (丸める前の値) を計算することで境界条件にあてはまるかどうかを大まかに判定する。このような判定方法のため、精確にはゼロやオーバフローにならない値でも、そうであると判定し、*unfinished_FPop* 例外を通知することがある。

境界条件検出のための、結果の指数部を求める式を TABLE B-1 に示す。ここで E_r は丸め前の計算値の指数部 (バイアス込み) で、入力データの指数部 ($esrc1, esrc2$) だけから計算される。

TABLE B-1 *unfinished_FPop* 例外検出のための結果の指数部の計算式

処理	計算式
fmul _s	$E_r = esrc1 + esrc2 - 126$
fmul _d	$E_r = esrc1 + esrc2 - 1022$
fdiv _s	$E_r = esrc1 - esrc2 + 126$
fdiv _d	$E_r = esrc1 - esrc2 + 1022$

$esrc1, esrc2$ はバイアス込みの入力データの指数部である。非正規化数の場合、この値は 0 である。

E_r から $eres$ が求められる。 $eres$ は仮数部の桁合わせ後、丸め前の指数部である。すなわち、演算後の仮数部を暗黙の 1 が小数点の左にくるまで右または左にシフトし、そのシフト量を E_r に加算または減算する操作後の値である。

TABLE B-2 に、全浮動小数点演算命令の *unfinished_FPop* 検出条件をまとめた。

TABLE B-2 *unfinished_FPop* 検出条件

処理	検出条件
FdTos	$-25 < eres < 1$ かつ $TEM.UFM = 0$ のとき。
FsTod	第二オペランド ($rs2$) が非正規化数のとき。
FADD _s , FSUB _s , FADD _d , FSUB _d	<ol style="list-style-type: none"> 1. 入力のひとつが非正規化数、もうひとつがゼロ以外の正規化数 (無限大と NaN を除く)¹ のとき。 2. 入力が両方とも非正規化数。 3. 入力が両方ともゼロ以外の正規化数 (無限大と NaN を除く) で、$eres < 1$ かつ $TEM.UFM = 0$ のとき。
FMUL _s , FMUL _d	<ol style="list-style-type: none"> 1. 入力のひとつが非正規化数、もうひとつがゼロ以外の正規化数 (無限大と NaN を除く) のとき、 単精度演算: $-25 < E_r$ 倍精度演算: $-54 < E_r$ 2. 入力が両方ともゼロ以外の正規化数 (無限大と NaN を除く) で $TEM.UFM = 0$ のとき、 単精度演算: $-25 < eres < 1$ 倍精度演算: $-54 < eres < 1$

TABLE B-2 *unfinished_FPop* 検出条件 (Continued)

処理	検出条件
FsMULd	<ol style="list-style-type: none"> 1. 入力のひとつが非正規化数、もうひとつがゼロ以外の正規化数 (無限大と NaN を除く) のとき。 2. 入力が両方とも非正規化数のとき。
FDIVs, FDIVd	<ol style="list-style-type: none"> 1. 被除数 (rs1) がゼロ以外の正規化数 (無限大と NaN を除く)、除数 (rs2) が非正規化数のとき、 単精度演算: Er < 255 倍精度演算: Er < 2047 2. 被除数 (rs1) が非正規化数、除数 (rs2) がゼロ以外の正規化数 (無限大と NaN を除く) のとき、 単精度演算: -25 < Er 倍精度演算: -54 < Er 3. 被除数、除数とも非正規化数のとき。 4. 被除数、除数ともゼロ以外の正規化数 (無限大と NaN を除く) で TEM.UFM = 0 のとき、 単精度演算: -25 < eres < 1 倍精度演算: -54 < eres < 1
FSQRTs, FSQRTd	入力 (rs2) が正のゼロでない非正規化数のとき。
FMADD{s,d}, FMSUB{s,d}, FNMADD{s,d}, FNMSUB{s,d}	乗算部分は FMUL{s,d} と同じ。加算部分は FADD{s,d} と同じ。
FTRIMADDd	乗算部分は FMUL{s,d} と同じ。加算部分では起きない。
FTRISMULd	<ol style="list-style-type: none"> 1. rs1 が非正規化数のとき、 倍精度演算: -54 < Er 2. rs1 がゼロ以外の正規化数 (無限大と NaN を除く) で TEM.UFM = 0 のとき、 倍精度演算: -54 < eres < 1
FRCPA{s,d}	入力が非正規化数のとき。
FRSQRTA{s,d}	入力が正のゼロでない非正規化数のとき。

1. 入力が非正規化数とゼロのときは、IEEE754-1985 で規定されている通りの結果を生成する。

Pessimistic Zero

TABLE B-3 の条件が成立するとき、SPARC64 VIIIfx は演算結果として、FSR.RD に応じて 0 または最小の非正規化数を返す。この値を pessimistic zero と呼ぶ。

TABLE B-3 Pessimistic Zero 発生条件

処理	条件		
	オペランドの一つが非正規化数 ¹	両方のオペランドが非正規化数	両方が正規化数 ²
FdTOs	常に	—	$eres \leq -25$
FMULs, FMULd	単精度 $Er \leq -25$ 倍精度 $Er \leq -54$	常に	単精度 $eres \leq -25$ 倍精度 $eres \leq -54$
FDIVs, FDIVd	単精度 $Er \leq -25$ 倍精度 $Er \leq -54$	起こらない	単精度 $eres \leq -25$ 倍精度 $eres \leq -54$

1.両方ともゼロ、NaN、無限大以外。

2.両方がゼロでもよいが、どちらも無限大、NaN ではない。

Pessimistic Overflow

TABLE B-4 の条件が成立するとき、SPARC64 VIIIfx は演算でオーバーフローが起きたものとみなす。

TABLE B-4 Pessimistic Overflow 発生条件

処理	条件
FDIVs	除数 (rs2) が非正規化数で $Er \geq 255$ のとき。
FDIVd	除数 (rs2) が非正規化数で $Er \geq 2047$ のとき。

B.6.2 Operation Under FSR.NS = 1

FSR.NS = 1 (IEEE 非準拠モード) の場合、SPARC64 VIIIfx は入力あるいは演算結果が非正規化数になった場合、それをゼロに置き換えて処理を続けようとする。この置き換えにより動作がどのように変わるかを以下に示す。

- 入力の一つが非正規化数で、すべてがゼロ、NaN、無限大以外るとき、非正規化数は同符号のゼロで置き換えられて演算が行われる。演算後、`cexc.nxc = 1` がセットされる。ただし、以下の条件に該当する場合は `cexc.nxc = 0` になる。
 - 演算が `FDIV{s,d}` で、ゼロ除算か無効演算が検出されたとき
 - 演算が `FSQRT{s,d}` で、無効演算が検出されたとき
 - 演算が `FRPCA{s,d}`, `FRSQRTA{s,d}` のとき

`cexc.nxc = 1` かつ FSR の `TEM.NXM = 1` のとき、`fp_exception_ieee_754` 例外が通知される。

- 丸める前の演算結果が非正規化数のときは、同符号のゼロで置き換えられる。

FSR の TEM.UFM = 1 ならば cexc.ufc = 1 が、TEM.UFM = 0 で TEM.NXM = 1 ならば cexc.nxc = 1 がセットされ、*fp_exception_ieee_754* 例外が通知される。TEM.UFM = 0 かつ TEM.NXM = 0 のときは、cexc.ufc = 1, cexc.nxc = 1 がセットされる。

上で述べたとおり、FSR.NS = 1 のとき SPARC64 VIIIfx は *unfinished_FPop* 例外を起ささないし、演算結果として非正規化数を返すこともない。

TABLE B-5 は、TABLE B-2 であげた浮動小数点演算命令¹について、入力と結果の数の種類と FSR.TEM によりどの例外が通知されるかを、FSR.NS = 0, 1 それぞれの場合についてまとめたものである。条件にしたがって表を左から右へとたどると、Result の列に起こりうる例外と例外がマスクされている場合の演算結果が得られる。FSR.NS = 1 で入力が非正規化数の場合は TABLE B-6 を参照。TABLE B-5 で Result が網掛けの部分には、IEEE754-1985 に準拠していることを示す。

Note – TABLE B-5, TABLE B-6 を通じて、英小文字の例外条件、nx, uf, of, dv, nv は、FSR.TEM のそれぞれに対応するビットが 0 のため *fp_exception_ieee_754* 例外が通知されないことを示す。大文字の NX, UF, OF, DV, NV は *fp_exception_ieee_754* 例外が通知されることを示す。

TABLE B-5 浮動小数点例外の発生条件と結果 (1 of 2)

FSR.NS	入力が非正規化数 ¹	結果が非正規化数 ²	Pessimistic Zero	Pessimistic Overflow	UFM	OFM	NXM	結果	
0	No	Yes	Yes	—	1	—	—	UF	
					0	—	1	NX	
			0	—	0	uf + nx, 演算結果は丸め前と同符号のゼロか Dmin ³			
		No	—	—	1	—	—	UF	
					0	—	—	<i>unfinished_FPop</i> ⁴	
			—	—	—	—	—	IEEE754-1985 準拠	
	Yes	—	Yes	—	—	1	—	—	UF
						0	—	1	NX
						0	—	0	uf + nx, 演算結果は丸め前と同符号のゼロか Dmin
			No	Yes	—	—	1	—	OF
						—	0	1	NX
				—	—	—	—	0	of + nx, 演算結果は丸め前と同符号の無限大か Nmax ⁵
—	—	—	—	—	—	—	<i>unfinished_FPop</i>		

1. FTRISmuld の rs2 は浮動小数点数ではないので、Input Denormal の対象外。

TABLE B-5 浮動小数点例外が発生条件と結果 (2 of 2)

FSR.NS	入力为非正規化数 ¹	結果が非正規化数 ²	Pessimistic Zero	Pessimistic Overflow	UFM	OFM	NXM	結果
1	No	Yes	—	—	1	—	—	UF
					0	—	1	NX
		0	—	0	uf + nx, 演算結果は丸め前と同符号のゼロ			
	No	—	—	—	—	—	IEEE754-1985 準拠	
Yes	—	—	—	—	—	—	TABLE B-6	

1. 入力のひとつが非正規化数。他は正規化数 (0, NaN, 無限大を除く) でも非正規化数でもよい。
2. 丸め前の演算結果が非正規化数になった場合。
3. Dmin = 最小の非正規化数。
4. 演算が FADD{s,d} か FSUB{s,d} で入力がゼロと非正規化数の場合、*unfinished_FPop* 例外を通知せず IEEE754-1985 に準拠した演算を行う。
5. Nmax = 最大の正規化数。

TABLE B-6 は、TABLE B-2 であげた浮動小数点演算命令について、FSR.NS = 1 で入力为非正規化数のときの SPARC64 VIIIfx の動作をまとめたものである。TABLE B-6 で Result が網掛けの部分、IEEE754-1985 に準拠していることを示す。

TABLE B-6 FSR.NS = 1 における非正規化数の演算 (1 of 2)

命令	入力値			FSR.TEM				結果
	op1	op2	op3	UFM	NXM	DVM	NVM	
FSToD	—	Denorm	—	—	1	—	—	NX
					0	—	—	nx, 丸め前と同符号のゼロ
FdTOs	—	Denorm	—	1	—	—	—	UF
				0	1	—	—	NX
FADD{s,d} FSUB{s,d}	Denorm	Normal	—	—	1	—	—	NX
					0	—	—	nx, op2
					1	—	—	NX
	Normal	Denorm	—		0	—	—	nx, op1
					1	—	—	NX
					0	—	—	nx, 丸め前と同符号のゼロ
Denorm	Denorm	—	1	—	—	NX		
			0	—	—	nx, 丸め前と同符号のゼロ		
FMUL{s,d} FSMULd	Denorm	—	—	—	1	—	—	NX
					0	—	—	nx, 丸め前と同符号のゼロ
	—	Denorm	—		1	—	—	NX
					0	—	—	nx, 丸め前と同符号のゼロ

TABLE B-6 FSR.NS = 1 における非正規化数の演算 (2 of 2)

命令	入力値			FSR.TEM				結果
	op1	op2	op3	UFM	NXM	DVM	NVM	
FDIV{s,d}	Denorm	Normal	—	—	1	—	—	NX
					0	—	—	nx, 丸め前と同符号のゼロ
	Normal	Denorm	—		—	1	—	DZ
					—	0	—	dz, 丸め前と同符号の無限大
	Denorm	Denorm	—		—	—	1	NV
					—	—	0	nv, dNaN ¹
FSQRT{s,d}	—	Denorm and op2 > 0	—	1	—	—	NX	
				0	—	—	nx, ゼロ	
		Denorm and op2 < 0		—	—	1	NV	
				—	—	0	nv, dNaN ¹	
FMADD{s,d} FMSUB{s,d} FNMADD{s,d} FNMSUB{s,d} FTRIMADDd ²	Denorm	—	Normal	—	1	—	—	NX
				—	0	—	—	nx, op3
			Denorm	—	1	—	—	NX
				—	0	—	—	nx, 丸め前と同符号のゼロ
	—	Denorm	Normal	—	1	—	—	NX
				—	0	—	—	nx, op3
			Denorm	—	1	—	—	NX
				—	0	—	—	nx, 丸め前と同符号のゼロ
	Normal	Normal	Denorm	—	1	—	—	NX
				—	0	—	—	nx, op1 × op2 ³
FTRISMULD	Denorm	—	—	—	1	—	—	NX
				—	0	—	—	nx, op2<0> を符号とするゼロ
FRCPA{s,d}	—	Denorm	—	—	—	1	—	DZ
					—	0	—	—
FRSQRTA{s,d}	—	Denorm	—	—	—	1	—	DZ
					—	0	—	—

1.単精度の dNaN は 7FFF.FFFF₁₆、倍精度の dNaN は 7FFF.FFFF.FFFF.FFFF₁₆。

2.op3 は演算器内のテーブルから引いてくる。常に正規化数。

3.op1 × op2 が Denorm のときは、op1 × op2 と同符号のゼロ。

Implementation Dependencies

この章では、JPS1 **Commonality** で実装依存仕様とされたものについて、SPARC64 VIIIfx がどのように実装しているかをまとめている。SPARC V9 と SPARC JPS1 で、実装依存仕様は“**IMPL. DEP. #nn:**”という形式で記述されており、この仕様書で実装依存仕様の実装を定義した部分には“(impl. dep. #nn)”という形式で、対応する実装依存仕様が示されている。この実装依存仕様の一覧を TABLE C-1 にまとめた。

Note – SPARC International は、SPARC V9 に準拠したすべてのプロセッサの実装依存について書かれたドキュメント *Implementation Characteristics of Current SPARC-V9-based Products, Revision 9.x* を提供している。このドキュメントに関する問い合わせは下記へ。

home page: www.sparc.org

email: info@sparc.org

C.4 List of Implementation Dependencies

TABLE C-1 は、JPS1 実装依存仕様が SPARC64 VIIIfx でどのように実装されているかをまとめた表である。

TABLE C-1 JPS1 実装依存仕様の SPARC64 VIIIfx での実装 (1 of 12)

番号	SPARC64 VIIIfx での実装	ページ
1	命令のソフトウェアエミュレーション ソフトウェアは <i>illegal_instruction</i> または <i>unimplemented_FPop</i> 例外を通知するすべての 4 倍精度命令をエミュレーションすること。	—

TABLE C-1 JPS1 実装依存仕様の SPARC64 VIIIfx での実装 (2 of 12)

番号	SPARC64 VIIIfx での実装	ページ
2	汎用整数レジスタの本数 SPARC64 VIIIfx は 8 レジスタウインドウを実装する (NWINDOWS = 8)。 SPARC64 VIIIfx はさらに 2 セットのグローバルレジスタ (インタラプト用と MMU 用) を実装するほか、HPC-ACE でも拡張され、合計 192 本の汎用整数レジスタを実装する。	—
3	IEEE 754-1985 仕様に準拠しない演算結果 Section B.6, “ <i>Floating-Point Nonstandard Mode</i> ” を参照。	133
4–5	Reserved.	—
6	I/O レジスタのアクセス権限 この実装依存項目は本仕様書の規定範囲外である。SPARC64 VIIIfx を搭載するシステムの仕様書を参照。	—
7	I/O レジスタ定義 この実装依存項目は本仕様書の規定範囲外である。SPARC64 VIIIfx を搭載するシステムの仕様書を参照。	—
8	RDASR/WRASR 対象レジスタ SPARC64 VIIIfx では RDASR で XAR, XASR, TXAR の読み出しができ、WRASR で XASR, TXAR の書き込みができる。	97, 110
9	RDASR/WRASR のアクセス権限 SPARC64 VIIIfx では TXAR は特権レジスタである。	97, 110
10–12	Reserved.	—
13	VER.impl SPARC64 VIIIfx では VER.impl = 8 である。	26
14–15	Reserved.	—
16	IU deferred トラップキュー SPARC64 VIIIfx では IU deferred トラップキューは不要なので実装していない。	37
17	Reserved.	—
18	IEEE 754-1985 非準拠時の演算結果 SPARC64 VIIIfx は FSR.NS = 1 のとき、演算結果が非正規化数になるとゼロで置き換える。詳細は Section B.6, “ <i>Floating-Point Nonstandard Mode</i> ” を参照。	133
19	FPU バージョン、FSR.ver SPARC64 VIIIfx では FSR.ver = 0。	23
20–21	Reserved.	—
22	FPU の TEM, cexc, aexc SPARC64 VIIIfx は TEM, cexc, and aexc のすべてのビットを実装している。	23
23	浮動小数点演算のトラップ SPARC64 VIIIfx では、浮動小数点演算で検出される例外のトラップはすべて precise である。よって FQ は必要ない。	37

TABLE C-1 JPS1 実装依存仕様の SPARC64 VIIIfx での実装 (3 of 12)

番号	SPARC64 VIIIfx での実装	ページ
24	FPU deferred トラップキュー (FQ) SPARC64 VIIIfx では FQ deferred トラップキューは不要なので実装していない。	37
25	FQ が存在しない場合の RDPR での読みだし FQ を RDPR で読み出そうとすると、 <i>illegal_instruction</i> が通知される。	37
26–28	Reserved.	—
29	空間識別子 (ASI) の定義 SPARC64 VIIIfx の定義は Appendix L を参照。	207
30	ASI 番号の有効ビット数 SPARC64 VIIIfx は 8 ビットすべてをデコードする。	—
31	致命的なエラーのトラップ SPARC64 VIIIfx は、命令コミットを監視するウォッチドッグタイマーを実装しており、ある CPU サイクル以上命令がコミットされないと、 <i>async_data_error</i> 例外を通知しようとする。約 6.7 秒経過すると、プロセッサは <i>error_state</i> に遷移する。 <i>error_state</i> に入る際、 <i>error_state</i> からの復旧のために WDR リセットを発行するように設定することもできる。	242
32	Deferred トラップ SPARC64 VIIIfx は深刻なエラーを報告するトラップを <i>deferred</i> で通知することがある。SPARC64 VIIIfx は <i>deferred</i> トラップキューを実装しない。	44, 251
33	トラップの精度 深刻なエラーを報告するトラップ以外で <i>deferred</i> なトラップはない。SPARC64 VIIIfx では、命令実行の結果発生するトラップはすべて <i>precise</i> である。	44
34	インタラプトのクリア インタラプトの詳細は Appendix N を参照。	235
35	実装依存なトラップ SPARC64 VIIIfx は実装依存と定義された以下のトラップを実装している。 <ul style="list-style-type: none"> • <i>interrupt_vector_trap</i> (tt = 060₁₆) • <i>PA_watchpoint</i> (tt = 061₁₆) • <i>VA_watchpoint</i> (tt = 062₁₆) • <i>ECC_error</i> (tt = 063₁₆) • <i>fast_instruction_access_MMU_miss</i> (tt = 064₁₆ から 067₁₆) • <i>fast_data_access_MMU_miss</i> (tt = 068₁₆ から 06B₁₆) • <i>fast_data_access_protection</i> (tt = 06C₁₆ から 06F₁₆) • <i>async_data_error</i> (tt = 040₁₆) 	50

TABLE C-1 JPS1 実装依存仕様の SPARC64 VIIIfx での実装 (4 of 12)

番号	SPARC64 VIIIfx での実装	ページ
36	<p>トラップの優先順位</p> <p>SPARC64 VIIIfx の実装依存トラップの優先順位は以下の通りである。</p> <ul style="list-style-type: none"> • <i>interrupt_vector_trap</i> (priority=16) • <i>PA_watchpoint</i> (priority=12) • <i>VA_watchpoint</i> (priority=1) • <i>ECC_error</i> (priority=33) • <i>fast_instruction_access_MMU_miss</i> (priority = 2) • <i>fast_data_access_MMU_miss</i> (priority = 12) • <i>fast_data_access_protection</i> (priority = 12) • <i>async_data_error</i> (priority = 2) 	49
37	<p>リセットトラップ</p> <p>SPARC64 VIIIfx はパワーオンリセット (POR) とウォッチドッグリセットを実装している。</p>	44
38	<p>リセットトラップ時の実装依存レジスタへの作用</p> <p>Section O.2, “<i>RED_state</i> と <i>error_state</i>” を参照。</p>	243
39	<p><i>error_state</i> に遷移する固有の条件</p> <p>ウォッチドッグタイムアウトで約 6.7 秒経過すると、または TL=MAXTL で通常のトラップか SIR が発生すると、<i>error_state</i>. に遷移する。</p>	44
40	<p><i>error_state</i></p> <p>SPARC64 VIIIfx は <i>error_state</i> に遷移後、ウォッチドッグリセットを発行することもできる。ほとんどのエラーログ用レジスタの状態は保存される (impl. dep. #254 も参照)。</p>	44
41	Reserved.	
42	<p>FLUSH 命令</p> <p>SPARC64 VIIIfx は FLUSH 命令をハードウェアで実行する。</p>	—
43	Reserved.	
44	<p>データアクセスの FPU トラップ</p> <p>SIMD でないときは、ロードがアクセスエラーを起こしたとき、レジスタの値は更新されない。SIMD のときは、<i>extended</i> 側でエラーを起こしたとき、<i>basic</i> 側が更新される。</p>	81
45–46	Reserved.	
47	<p>RDASR</p> <p>SPARC64 VIIIfx では rd = 29–31 でそれぞれ XAR, XASR, TXAR が読み出せる。このとき、</p> <ul style="list-style-type: none"> • 命令フィールドの bits 18:0 の扱いは他の RDASR と同じである。すなわち、bit<18:14> は rs1, bit<13> は i。i=0 のとき、bit<12:5> は <i>reserved</i>, bit<4:0> は rs2 である。i=1 のとき、bit<12:0> は <i>simm13</i> である。 • rs1 と rs2 または <i>simm13</i> の間の演算は xor である。 • 特権レジスタは TXAR のみ。 • <i>reserved</i> が 0 以外でも <i>illegal_instruction</i> 例外を検出しない。 	97

TABLE C-1 JPS1 実装依存仕様の SPARC64 VIIIfx での実装 (5 of 12)

番号	SPARC64 VIIIfx での実装	ページ
48	<p>WRASR</p> <p>SPARC64 VIIIfx では rd = 29–31 でそれぞれ XAR, XASR, TXAR に書き込むことができる。このとき、</p> <ul style="list-style-type: none"> 命令フィールドの bits 18:0 の扱いは他の WRASR と同じである。すなわち、bit<18:14> は rs1, bit<13> は i。i=0 のとき、bit<12:5> は reserved, bit<4:0> は rs2 である。i=1 のとき、bit<12:0> は simm13 である。 rs1 と rs2 または simm13 の間の演算は xor である。 特権レジスタは TXAR のみ。 <p>reserved が 0 以外でも <i>illegal_instruction</i> 例外を検出ししない。</p>	110
49–54	Reserved.	
55	<p>浮動小数点演算のアンダーフロー検出</p> <p>SPARC64 VIIIfx は JPS1 の規定通り、丸め前にアンダーフローを検出する。</p>	—
56–100	Reserved.	
101	<p>最大トラップレベル</p> <p>MAXTL = 5.</p>	26
102	<p>クリーンウィンドウトラップ</p> <p>SPARC64 VIIIfx は <i>clean_window</i> トラップを通知する。レジスタウィンドウはソフトウェアがクリアする。</p>	—
103	<p>プリフェッチ命令</p> <p>SPARC64 VIIIfx では PREFETCH 命令の fcn 0–3 と 20–23 は以下のように動作する。</p> <ul style="list-style-type: none"> 特権モードでも PREFETCH 命令は有効に作用する。 どの fcn も <i>fast_data_access_MMU_miss</i> トラップを発生しない。 プリフェッチはすべてキャッシュライン単位で行われるので、128 バイトアラインされた 128 バイトがプリフェッチされる。 fcn の特性の説明は Section A.49, “Prefetch Data” を参照。 プリフェッチが作用するのは ASI_PRIMARY, ASI_SECONDARY, ASI_NUCLEUS, ASI_PRIMARY_AS_IF_USER, ASI_SECONDARY_AS_IF_USER およびこれらのリトルエンディアン用の ASI に対してである。 	95
104	<p>VER.manuf</p> <p>VER.manuf = 0004₁₆ である。最下位 8 ビットは富士通を示す JEDEC の製造者コードである。</p>	26
105	<p>TICK レジスタ</p> <p>SPARC64 VIIIfx は TICK レジスタを 63 ビット幅で実装しており、毎 CPU サイクルカウントアップする。</p>	25
106	<p>IMPDEPn 命令</p> <p>SPARC64 VIIIfx は VIS1, VIS2 命令を実装するほか、独自の拡張命令を多数実装している。</p>	69
107	<p>Unimplemented LDD trap</p> <p>SPARC64 VIIIfx は LDD をハードウェアで実装する。</p>	—

TABLE C-1 JPS1 実装依存仕様の SPARC64 VIIIfx での実装 (6 of 12)

番号	SPARC64 VIIIfx での実装	ページ
108	Unimplemented STD trap SPARC64 VIIIfx は STD をハードウェアで実装する。	—
109	LDDF_mem_address_not_aligned SPARC64 VIIIfx では、SIMD でない LDDF は、アクセスするアドレスがワード境界にない場合、 <i>LDDF_mem_address_not_aligned</i> 例外を通知する。システムソフトウェアはエミュレーションすること。SIMD の LDDF では <i>LDDF_mem_address_not_aligned</i> ではなく <i>mem_address_not_aligned</i> が通知される。	81, 85
110	STDF_mem_address_not_aligned SPARC64 VIIIfx では、SIMD でない STDF は、アクセスするアドレスがワード境界にない場合、 <i>STDF_mem_address_not_aligned</i> 例外を通知する。システムソフトウェアはエミュレーションすること。SIMD の STDF では <i>STDF_mem_address_not_aligned</i> ではなく <i>mem_address_not_aligned</i> が通知される。	100, 103
111	LDQF_mem_address_not_aligned SPARC64 VIIIfx は LDQF を実装していないので、 <i>illegal_instruction</i> 例外を通知する。 <i>fp_disabled</i> は検出しない。システムソフトウェアは LDQF をエミュレーションすること。	81, 85
112	STQF_mem_address_not_aligned SPARC64 VIIIfx は STQF を実装していないので、 <i>illegal_instruction</i> 例外を通知する。 <i>fp_disabled</i> は検出しない。システムソフトウェアは STQF をエミュレーションすること。	100, 103
113	実装しているメモリモデル SPARC64 VIIIfx は PSTATE.MM のすべての値に対し Total Store Order (TSO) で動作する。	53
114	RED_state トラップベクタアドレス (RSTVaddr) SPARC64 VIIIfx では RSTVaddr は固定であり、 VA=FFFF FFFF F000 0000 ₁₆ PA=01FF F000 0000 ₁₆ である。	43
115	RED_state プロセッサステート RED_state 時の動作は Section 7.1.1 を参照。	43
116	SIR_enable 制御フラグ JPS1 の規定通り、SPARC64 VIIIfx では SIR_enable は存在せず、非特権モードでは NOP となる。	—
117	MMU 無効時のプリフェッチの動作 SPARC64 VIIIfx では、DMMU が無効のとき PREFETCH はメモリアクセスをせずに実行完了する。ノンフォールディングロードは、JPS1 Commonality の Section F.5 の定義通り <i>data_access_exception</i> が通知される。	176
118	I/O 領域の識別方法 この項目は本仕様書の記載範囲外である。SPARC64 VIIIfx を搭載するシステムの仕様書を参照。	—

TABLE C-1 JPS1 実装依存仕様の SPARC64 VIIIfx での実装 (7 of 12)

番号	SPARC64 VIIIfx での実装	ページ
119	PSTATE.MM の未定義値 PSTATE.MM に 11 ₂ を指定すると、ITSO で動作する。しかしながら、11 ₂ は SPARC64 VIIIfx の将来のバージョンでは別の意味になるかもしれないので、使うべきではない。	54
120	プロセッサと I/O DMA 間のメモリ操作の同一性・原子性 この項目は本仕様書の記載範囲外である。SPARC64 VIIIfx を搭載するシステムの仕様書を参照。	—
121	実装依存メモリモデル SPARC64 VIIIfx は E ビット (Volatile) がセットされているページに対するアクセスをプログラムオーダで処理する。	—
122	FLUSH レイテンシ FLUSH 命令はプロセッサ内のキャッシュの状態を同期させるので、処理にかかる時間はプロセッサの状態に依存する。先行する命令がすべて完了しているとき、FLUSH 命令のレイテンシは 30CPU サイクルである。	54
123	I/O のセマンティクス この項目は本仕様書の記載範囲外である。SPARC64 VIIIfx を搭載するシステムの仕様書を参照。	—
124	TL > 0 のとき暗黙に使用される ASI JPS1 の規定通り、TL > 0 では PSTATE.CLE に応じて ASI_NUCLEUS または ASI_NUCLEUS_LITTLE が使われる。	—
125	アドレスマスク PSTATE.AM = 1 のとき、SPARC64 VIIIfx は PC の上位 32 ビットをマスクしてデスティネーションレジスタに転送する。	42, 68, 80
126	レジスタウィンドウ関連レジスタのビット幅 SPARC64 VIIIfx では NWINDOWS は 8 である。よって、CWP, CANSERVE, CANRESTORE, OTHERWIN の有効ビットは 3 ビットである。これらのレジスタに NWINDOWS - 1 より大きな値を設定しようとすると、下 3 ビット以外を無視した値がセットされる。CLEANWIN レジスタは 3 ビットを保持する。	—
127–201	Reserved.	
202	fast_ECC_error トラップ SPARC64 VIIIfx は <i>fast_ECC_error</i> トラップを生成しない。	—
203	DCR のビット 13:6 とビット 1 SPARC64 VIIIfx は DCR を実装しない。	29
204	DCR のビット 5:3 とビット 0 SPARC64 VIIIfx は DCR を実装しない。	29
205	命令トラップレジスタ SPARC64 VIIIfx は命令トラップレジスタを JPS1 の定義通りに実装する。	37
206	SHUTDOWN 命令 SPARC64 VIIIfx は特権モードで SHUTDOWN 命令を NOP として実行する。	99

TABLE C-1 JPS1 実装依存仕様の SPARC64 VIIIfx での実装 (8 of 12)

番号	SPARC64 VIIIfx での実装	ページ
207	<p>PCR のビット 47:32、ビット 26:17、ビット 3</p> <p>SPARC64 VIIIfx ではこれらのビットには以下の機能が実装されている。</p> <ul style="list-style-type: none"> • ビット 47:32 は、オーバーフローの表示と設定 (OVF)。 • ビット 26 は OVF の書き込み制御 (OVRO)。 • ビット 24:22 はカウンタ数 (NC)。 • ビット 20:18 はカウンタ選択 (SC)。 • ビット 3 は SU/SL の書き込み制御 (ULRO)。 <p>他の実装依存ビットは読み出しには 0 が返り、書き込みは無視される。</p>	26
208	<p>命令実行とエラーの通知順序</p> <p>SPARC64 VIIIfx ではプログラム順にエラーが通知される。</p>	251
209	<p>ソフトウェアが介入する必要があるエラーのトラップ</p> <p>SPARC64 VIIIfx では命令実行に同期して起こるエラーは precise で通知される。</p>	—
210	<p>ERROR 出力信号</p> <p>この項目は本仕様書の記載範囲外である。SPARC64 VIIIfx システム制御仕様書を参照。</p>	—
211	<p>エラー情報表示レジスタの値</p> <p>SPARC64 VIIIfx では致命的エラーの要因は ASI_STCHG_ERR_INFO レジスタに表示されない。</p>	268
212	<p>致命的エラーのトラップ</p> <p>SPARC64 VIIIfx では致命的エラーはトラップを発生しない。</p>	268
213	<p>AFSR.PRIV</p> <p>SPARC64 VIIIfx は AFSR.PRIV ビットを実装しない。</p>	281
214	<p>deferred トラップの有効・無効制御</p> <p>SPARC64 VIIIfx には deferred トラップを制御する機能はない。</p>	—
215	<p>エラーバリア</p> <p>—</p>	—
216	<p>data_access_error トラップの精度</p> <p>SPARC64 VIIIfx では data_access_error は常に precise である。</p>	—
217	<p>instruction_access_error トラップの精度</p> <p>SPARC64 VIIIfx では instruction_access_error は常に precise である。</p>	—
218	<p>async_data_error</p> <p>SPARC64 VIIIfx は async_data_error トラップを TT = 40₁₆ で生成する。</p>	45, 251
219	<p>AFSR</p> <p>SPARC64 VIIIfx は AFAR を実装しない。</p>	—
220	<p>その他のエラー表示・制御レジスタ</p> <p>SPARC64 VIIIfx は RAS 機能を充実させ高い信頼性を保証している。詳細は Appendix P を参照。</p>	251
221	<p>Special/signalling ECCs</p> <p>—</p>	—

TABLE C-1 JPS1 実装依存仕様の SPARC64 VIIIfx での実装 (9 of 12)

番号	SPARC64 VIIIfx での実装	ページ
222	<p>TLB 構成</p> <p>SPARC64 VIIIfx の TLB 構成は以下のようにになっている。</p> <ul style="list-style-type: none"> • レベル 1 マイクロ iTLB (uITLB)、フルアソシエイティブ • レベル 1 マイクロ dTLB (uDTLB)、フルアソシエイティブ • レベル 2 IMMU TLB—sITLB (セットアソシエイティブ) と fITLB (フルアソシエイティブ) からなる • レベル 2 DMMU TLB—sDTLB (セットアソシエイティブ) と fDTLB (フルアソシエイティブ) からなる 	167
223	<p>TLB マルチヒット検出</p> <p>SPARC64 VIIIfx では、マイクロ TLB をミスしメイン fTLB にアクセスした場合のみマルチヒットを検出する。</p>	168
224	<p>MMU 物理アドレスビット幅</p> <p>SPARC64 VIIIfx では物理メモリのアドレス空間は 41 ビットである。TTE の PA フィールドは 41 ビットのみを格納し、PA<42:41> は読み出しは 0 が読み出され、書き込みは無視される。</p>	170
225	<p>TLB ロックエントリ</p> <p>ロックビットがセットされた TTE が TLB Data In で書かれると、SPARC64 VIIIfx はそのエントリを fTLB に書き込みロックする。それ以外では、ページサイズに応じて sTLB か fTLB に書かれる。</p>	170
226	<p>TTE.CV ビット</p> <p>SPARC64 VIIIfx ではどの TLB も CV を実装していない。SPARC64 VIIIfx はハードウェアでキャッシュエイリアスを解消する機構を備えている。#232 も参照。</p>	170
227	<p>TSB エントリ数</p> <p>SPARC64 VIIIfx 仕様では TSB をサポートしないので、この実装依存仕様は意味を持たない。</p>	—
228	<p>TSB、コンテキスト ID どちらが TSB_Hash に使われるか</p> <p>SPARC64 VIIIfx 仕様では TSB をサポートしないので、この実装依存仕様は意味を持たない。</p>	—
229	<p>TSB_Base アドレス生成</p> <p>SPARC64 VIIIfx 仕様では TSB をサポートしないので、この実装依存仕様は意味を持たない。</p>	—
230	<p>data_access_exception トラップ</p> <p>SPARC64 VIIIfx は JPS1 Commonality の Appendix F.5 で挙げられた要因で data_access_exception 例外を通知する。</p>	172
231	<p>MMU 物理アドレスビット幅の変動</p> <p>SPARC64 VIIIfx では物理アドレスのビット幅は 41 ビットで一定である。</p>	176
232	<p>DCUCR の CP, CV ビット</p> <p>SPARC64 VIIIfx は DCUCR の CP, CV ビットを実装しない。impl. dep. #226 も参照。</p>	34, 176

TABLE C-1 JPS1 実装依存仕様の SPARC64 VIIIfx での実装 (10 of 12)

番号	SPARC64 VIIIfx での実装	ページ
233	TSB_Hash フィールド SPARC64 VIIIfx では TSB Extension レジスタを定義していないので、この実装依存仕様は意味を持たない。	177
234	TLB 入れ替えアルゴリズム fTLB は擬似 LRU、sTLB は LRU である。	185
235	TLB データアクセスのアドレス割り当て Appendix F.10.4 参照。	185
236	TSB_Size フィールド幅 SPARC64 VIIIfx では TSB_Size は 4 ビットで、bit<3:0> を占める。 TSB_Size に書いた値は、読みだしによりその値のまま読みだされる。 SPARC64 VIIIfx は値を保持するだけで、この値を何の計算にも使わない。	186
237	JMPL/RETURN で mem_address_not_aligned が起きたときの DSFAR/DSFSR JMPL または RETURN で mem_address_not_aligned が起きた場合、D-SFAR、D-SFSR は更新されない。	80, 172, 187
238	TLB はラージページのページ内オフセットを保存するかどうか SPARC64 VIIIfx ではページオフセットは書き込み時に捨てられ、読み出しでは不定データが読み出される。	170
239	ASI レジスタ 55₁₆ または 5D₁₆ のアクセス SPARC64 VIIIfx では、IMMU ASI 55 ₁₆ 、DMMU ASI 5D ₁₆ の VA<63:18> は無視される。	177
240	DCUCR のビット 47:41 SPARC64 VIIIfx はビット 41 を、メモリの投機アクセスを制御する WEAK_SPCA として実装する。	34
241	アドレスマスクと DSFAR PSTATE.AM = 1 のとき、SPARC64 VIIIfx は DSFAR の上位 32 ビットに 0 を書く。	?
242	TLB ロックビット fTLB と fDTLB はロックビットをサポートする。sITLB と sDTLB では 0 が読み出される。	170
243	インタラプト送信ステータスレジスタの BUSY/NACK の組 SPARC64 VIIIfx では 8 組の BUSY/NACK が実装される。	238
244	データウォッチポイントの信頼性 データウォッチポイントの信頼性を下げるような機構は実装されていない。	36
245	命令キャッシュ内での CALL、分岐命令の飛び先の保存形式 SPARC64 VIIIfx では CALL、分岐 (BPcc, FBPFcc, Bicc, BPr) 命令の低位 11 ビットはメモリ内の形式通りに保存される。	?
246	インタラプト送信レジスタアクセス時の VA<38:29> インタラプト送信レジスタにアクセスする際、SPARC64 VIIIfx は VA<38:29> の全 10 ビットを無視する。	238
247	インタラプト受信レジスタの SID フィールド SID_H と SID_L の値は未定義である。	239

TABLE C-1 JPS1 実装依存仕様の SPARC64 VIIIfx での実装 (11 of 12)

番号	SPARC64 VIIIfx での実装	ページ
248	fp_exception_other が unfinished_FPop で通知される条件 SPARC64 VIIIfx は JPS1 Commonality Section 5.1.7 で既定された条件で <i>unfinished_FPop</i> の <i>fp_exception_other</i> を通知する。	23
249	パーシャルストアのデータウォッチポイント検出 SPARC64 VIIIfx ではウォッチポイントの検出は保守的に行われる。DCUCR のデータマスクは 0 かどうかだけが検査される。バイトマスク (<i>r[rs2]</i>) は無視され、マスクが 0 であっても (ストアが行われない場合でも) ウォッチポイントを検出する。	93
250	PSTATE.PRIV = 0 で PCR のアクセスが可能かどうか SPARC64 VIIIfx では、PSTATE.PRIV = 0 のとき PCR にアクセスできるかどうかは PCR.PRIV によって決まる。PSTATE.PRIV = 0 かつ PCR.PRIV = 1 のとき、RDPCR や WRPCR 命令を実行しようとする、 <i>privileged_action</i> が通知される。PSTATE.PRIV = 0 かつ PCR.PRIV = 0 のときは、RDPCR は正常に実行され、WRPCR は PCR.PRIV を変更しようとする (つまり 1 を書き込もうとする) 場合のみ、 <i>privileged_action</i> を通知する。	26, 28, 97
251	Reserved.	—
252	DCUCR.DC(データキャッシュ有効 / 無効設定) SPARC64 VIIIfx は DCUCR.DC を実装していない。	34
253	DCUCR.IC 命令キャッシュ有効 / 無効設定) SPARC64 VIIIfx は DCUCR.IC を実装していない。	34
254	error_state から復旧する手段 通常の SPARC64 VIIIfx の動作では、 <i>error_state</i> に遷移後 <i>watchdog_reset</i> (WDR) を発生しリセットする。しかし、OPSR による設定で、 <i>error_state</i> に遷移後その状態にとどまるようにすることもできる。	44, 249
255	LDDFA で ASI E0₁₆ または E1₁₆ を指定し、レジスタ番号の条件が間違っている場合 デスティネーションレジスタ番号を間違ってもトラップは通知されない。	214
256	LDDFA で ASI E0₁₆ または E1₁₆ を指定し、メモリアドレスのアラインメントが間違っている場合 SPARC64 VIIIfx は以下のように動作する。 <ul style="list-style-type: none"> • 8 バイト境界なら、アラインメント例外は通知されず、<i>data_access_exception</i> が通知される。 • 4 バイト境界なら、<i>LDDF_mem_address_not_aligned</i> が通知される。 • それ以外なら、<i>mem_address_not_aligned</i> が通知される。 	214
257	LDDFA で ASI C0₁₆–C5₁₆ または C8₁₆–CD₁₆ を指定し、メモリアドレスのアラインメントが間違っている場合 SPARC64 VIIIfx は以下のように動作する。 <ul style="list-style-type: none"> • 8 バイト境界なら、アラインメント例外は通知されず、<i>data_access_exception</i> が通知される。 • 4 バイト境界なら、<i>LDDF_mem_address_not_aligned</i> が通知される。 • それ以外なら、<i>mem_address_not_aligned</i> が通知される。 	214

TABLE C-1 JPS1 実装依存仕様の SPARC64 VIIIfx での実装 (12 of 12)

番号	SPARC64 VIIIfx での実装	ページ
258	ASI_SERIAL_ID SPARC64 VIIIfx では個々のプロセッサの識別コードを返す。	214

Formal Specification of the Memory Models

JPS1 **Commonality** の Appendix D を参照。

Opcode Maps

Appendix E は、JPS1 **Commonality** と HPC-ACE 拡張命令の定義を含む完全な情報を提供する。

表中、横棒 (—) になっているオペコードは予約 *reserved* されたオペコードである。予約されたオペコードを実行しようとする、例外が通知される。詳細は JPS1 **Commonality** の Section 6.3.9, *Reserved Opcodes and Instruction Fields* を参照。

この章および Appendix A のオペコードには、右肩に記号が付されたものがある。この記号の意味は TABLE A-1 (58 ページ) に示してある。非推奨命令 (deprecated) については JPS1 **Commonality** の Section A.71, “*Deprecated Instructions*” を参照。

この章の表において、予約オペコード (—) と網掛けのエントリは SPARC64 VIIIx では実装されていない。

TABLE E-1 op<1:0>

op <1:0>			
0	1	2	3
分岐と SETHI TABLE E-2 参照。	CALL	算術演算その他 TABLE E-3 参照。	メモリアクセス TABLE E-4 参照。

TABLE E-2 op2<2:0> (op = 0)

op2 <2:0>							
0	1	2	3	4	5	6	7
ILLTRAP	BPcc – TABLE E-7 参照。	Bicc ^D – TABLE E-7 参照。	BPr – TABLE E-14 参照。	SETHI NOP [†]	FBPfcc – TABLE E-7 参 照。	FBfcc ^D – TABLE E-7 参 照。	SXAR

†rd = 0, imm22 = 0

ILLTRAP を実行すると *illegal_instruction* 例外が通知される。

TABLE E-3 op3<5:0> (op = 2)

op3<3:0>	op3 <5:4>			
	0	1	2	3
0	ADD	ADDcc	TADDcc	WRY ^D (rd = 0) — (rd = 1) WRCCR (rd = 2) WRASI (rd = 3) — (rd = 4, 5) WRFPRS (rd = 6) WRPCR ^P _{PCR} (rd = 16) WRPIC ^P _{PIC} (rd = 17) WRDCR ^P (rd = 18) WRGSR (rd = 19) WRSOFTINT_SET ^P (rd = 20) WRSOFTINT_CLR ^P (rd = 21) WRSOFTINT ^P (rd = 22) WRTICK_CMPR ^P (rd = 23) WRSTICK ^P (rd = 24) WRSTICK_CMPR ^P (rd = 25) WRXAR (rd = 29) WRXASR (rd = 30) WRTXAR ^P (rd = 31) SIR (rd = 15, rs = 1, i = 1)
1	AND	ANDcc	TSUBcc	SAVED ^P (fcn = 0) RESTORED ^P (fcn = 1)
2	OR	ORcc	TADDccTV ^D	WRPR ^P
3	XOR	XORcc	TSUBccTV ^D	—
4	SUB	SUBcc	MULScc ^D	FPop1 – TABLE E-5 参照。
5	ANDN	ANDNcc	SLL (x = 0), SLLX (x = 1)	FPop2 – TABLE E-6 参照。
6	ORN	ORNcc	SRL (x = 0), SRLX (x = 1)	IMPDEP1 (VIS) – TABLE E-12 および TABLE E-13 参照。
7	XNOR	XNORcc	SRA (x = 0), SRAX (x = 1)	IMPDEP2 (FMADD/SUB, etc.) – TABLE E-14 参照。

TABLE E-3 op3<5:0> (op = 2)

op3<3:0>	op3 <5:4>			
	0	1	2	3
8	ADDC	ADDC _{cc}	RDY ^D (rs1 = 0) — (rs1 = 1) RDCCR (rs1 = 2) RDASI (rs1 = 3) RDTICK _{P_{NPT}} (rs1 = 4) RDPC (rs1 = 5) RDFPRS (rs1 = 6) RDPCR ^{P_{PCR}} (rs1 = 16) RDPI _C ^{P_{PIC}} (rs1 = 17) RDDCR ^P (rs1 = 18) RDGSR (rs1 = 19) RDSOFTINT ^P (rs1 = 22) RDTICK_ _{CM} PR ^P (rs1 = 23) RDSTICK _{P_{NPT}} ^P (rs1 = 24) RDSTICK_ _{CM} PR ^P (rs1 = 25) RDXASR (rs1 = 30) RDTXAR ^P (rs1 = 31) MEMBAR (rs1 = 15, rd = 0, i = 1) STBAR ^D (rs1 = 15, rd = 0, i = 0)	JMPL
9	MULX	—	—	RETURN
A	UMUL ^D	UMUL _{cc} ^D	RDPR ^P	Tcc – TABLE E-7 参照。
B	SMUL ^D	SMUL _{cc} ^D	FLUSHW	FLUSH
C	SUBC	SUBC _{cc}	MOV _{cc}	SAVE
D	UDIVX	—	SDIVX	RESTORE
E	UDIV ^D	UDIV _{cc} ^D	POPC (rs1 = 0) — (rs1 > 0)	DONE ^P (fcn = 0) RETRY ^P (fcn = 1)
F	SDIV ^D	SDIV _{cc} ^D	MOV _r TABLE E-14 参照。	—

TABLE E-4 op3<5:0> (op = 3)

op3<3:0>	op3 <5:4>			
	0	1	2	3
0	LDUW	LDUWA ^{P_{ASI}}	LDF	LDQFA ^{P_{ASI}}
1	LDUB	LDUBA ^{P_{ASI}}	LDFSR ^D , LDXFSR	—
2	LDUH	LDUHA ^{P_{ASI}}	LDQF	LDQFA ^{P_{ASI}}
3	LDD ^D	LDDA ^{D, P_{ASI}}	LDDF	LDDFA ^{P_{ASI}}

TABLE E-4 op3<5:0> (op = 3) (Continued)

op3<3:0>	op3 <5:4>			
	0	1	2	3
4	STW	STWA ^{PASI}	STF	STFA ^{PASI}
5	STB	STBA ^{PASI}	STFSR ^D , STXFSR	—
6	STH	STHA ^{PASI}	STQF	STQFA ^{PASI}
7	STD ^D	STDA ^{PASI}	STDF	STDFA ^{PASI}
8	LDSW	LDSWA ^{PASI}	—	—
9	LDSB	LDSBA ^{PASI}	—	—
A	LDSH	LDSHA ^{PASI}	—	—
B	LDX	LDXA ^{PASI}	—	—
C	—	—	STFR	CASA ^{PASI}
D	LDSTUB	LDSTUBA ^{PASI}	PREFETCH	PREFETCHA ^{PASI}
E	STX	STXA ^{PASI}	—	CASXA ^{PASI}
F	SWAP ^D	SWAPA ^{D, PASI}	STDFR	—

SPARC64 VIIIfx では LDQF, LDQFA, STQF, STQFA と *reserved* (—) オペコードを実行すると *illegal_instruction* 例外を通知する。

TABLE E-5 opf<8:0> (op = 2, op3 = 34₁₆ = FPop1)

opf<8:3>	opf<2:0>							
	0	1	2	3	4	5	6	7
00 ₁₆	—	FMOV _s	FMOV _d	FMOV _q	—	FNEG _s	FNEG _d	FNEG _q
01 ₁₆	—	FABS _s	FABS _d	FABS _q	—	—	—	—
02 ₁₆	—	—	—	—	—	—	—	—
03 ₁₆	—	—	—	—	—	—	—	—
04 ₁₆	—	—	—	—	—	—	—	—
05 ₁₆	—	FSQRT _s	FSQRT _d	FSQRT _q	—	—	—	—
06 ₁₆	—	—	—	—	—	—	—	—
07 ₁₆	—	—	—	—	—	—	—	—
08 ₁₆	—	FADD _s	FADD _d	FADD _q	—	FSUB _s	FSUB _d	FSUB _q
09 ₁₆	—	FMUL _s	FMUL _d	FMUL _q	—	FDIV _s	FDIV _d	FDIV _q

TABLE E-5 opf<8:0> (op = 2, op3 = 34₁₆ = FPop1) (Continued)

opf<8:3>	opf<2:0>							
	0	1	2	3	4	5	6	7
0A ₁₆	—	—	—	—	—	—	—	—
0B ₁₆	—	—	—	—	—	—	—	—
0C ₁₆	—	—	—	—	—	—	—	—
0D ₁₆	—	FsMULd	—	—	—	—	FdMULq	—
0E ₁₆	—	—	—	—	—	—	—	—
0F ₁₆	—	—	—	—	—	—	—	—
10 ₁₆	—	FsTOx	FdTOx	FqTOx	FxTOs	—	—	—
11 ₁₆	FxTOd	—	—	—	FxTOq	—	—	—
12 ₁₆	—	—	—	—	—	—	—	—
13 ₁₆	—	—	—	—	—	—	—	—
14 ₁₆	—	—	—	—	—	—	—	—
15 ₁₆	—	—	—	—	—	—	—	—
16 ₁₆	—	—	—	—	—	—	—	—
17 ₁₆	—	—	—	—	—	—	—	—
18 ₁₆	—	—	—	—	FiTOs	—	FdTOs	FqTOs
19 ₁₆	FiTOd	FsTOd	—	FqTOd	FiTOq	FsTOq	FdTOq	—
1A ₁₆	—	FsTOi	FdTOi	FqTOi	—	—	—	—
1B ₁₆ –3F ₁₆	—	—	—	—	—	—	—	—

網掛けの部分と *reserved* (—) は、SPARC64 VIIIfx では *fp_exception_other* 例外を `ftt = unimplemented_FPop` で通知する。

TABLE E-6 opf<8:0> (op = 2, op3 = 35₁₆ = FPop2)

opf<8:4>	opf<3:0>								8-F
	0	1	2	3	4	5	6	7	
00 ₁₆	—	FMOV _s (fcc0)	FMOV _d (fcc0)	FMOV _q (fcc0)	—	†	†	†	—
01 ₁₆	—	—	—	—	—	—	—	—	—
02 ₁₆	—	—	—	—	—	FMOV _s Z	FMOV _d Z	FMOV _q Z	—
03 ₁₆	—	—	—	—	—	—	—	—	—
04 ₁₆	—	FMOV _s (fcc1)	FMOV _d (fcc1)	FMOV _q (fcc1)	—	FMOV _s LEZ	FMOV _d LEZ	FMOV _q LEZ	—

TABLE E-6 opf<8:0> (op = 2, op3 = 35₁₆ = FPop2) (Continued)

opf<8:4>	opf<3:0>								
	0	1	2	3	4	5	6	7	8-F
05 ₁₆	—	FCMPs	FCMPd	FCMPq	—	FCMPEs	FCMPEd	FCMPEq	—
06 ₁₆	—	—	—	—	—	FMOV _s LZ	FMOV _d LZ	FMOV _q LZ	—
07 ₁₆	—	—	—	—	—	—	—	—	—
08 ₁₆	—	FMOV _s (fcc2)	FMOV _d (fcc2)	FMOV _q (fcc2)	—	†	†	†	—
09 ₁₆	—	—	—	—	—	—	—	—	—
0A ₁₆	—	—	—	—	—	FMOV _s NZ	FMOV _d NZ	FMOV _q NZ	—
0B ₁₆	—	—	—	—	—	—	—	—	—
0C ₁₆	—	FMOV _s (fcc3)	FMOV _d (fcc3)	FMOV _q (fcc3)	—	FMOV _s GZ	FMOV _d GZ	FMOV _q GZ	—
0D ₁₆	—	—	—	—	—	—	—	—	—
0E ₁₆	—	—	—	—	—	FMOV _s GEZ	FMOV _d GEZ	FMOV _q GEZ	—
0F ₁₆	—	—	—	—	—	—	—	—	—
10 ₁₆	—	FMOV _s (icc)	FMOV _d (icc)	FMOV _q (icc)	—	—	—	—	—
11 ₁₆ –17 ₁₆	—	—	—	—	—	—	—	—	—
18 ₁₆	—	FMOV _s (xcc)	FMOV _d (xcc)	FMOV _q (xcc)	—	—	—	—	—
19 ₁₆ –1F ₁₆	—	—	—	—	—	—	—	—	—

†FMOV_R に予約されたオペコード

網掛けの部分と *reserved* (—) は、SPARC64 VIII_{fx} では *fp_exception_other* 例外を *ftt = unimplemented_FPop* で通知する。

TABLE E-7 cond<3:0>

cond<3:0>	BPcc	Bicc ^D	FBPfcc	FBfcc ^D	Tcc
	op = 0 op2 = 1	op = 0 op2 = 2	op = 0 op2 = 5	op = 0 op2 = 6	op = 2 op3 = 3A ₁₆
0	BPN	BN ^D	FBPN	FBN ^D	TN
1	BPE	BE ^D	FBPNE	FBNE ^D	TE
2	BPLE	BLE ^D	FBPLG	FBLG ^D	TLE
3	BPL	BL ^D	FBPUL	FBUL ^D	TL

TABLE E-7 cond<3:0>

cond<3:0>	BPcc	Bicc ^D	FBPfcc	FBfcc ^D	Tcc
	op = 0 op2 = 1	op = 0 op2 = 2	op = 0 op2 = 5	op = 0 op2 = 6	op = 2 op3 = 3A ₁₆
4	BPLEU	BLEU ^D	FBPL	FBL ^D	TLEU
5	BPCS	BCS ^D	FBPUG	FBUG ^D	TCS
6	BPNEG	BNEG ^D	FBPG	FBG ^D	TNEG
7	BPVS	BVS ^D	FBPU	FBU ^D	TVS
8	BPA	BA ^D	FBPA	FBA ^D	TA
9	BPNE	BNE ^D	FBPE	FBE ^D	TNE
A	BPG	BG ^D	FBPUE	FBUE ^D	TG
B	BPGE	BGE ^D	FBPGE	FBGE ^D	TGE
C	BPGU	BGU ^D	FBPUGE	FBUGE ^D	TGU
D	BPCC	BCC ^D	FBPLE	FBLE ^D	TCC
E	BPPOS	BPOS ^D	FBPULE	FBULE ^D	TPOS
F	BPVC	BVC ^D	FBPO	FBO ^D	TVC

TABLE E-8 命令ワードの rcond<2:0> のエンコーディング

		BPr	MOVr	FMOVr
		op = 0 op2 = 3	op = 2 op3 = 2F ₁₆	op = 2 op3 = 35 ₁₆
rcond <2:0>	0	—	—	—
	1	BRZ	MOVZRZ	FMOVZRZ
	2	BRLEZ	MOVRLZ	FMOVRLZ
	3	BRLZ	MOVRLZ	FMOVRLZ
	4	—	—	—
	5	BRNZ	MOVNRZ	FMOVNRZ
	6	BRGZ	MOVGRZ	FMOVGRZ
	7	BRGEZ	MOVGRZ	FMOVGRZ

TABLE E-9 cc / opf_cc フィールド (MOVcc および FMOVcc)

opf_cc			選択される条件 フィールド
cc2	cc1	cc0	
0	0	0	fcc0
0	0	1	fcc1
0	1	0	fcc2
0	1	1	fcc3
1	0	0	icc
1	0	1	—
1	1	0	xcc
1	1	1	—

TABLE E-10 cc フィールド (FBPfcc, FCMP および FCMPE)

cc1	cc0	選択される条件 フィールド
0	0	fcc0
0	1	fcc1
1	0	fcc2
1	1	fcc3

TABLE E-11 cc フィールド (BPcc および Tcc)

cc1	cc0	選択される条件 フィールド
0	0	icc
0	1	—
1	0	xcc
1	1	—

TABLE E-12 IMPDEP1: VIS 命令 ($op = 2, op3 = 36_{16}$) の $opf<8:0>$, ただし $0 \leq opf<8:4> \leq 7$

$opf<3:0>$	$opf<8:4>$							
	00_{16}	01_{16}	02_{16}	03_{16}	04_{16}	05_{16}	06_{16}	07_{16}
0_{16}	EDGE8	ARRAY8	FCMPLE16	—	—	FPADD16	FZERO	FAND
1_{16}	EDGE8N	—	—	FMUL 8x16	—	FPADD16S	FZEROS	FANDS
2_{16}	EDGE8L	ARRAY16	FCMPNE16	—	—	FPADD32	FNOR	FXNOR
3_{16}	EDGE8LN	—	—	FMUL 8x16AU	—	FPADD32S	FNORS	FXNORS
4_{16}	EDGE16	ARRAY32	FCMPLE32	—	—	FPSUB16	FANDNOT2	FSRC1
5_{16}	EDGE16N	—	—	FMUL 8x16AL	—	FPSUB16S	FANDNOT2S	FSRC1S
6_{16}	EDGE16L	—	FCMPNE32	FMUL 8SUx16	—	FPSUB32	FNOT2	FORNOT2
7_{16}	EDGE16LN	—	—	FMUL 8ULx16	—	FPSUB32S	FNOT2S	FORNOT2S

TABLE E-12 IMPDEP1: VIS 命令 (op = 2, op3 = 36₁₆) の opf<8:0>, ただし 0 ≤ opf<8:4> ≤ 7

opf<3:0>	opf<8:4>							
	00 ₁₆	01 ₁₆	02 ₁₆	03 ₁₆	04 ₁₆	05 ₁₆	06 ₁₆	07 ₁₆
8 ₁₆	EDGE32	ALIGN ADDRESS	FCMPGT16	FMULD 8SUx16	FALIGNDATA	—	FANDNOT1	FSRC2
9 ₁₆	EDGE32N	BMASK	—	FMULD 8ULx16	—	—	FANDNOT1S	FSRC2S
A ₁₆	EDGE32L	ALIGN ADDRESS _LITTLE	FCMPEQ16	FPACK32	—	—	FNOT1	FORNOT1
B ₁₆	EDGE32LN	—	—	FPACK16	FPMERGE	—	FNOT1S	FORNOR1S
C ₁₆	—	—	FCMPGT32	—	BSHUFFLE	—	FXOR	FOR
D ₁₆	—	—	—	FPACKFIX	FEXPAND	—	FXORS	FORS
E ₁₆	—	—	FCMPEQ32	PDIST	—	—	FNAND	FONE
F ₁₆	—	—	—	—	—	—	FNANDS	FONES

TABLE E-13 IMPDEP1: VIS 命令 (op = 2, op3 = 36₁₆) の opf<8:0>, ただし 08₁₆ ≤ opf<8:4> ≤ 1F₁₆

opf<3:0>	opf<8:4>				
	08 ₁₆	09 ₁₆ –15 ₁₆	16 ₁₆	17 ₁₆	18 ₁₆ –1F ₁₆
0 ₁₆	SHUTDOWN	—	FCMPEQd	FMAXd	—
1 ₁₆	SIAM	—	FCMPEQs	FMAXs	—
2 ₁₆	SUSPEND ^P	—	FCMPEQEd	FMINd	—
3 ₁₆	SLEEP	—	FCMPEQEs	FMINs	—
4 ₁₆	—	—	FCMPLEEd	FRCPad	—
5 ₁₆	—	—	FCMPLEEs	FRCPas	—
6 ₁₆	—	—	FCMPLTEd	FRSQRTAd	—
7 ₁₆	—	—	FCMPLTEs	FRSQRTAs	—
8 ₁₆	—	—	FCMPNEd	FTRISSEld	—
9 ₁₆	—	—	FCMPNEs	—	—
A ₁₆	—	—	FCMPNEEd	FTRISMULd	—
B ₁₆	—	—	FCMPNEEs	—	—
C ₁₆	—	—	FCMPGTEd	—	—
D ₁₆	—	—	FCMPGTEs	—	—

TABLE E-13 IMPDEP1: VIS 命令 (op = 2, op3 = 36₁₆) の opf<8:0>, ただし 08₁₆ ≤ opf<8:4> ≤ 1F₁₆

opf<3:0>	opf<8:4>				
	08 ₁₆	09 ₁₆ –15 ₁₆	16 ₁₆	17 ₁₆	18 ₁₆ –1F ₁₆
E ₁₆	—	—	FCMPGEEd	—	—
F ₁₆	—	—	FCMPGEEs	—	—

TABLE E-14 IMPDEP2 (op = 2, op3 = 37₁₆)

size	var			
	00 ₀₂	01 ₀₂	10 ₀₂	11 ₀₂
00 ₀₂	FPMADDX	FPMADDXHI	FTRIMADDd	FSELMOVd
01 ₀₂	FMADDs	FMSUBs	FNMSUBs	FMADDs
10 ₀₂	FMADDd	FMSUBd	FNMSUBd	FMADDd
11 ₀₂	(4倍精度演算に予約されている)			FSELMOVs

Memory Management Unit

本章では、SPARC64 VIIIfx の MMU の実装依存部の定義と、SPARC64 VIIIfx で拡張された機能について説明する。SPARC64 VIIIfx の MMU には JPS1 仕様と非互換な部分がある。詳細は以下を参照。

- Section F.4, “*Hardware Support for TSB Access*”
- Section F.10, “*Internal Registers and ASI Operations*”

F.1 Virtual Address Translation

IMPL. DEP. #222: TLB organization is JPS1 implementation dependent.

SPARC64 VIIIfx の TLB は 2 階層構成となっている。

- レベル 1 マイクロ ITLB (uITLB)、フルアソシエイティブ
- レベル 1 マイクロ DTLB (uDTLB)、フルアソシエイティブ
- レベル 2 IMMU-TLB、これはセットウェイアソシエイティブの sITLB と、フルアソシエイティブの fITLB からなる。
- レベル 2 DMMU-TLB、これはセットウェイアソシエイティブの sDTLB と、フルアソシエイティブの fDTLB からなる。

TABLE F-1 に SPARC64 VIIIfx の各 TLB の構成を示す。

uITLB と uDTLB は、それぞれ IMMU-TLB、DMMU-TLB の一時的な記憶領域として使われる。マイクロ TLB に対し、IMMU-TLB、DMMU-TLB をメイン TLB と呼ぶこともある。マイクロ TLB の内容はメイン TLB のサブセットとなっており、ハードウェアが同一性を保証する。

マイクロ TLB はソフトウェアから直接操作することはできず、また、ソフトウェアの動作が変わるような影響を与えることも、TLB の複数エントリがヒットした場合を除いて、ない。本仕様書ではマイクロ TLB についてはこれ以上触れない。

TABLE F-1 SPARC64 VIIIfx の TLB 構成

諸元	sITLB と sDTLB	ITLB と DTLB
エントリ数	256 (sITLB), 512 (sDTLB)	16
構成	2 ウェイセットアソシエイティブ	フルアソシエイティブ
エントリをロックできるか	できない	できる
ページサイズ	二種類	すべてのページサイズ

IMPL. DEP. #223: Whether TLB multiple-hit detections are supported in JPS1 is implementation dependent.

SPARC64 VIIIfx の MMU は多重ヒットを検出するが、検出できるのはメイン TLB でも fTLB 内で起きた多重ヒットのみである。fTLB に多重ヒットエントリがあるときでも、マイクロ TLB にヒットしている間は検出できない。詳細は Appendix F.5.2 を参照。

F.2 Translation Table Entry (TTE)

変換テーブルエントリ (Translation Table Entry:TTE) は、論理アドレスである連続した領域 (ページ) から物理アドレスへの対応と、そのページの属性を保持するエントリである。TTE は、タグ部とデータ部という 2 つの 64 ビットのデータからなる。タグ部は検索用の情報が入っており、一致している場合はデータ部にあるページ情報がアドレス変換に使われる。

SPARC JPS1 では、TTE は TSB のエントリであり、TLB のエントリの操作も同じフォーマットで操作するという定義になっている。SPARC64 VIIIfx は TSB をサポートしていないが、TLB の操作はこのフォーマットで行うので、**JPS1 Commonality** の定義を FIGURE F-1, TABLE F-2 に示す。

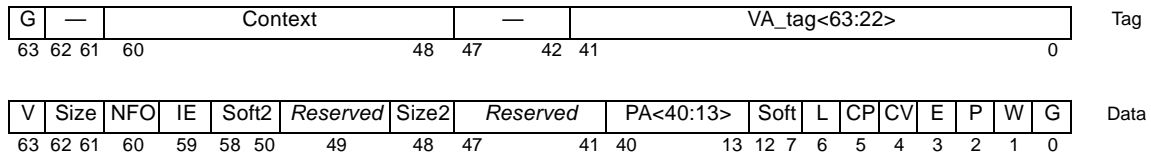


FIGURE F-1 変換テーブルエントリ (TTE)

TABLE F-2 TTE のビット説明 (1 of 3)

ビット位置	フィールド名	説明																								
Tag - 63	G	グローバル。G に 1 がセットされていると、TLB 検索時に Context フィールドは使われない。ある CPU 上で動作している、ユーザ・スーパーバイザを問わずすべてのコンテキストが、G = 1 のエントリを共有することになる。ソフトウェアが TLB ミスを効率的に処理できるよう、G ビットは TTE のタグとデータの両方にある。																								
Tag - 60:48	Context	この TTE のコンテキスト番号。																								
Tag - 41:0	VA_tag	論理アドレスタグ。論理アドレスのページ番号。																								
Data - 63	V	バリッド。V に 1 がセットされていると、TTE の他のフィールドの値が意味を持つ。 Note: V ビットがなくても、ソフトウェアのコンベンションとして使わない TTE を設定することで、無効なエントリを作ることができる。しかし、V ビットを持たせるほうが TLB ミスハンドラの処理が簡単になる。																								
Data - 62:61	Size	size2 と size をビット結合した値でページサイズを指示する。 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>Size2</th> <th>Size<1:0></th> <th>Page Size</th> </tr> </thead> <tbody> <tr> <td>000₂</td> <td></td> <td>8 Kbyte</td> </tr> <tr> <td>001₂</td> <td></td> <td>64 Kbyte</td> </tr> <tr> <td>010₂</td> <td></td> <td>512 Kbyte</td> </tr> <tr> <td>011₂</td> <td></td> <td>4 Mbyte</td> </tr> <tr> <td>100₂</td> <td></td> <td>32 Mbyte</td> </tr> <tr> <td>101₂</td> <td></td> <td>256 Mbyte</td> </tr> <tr> <td>110₂</td> <td></td> <td>2 Gbyte</td> </tr> </tbody> </table>	Size2	Size<1:0>	Page Size	000 ₂		8 Kbyte	001 ₂		64 Kbyte	010 ₂		512 Kbyte	011 ₂		4 Mbyte	100 ₂		32 Mbyte	101 ₂		256 Mbyte	110 ₂		2 Gbyte
Size2	Size<1:0>	Page Size																								
000 ₂		8 Kbyte																								
001 ₂		64 Kbyte																								
010 ₂		512 Kbyte																								
011 ₂		4 Mbyte																								
100 ₂		32 Mbyte																								
101 ₂		256 Mbyte																								
110 ₂		2 Gbyte																								
Data - 60	NFO	NFO (No Fault Only)。NFO に 1 がセットされているエントリは、ASI_PRIMARY_NO_FAULT, ASI_SECONDARY_NO_FAULT およびそれに *_LITTLE がついた ASI を使ったときのみ変換される。それ以外のアクセスでは <i>data_access_exception</i> 例外が通知され、DSFSR.FT = 10 ₁₆ がセットされる。IMMU の NFO ビットは、読み出しには 0 が返り、書き込みは無視される。iTLB のミスハンドラは、TLB にエントリを書き込む際、NFO = 1 ならばエラーを報告すべきである。																								
Data - 59	IE	エンディアン反転。IE に 1 がセットされていると、そのページに対するアクセスでは、命令で指定したのとは逆のエンディアン (big には little、little には big) が使われる。詳細は JPS1 Commonality の Section F.7 を参照。IMMU の IE ビットは、読み出しには 0 が返り、書き込みは無視される。 Note: このビットは主に、ノンキャッシュ領域に使われる。キャッシュで IE = 1 であるページへのアクセスが D1\$ ミスすると、性能に悪影響を与える可能性がある。																								
Data - 58:50	Soft2	ソフトウェアが使用するフィールド。ハードウェアはこのフィールドを TLB 内で保持する必要はなく、TLB から読み出すと 0 が読めるかもしれない。																								
Data - 49	Reserved	Reserved. 書き込みは無視され、0 が読み出される。																								
Data - 48	Size2	size の項参照。																								

TABLE F-2 TTE のビット説明 (2 of 3)

ビット位置	フィールド名	説明
Data - 47:41	Reserved	Reserved. 書き込みは無視され、0 が読み出される。
Data - 40:13	PA	物理ページ番号。8KB より大きいページサイズのページ内オフセットにあたるビット (64KB ページなら PA<15:13>, 512KB ページなら PA<18:13> など) は通常の変換では無視される。 SPARC64 VIIIfx は、JPS1 Commonality の定義と異なり、物理アドレスのビット数は 41 ビットまでをサポートする (impl.dep.#224)。 TLB からエントリを読み出した際、ページ内オフセットにあたるビットに読み出される値は不定である。PA だけでなく VA についても、8KB より大きいページでページ内オフセットに当たるビットに読み出される値は不定である (impl.dep.#238)。
Data - 12:7	Soft	ソフトウェアが使用するフィールド。ハードウェアはこのフィールドを TLB 内で保持する必要はなく、TLB から読み出すと 0 が読めるかもしれない。
Data - 6	L	ロック。L に 1 がセットされているエントリが TLB に書き込まれると、そのエントリは TLB 上にロックされる。エントリが有効ならば、Data In レジスタによる TLB 書き込みによるリブレース対象とならない。無効なエントリでは L ビットは意味を持たない。ソフトウェアはロックしていないエントリを最低 1 つ残すようにしなければならない。 SPARC64 VIIIfx は TLB Data In を通じた書き込みではロックするかどうかを自動で判断する。書き込もうとしているエントリが TTE.L = 1 であるならば fTLB に、そうでなければページサイズに応じて fTLB か sTLB に書き込まれる。 (impl.dep.#225) SPARC64 VIIIfx では、fITLB と fDTLB が lock ビットをサポートする。sITLB, sDTLB では lock ビットは実装されておらず、lock ビットの書き込みは無視され、読み出しには 0 が返る。 (impl.dep.#242)
Data - 5 Data - 4	CP, CV	物理ページ・インデックスキャッシュと、論理ページ・インデックスキャッシュでキャッシュャブルかどうかを指示する。CP に 1 がセットされていると、そのページのデータは I1, D1, U2 キャッシュにキャッシュされる。 SPARC64 VIIIfx ではどの TLB も CV を実装していない。 SPARC64 VIIIfx はハードウェアでキャッシュエイリアスを解消する機構を備えている。CV ビットの書き込みは無視され、読み出しには 0 が返る。 (impl.dep.#226)

TABLE F-2 TTE のビット説明 (3 of 3)

ビット位置	フィールド名	説明
Data - 3	E	<p>副作用があることを示す。E に 1 がセットされていると：</p> <ul style="list-style-type: none"> • ノンフォールディングロードには例外が通知される。 • ノンキャッシュャブル領域へのアクセスはストロングオーダーで処理される。 • ノンキャッシュャブル領域へのストアはマージされない。 <p>このビットは、I/O デバイスの副作用があるレジスタをマッピングするときなどはセットする必要がある。</p> <p>IMMU ではこのビットは、書き込みは無視され、読み出しには 0 が返る。</p> <p>Note: E ビットはノンキャッシュャブルを意味しない。E に 1 がセットされているときは、CP には通常 0 がセットされているはずだが、強制はされていない。CP にも E にも 1 がセットされているときの動作は未定義である。</p> <p>Note: E ビットと NFO ビットは同時に 1 に設定してはいけない。</p>
Data - 2	P	<p>特権アクセスビット。P に 1 がセットされていると、その TTE でマップされたページには特権モードでのみアクセス可能である。PSTATE.PRIV=0 でアクセスすると、<i>instruction_access_exception</i> か <i>data_access_exception</i> 例外を通知し、そのときの ISFSR.FT または DSFSR.FT には 1₁₆ がセットされる。</p>
Data - 1	W	<p>書き込み可能。W に 1 がセットされていると、その TTE でマップされたページのデータは書き換え可能である。0 がセットされている場合、書き込もうとすると <i>fast_data_access_protection</i> 例外が通知される。IMMU ではこのビットは、書き込みは無視され、読み出しには 0 が返る。</p>
Data - 0	G	<p>グローバル。このビットの値は TTE タグの G ビットと一致していなければならない。</p>

F.4 Hardware Support for TSB Access

JPS1 Commonality では TSB を検索するのはソフトウェアであり、ハードウェアは TLB ミス時に、ミスを起こした VA があると思われる TSB 上のポインタを計算するのみである。しかし、このポインタ計算は簡単な整数演算数命令で行える簡単なものであるし、また、JPS1 Commonality の仕様では TSB のハードウェアサポートは、8KB ページと 64KB ページに対してのみであり、それより大きなページサイズの TLB ミスに対するサポートは一切ないことから、SPARC64 VIIIfx では TSB のハードウェアサポートは実装していない。

しかしながら、SPARC64 VIIIfx では TSB Base レジスタは仕様に残してある。TLB ミス発生時、システムソフトウェアは TSB の先頭アドレスをメモリから読むのではなく、TSB Base レジスタから取得することができるので、TLB ミス時の処理オーバーヘッドはポインタ計算の数命令程度にとどまり、従来仕様の CPU とほとんど変わらない。TSB Base レジスタの詳細は Section F.10.6 を参照。

F.5 Faults and Traps

IMPL. DEP. #230: The cause of a *data_access_exception* trap is implementation dependent in JPS1, but there are several mandatory causes of a *data_access_exception* trap.

SPARC64 VIIIfx は *data_access_exception* を JPS1 **Commonality** の Section F.5 で定義された条件で通知する。ただし *invalid ASI* の場合は注意が必要である。詳細は Section F.10.9, “*I/D Synchronous Fault Status Registers (I-SFSR, D-SFSR)*” を参照。

IMPL. DEP. #237: Whether the fault status and/or address (DSFSR/DSFAR) are captured when *mem_address_not_aligned* is generated during a JMWPL or RETURN instruction is implementation dependent.

SPARC64 VIIIfx では、JMWPL または RETURN 命令で *mem_address_not_aligned* が通知される際、DSFSR/DSFAR は更新されない。

SPARC64 VIIIfx では、JPS1 **Commonality** の定義に加え、*instruction_access_error* と *data_access_error*, *SIMD_load_across_pages* が MMU により記録される。JPS1 **Commonality** の TABLE F-2 にこれらを加えたものを TABLE F-3 に示す。

TABLE F-3 MMU 例外と ASI レジスタ更新

番号	トラップ命	トラップ要因	更新されるレジスタ				トラップ番号
			I-SFSR	I-MMU Tag Access	D-SFSR, SFAR	D-MMU Tag Access ¹	
1.	<i>fast_instruction_access_MMU_miss</i>	I-TLB ミス	X ²	X			64 ₁₆ –67 ₁₆
2.	<i>instruction_access_exception</i>	下記参照	X ²	X			08 ₁₆
3.	<i>fast_data_access_MMU_miss</i>	D-TLB ミス			X ³	X	68 ₁₆ –6B ₁₆
4.	<i>data_access_exception</i>	下記参照			X ³	X ⁴	30 ₁₆
5.	<i>fast_data_access_protection</i>	書き込み保護違反			X ³	X	6C ₁₆ –6F ₁₆
6.	<i>privileged_action</i>	特権 ASI 使用			X ³		37 ₁₆
7.	<i>watchpoint</i>	ウォッチポイント検出			X ³		61 ₁₆ –62 ₁₆
8.	<i>mem_address_not_aligned</i> , <i>*_mem_address_not_aligned</i>	アラインメント違反			(impl. dep #237)		35 ₁₆ , 36 ₁₆ , 38 ₁₆ , 39 ₁₆

TABLE F-3 MMU 例外と ASI レジスタ更新

番号	トラップ命	トラップ要因	更新されるレジスタ			トラップ番号
			I-SFSR	I-MMU Tag Access	D-SFSR, SFAR, Tag Access ¹	
9.	<i>instruction_access_error</i>	下記参照	X ²			0A ₁₆
10	<i>data_access_error</i>	下記参照			X ³	32 ₁₆
11	<i>SIMD_load_across_pages</i>	SIMD ロードの extend 側で D-TLB ミス			X ³	77 ₁₆

1. TAG_ACCESS_EXT_REG を含む。
2. I-SFSR の詳細は Section F.10.9 を参照。
3. D-SFSR, D-SFAR の詳細は Section F.10.9 を参照。
4. *data_access_exception* 通知後、D-MMU Tag Access Register の context フィールドの内容は未定義。

TABLE F-3 の Ref #1~8 は JPS1 **Commonality** の Section F.5 の定義に準拠している。Ref #9, #10, #11 は以下の通り。

9. *instruction_access_error* — 以下の条件のうちどれか一つでも成立していれば例外が通知される。
 - 命令フェッチで訂正不可能なエラーが発見された場合。
 - 命令フェッチのメモリ参照にバスエラーが通知された場合。
 - fITLB で多重ヒットが検出された場合。
10. *data_access_error* — 以下の条件のうちどれか一つでも成立していれば例外が通知される。
 - データアクセスで訂正不可能なエラーが発見された場合。
 - データアクセスのメモリ参照にバスエラー、バスタイムアウトが通知された場合。
 - fDTLB で多重ヒットが検出された場合。

バスエラー、バスタイムアウトによる *data_access_error* は、優先順位 12 のトラップの中では一番優先順位が低い。

Note – SPARC64 VIIIfx はストアバッファを実装しているので、あるアドレスの読み出しに対して *data_access_error* が通知されない場合がある。詳細は Section P.7.1 を参照。

11. *SIMD_load_across_pages* — SIMD ロードの extended 側で TLB ミスが起きた場合、この例外が通知される。DSFAR には extended 側のアドレスが表示される。

Programming Note – *SIMD_load_across_pages* が通知された場合、システムソフトウェアは TLB を更新するのではなくエミュレーションすべきである。TLB 更新処理は行う必要はないので、TAG_ACCESS_REG は更新されない。Section 7.6.5 も参照。

F.5.1 Trap Condition of SIMD Load and SIMD Store

SIMD ロード/ストアの例外は、**basic**、**extended** を個々にこの順序で処理した場合に起こりうる例外が、TABLE 7-2 の優先順位に従って通知される。DSFSR、DSFAR に表示される値は、**basic** 側で起きた例外では **basic** 側の情報が、**extended** 側で起きた例外では **extended** 側の情報が表示される。

Note – *SIMD_load_across_pages* は **extended** 側で起きる例外である。

ただし *VA_watchpoint* については、**basic** 側の優先順位 12 の例外 (*fast_data_MMU_miss*, *data_access_exception*, *fast_data_access_protection*, *data_access_error*, *data_access_protection*) より、**extended** 側の *VA_watchpoint* が優先して通知される場合がある。

訂正不可能なエラーまたはシステムからのバスエラー・バスタイムアウトによる *data_access_error* 例外では、SIMD ロードについては、**basic** 側のロード結果がレジスタに反映されて見えることがある。

F.5.2 The Behaviour upon TLB Error

SPARC64 VIIIfx は、fTLB の多重ヒットを検出すると *data_access_error* で通知するが、sTLB の多重ヒットは消去されソフトウェアには通知されない。TLB 検索時にパリティエラーが発見されると、そのエントリは消去 (sTLB) または自動訂正 (fTLB) され、ソフトウェアには通知されない。トラップはかならずプログラム順序で起こるが、消去または自動訂正は検出された時点で行われるので、投機実行されたメモリアクセスでも行われる。

SPARC64 VIIIfx で TLB でパリティエラー、多重ヒットが起きた場合の動作を TABLE F-4 に示す。

TABLE F-4 パリティエラー、多重ヒット検出時の動作

パリティエラー		多重ヒット		動作
sTLB	fTLB	sTLB	fTLB	
✓				エントリを消去し、 <i>fast_instruction_access_MMU_miss</i> または <i>fast_data_access_MMU_miss</i> を通知する。
	✓			自動訂正する ¹ 。ソフトウェアには見えない。
✓	✓			fTLB のエントリを自動訂正し ¹ 、sTLB のエントリを消去する。
		✓		エントリを消去し、 <i>fast_instruction_access_MMU_miss</i> または <i>fast_data_access_MMU_miss</i> を通知する。

TABLE F-4 パリティエラー、多重ヒット検出時の動作

パリティエラー		多重ヒット		動作
sTLB	fTLB	sTLB	fTLB	
			✓	<i>nstruction_access_error</i> または <i>data_access_error</i> を通知する ² 。
		✓	✓	多重ヒットは検出せず、sTLB の内容で動作する ³ 。
✓		✓		パリティエラー、多重ヒットを起こした全エントリを消去する。
	✓	✓		fTLB のエントリを自動訂正し ¹ 、sTLB のエントリを消去する。
✓			✓	sTLB のエントリを消去し、fTLB の多重ヒット ² で <i>nstruction_access_error</i> または <i>data_access_error</i> を通知する。
	✓		✓	パリティエラーしているエントリを自動訂正し、多重ヒット ² で <i>instruction_access_error</i> または <i>data_access_error</i> を通知する。

1. fTLB は二重化されているので訂正可能。訂正できない場合は致命的エラー。
2. fTLB の多重ヒットは、常に検出できるとは限らない。
3. sTLB と fTLB の間で多重ヒットしている場合。

sTLB のパリティエラー、多重ヒットでは、エラーを起こしたエントリが消去される。この消去はソフトウェアには通知されない。ただし、SIMD ロードにおいては、basic 側の TLB 検索により extended 側で必要な sTLB エントリのパリティエラー、多重ヒットが消去された場合、*SIMD_load_across_pages* 例外という形でソフトウェアに見える。

パリティエラー、多重ヒットの検出は、TABLE F-3 に示すすべての例外検出と同時に起こりうる。TLB エントリの消去は、他の例外を検出したかどうかとは無関係に行われる。つまり、投機実行によりパリティエラーや、多重ヒットが検出された場合でも、そのエントリは消去される。

Note – 多重ヒット検出時は、どの TTE が正しいかを決定できないので、TTE の内容に依存する例外 (*data_access_exception*, *PA_watchpoint*, *fast_data_access_protection*, *SIMD_load_across_pages*) は検出されない。

F.8 Reset, Disable, and RED_state Behavior

IMPL. DEP. #231: The variability of the width of physical address is implementation dependent in JPS1, and if variable, the initial width of the physical address after reset is also implementation dependent in JPS1.

TABLE F-2 の Data 部の PA の項を参照。SPARC64 VIIIfx の物理アドレスは 41 ビットである。

IMPL. DEP. #232: Whether CP and CV bits exist in the DCU Control Register is implementation dependent in JPS1.

SPARC64 VIIIfx は DCU を実装していない (page 29)。CP, CV ビットは存在しない。

DMMU が無効なとき、MMU は TTE が以下の設定であるとみなして動作する。

- TTE.IE ← 0
- TTE.P ← 0
- TTE.W ← 1
- TTE.NFO ← 0
- TTE.CV ← 0
- TTE.CP ← 0
- TTE.E ← 1

IMPL. DEP. #117: Whether prefetch and nonfaulting loads always succeed when the MMU is disabled is implementation dependent.

SPARC64 VIIIfx では、DMMU が無効のとき PREFETCH はメモリアクセスをせずに実行完了する。ノンフォールディングロードは、JPS1 **Commonality** の Section F.5 の定義通り *data_access_exception* が通知される。

F.10 Internal Registers and ASI Operations

SPARC64 VIIIfx 仕様では TSB のハードウェアサポートは実装しない。このため JPS1 **Commonality** で定義されているレジスタのうち以下のものは実装されない。

TABLE F-5 SPARC64 VIIIfx 仕様で無効な MMU 関連レジスタ

IMMU ASI	DMMU ASI	VA	レジスタ
50 ₁₆	58 ₁₆	48 ₁₆	Instruction/Data TSB Primary Extension Registers
—	58 ₁₆	50 ₁₆	DATA TSB Secondary Extension Register
50 ₁₆	58 ₁₆	58 ₁₆	I/D TSB Nucleus Extension Registers
51 ₁₆	59 ₁₆	00 ₁₆	I/D TSB 8KB Pointer Registers
52 ₁₆	5A ₁₆	00 ₁₆	I/D TSB 64KB Pointer Registers
—	5B ₁₆	00 ₁₆	DATA TSB Direct Pointer Register

これらの ASI, VA にアクセスすると、*data_access_exception* 例外が通知される。

F.10.1 Accessing MMU Registers

IMPL. DEP. #233: Whether the TSB_Hash field is implemented in I/D Primary/Secondary/Nucleus TSB Extension Register is implementation dependent in JPS1.

SPARC64 VIIIfx では TSB Extension レジスタを定義していないので、この実装依存仕様は意味を持たない。

IMPL. DEP. #239: The register(s) accessed by IMMU ASI 55₁₆ and DMMU ASI 5D₁₆ at virtual addresses 40000₁₆ to 60FF8₁₆ are implementation dependent.

“*I/D TLB Data In, Data Access, and Tag Read Registers*” (page 185) を参照。

SPARC64 VIIIfx では JPS1 **Commonality** の TABLE F-9 記載のレジスタ以外にも、ASI_DCUCR (page 34) と ASI_MCNTL (page 177) に MMU の制御機能が割り当てられている。

ASI_MCNTL (Memory Control Register)

レジスタ名	ASI_MCNTL
ASI	45 ₁₆
VA	08 ₁₆
アクセス種別	Supervisor read/write

reserved	reserved	hpf	NC_Cache	fw_fITLB	fw_fDTLB	RMD	0	mpg_slTLB	mpg_sDTLB	0
63	20	19	18 17	16	15	14	13 12 11 8	7	6	5 0

ビット	フィールド名	アクセス	説明
63:20	Reserved		
19	Reserved	RW	ソフトウェアはこのフィールドには0を設定すること。1を設定した場合のCPUの動作は不定。
18:17	hpf	RW	ハードウェアプリフェッチモードを指定する。 00 ₂ : ハードウェアプリフェッチを strong pf で生成する。 01 ₂ : ハードウェアプリフェッチを生成しない。 10 ₂ : ハードウェアプリフェッチを weak pf で生成する。 11 ₂ : reserved 11 ₂ を指定したときのハードウェアプリフェッチ動作は不定。
16	NC_Cache	RW	ノンキャッシュ領域にある命令列を強制的にキャッシュする。NC_Cacheが1にセットされると、CPUからは16バイトのノンキャッシュ領域アクセスが8回行われ、全128バイトがI1\$キャッシュに書き込まれる。データアクセスの動作には影響を与えない。 NC_Cacheは、OBPの実行速度向上のための機能である。OBPはOSに制御を移す際にNC_Cacheに0をセットすること。さもないと、I1キャッシュにノンキャッシュ領域の命令が残ってしまう。
15	fw_fITLB	RW	ITLB更新時、必ずfITLBに書き込む。fw_fITLBに1がセットされていると、ITLB Data Inレジスタ経由のTLB書き込みは、必ずfITLBに書かれる。 fw_fITLBはOBP向けの機能である。

ビット	フィールド名	アクセス	説明
14	fw_fDTLB	RW	DTLB 更新時、必ず fDTLB に書き込む。fw_fDTLB に 1 がセットされていると、DTLB Data In レジスタ経由の TLB 書き込みは、必ず fDTLB に書かれる。fw_fDTLB は OBP 向けの機能である。
13:12	RMD	R	このフィールドは 2 に固定されており、書き込みは無視される。
11:8	Reserved		
7	mpg_sITLB ¹	RW	sITLB でマルチプルページサイズ機能を有効にする。mpg_sITLB に 1 がセットされていると、sITLB にはコンテキストごとに異なるページサイズの TTE を登録できる。mpg_sITLB に 0 がセットされていると、コンテキストレジスタと IMMU_TAG_ACCESS_EXT のページサイズ情報は意味を持たず、規定のページサイズ (1st sITLB は 8KB, 2nd sITLB は 4MB) が使われる。
6	mpg_sDTLB ¹	RW	sDTLB でマルチプルページサイズ機能を有効にする。mpg_sDTLB に 1 がセットされていると、sDTLB にはコンテキストごとに異なるページサイズの TTE を登録できる。mpg_sDTLB に 0 がセットされていると、コンテキストレジスタと DMMU_TAG_ACCESS_EXT のページサイズ情報は意味を持たず、規定のページサイズ (1st sDTLB は 8KB, 2nd sDTLB は 4MB) が使われる。
5:0	Reserved		

1.mpg_sITLB = 1 かつ mpg_sDTLB = 0 という設定をしてはいけない。この設定のときの動作は未定義。

F.10.2 Context Registers

sTLB は 2 つのセットアソシエイティブ TLB で構成されている。1st TLB, 2nd TLB とともに、ITLB は 128 エントリ、DTLB は 256 エントリである。デフォルトでは 1st sTLB には 8KB ページの TTE のみ、2nd sTLB には 4MB ページの TTE のみが登録されるが、MCNTL.mpg_sITLB, MCNTL.mpg_sDTLB を 1 にセットすることで、8 KB, 64 KB, 512 KB, 4 MB, 32MB, 256MB, 2GB のうち任意の一つのページサイズの TTE が登録できる。ページサイズの設定は 1st sTLB, 2nd sTLB で独自に設定でき、両方を同じページサイズに設定することもできる。

ページサイズはコンテキストレジスタのフィールドで指定する。

ASI_PRIMARY_CONTEXT_REG では sITLB, sDLTB のページ設定が、ASI_SECONDARY_CONTEXT_REG では sITLB の設定ができる。1st sTLB, 2nd sTLB のページサイズを同じものに設定した場合、sTLB は一つの 4 ウェイセットアソシエイティブ TLB と同じように動作する。

ページサイズ指定は以下のエンコードデータで行う。

- 000₀₂ = 8 KB
- 001₀₂ = 64 KB
- 010₀₂ = 512 KB
- 011₀₂ = 4 MB
- 100₀₂ = 32 MB
- 101₀₂ = 256 MB
- 110₀₂ = 2 GB

Note – 111₀₂ を指定したときの挙動は未定義。

JPS1 Commonality で定義されたコンテキストレジスタに加えて、SPARC64 VIIIfx では共有コンテキスト (Shared Context) が定義されている。共有コンテキストは、ある論理空間を複数のプロセスで共有するための仕組みで、命令列や共有データを置くのに使われる。あるコンテキストから別のコンテキストをアクセスするという点ではセカンダリコンテキストと似ているが、以下の点が異なる。

- セカンダリコンテキスト空間にアクセスするためには、ASI 付きロード/ストア命令を使う必要があるが、共有コンテキスト空間はプライマリコンテキストと同じく、暗黙のうちにアクセス可能である。
- セカンダリコンテキストがデータアクセスのみなのに対し、共有コンテキスト空間は命令フェッチとデータアクセス両方で使われる。

以下の説明では実効コンテキストという用語が使われる。複数あるコンテキストレジスタのどの値を使うかは命令種類やプロセッサの状態により決まるので、実際に使われるコンテキスト番号を指す用語として用いる。

- TL=0 における命令フェッチや ASI 付きではないロード/ストア命令によるアクセスでは、ASI_PRIMARY_CONTEXT の値を指す。
- TL>0 における命令フェッチや ASI 付きではないロード/ストア命令によるアクセスでは、ASI_NUCLUES_CONTEXT の値を指す。

- ASI 付きのロード/ストア命令では、その ASI によって決まるコンテキスト。

ASI_PRIMARY_CONTEXT

レジスタ名	ASI_PRIMARY_CONTEXT
ASI	58 ₁₆
VA	08 ₁₆
アクセス種別	Supervisor read/write

N_pgsz0	N_pgsz1	—	N_lpgsz0	N_lpgsz1	—	P_lpgsz1	P_lpgsz0	—	P_pgsz1	P_pgsz0	—	PContext
63 61	60 58	57 56	55 53	52 50	49 30	29 27	26 24	23 22	21 19	18 16	15 13	12 0

ビット	フィールド名	アクセス	説明
63:61	N_pgsz0	RW	Nucleus コンテキストが 1st sDTLB で使うページサイズ。
60:58	N_pgsz1	RW	Nucleus コンテキストが 2nd sDTLB で使うページサイズ。
55:53	N_lpgsz0	RW	Nucleus コンテキストが 1st sITLB で使うページサイズ。
52:50	N_lpgsz1	RW	Nucleus コンテキストが 2nd sITLB で使うページサイズ。
29:27	P_lpgsz1	RW	プライマリコンテキストが 2nd sITLB で使うページサイズ。
26:24	P_lpgsz0	RW	プライマリコンテキストが 1st sITLB で使うページサイズ。
21:19	P_pgsz1	RW	プライマリコンテキストが 2nd sDTLB で使うページサイズ。
18:16	P_pgsz0	RW	プライマリコンテキストが 1st sDTLB で使うページサイズ。
12:0	PContext	RW	プライマリコンテキスト番号。

ASI_PRIMARY_CONTEXT の各ページサイズフィールドは、ASI_MCNTL.mpg_sITLB, ASI_MCNTL.mpg_sDTLB の設定に係わらず読み出すことができる。

ASI_SECONDARY_CONTEXT

レジスタ名	ASI_SECONDARY_CONTEXT
ASI	58 ₁₆
VA	10 ₁₆
アクセス種別	Supervisor read/write

—	S_pgsz1	S_pgsz0	—	SContext				
63	21	19	18	16	15	13	12	0

ビット	フィールド名	アクセス	説明
21:19	S_pgsz1	RW	セカンダリコンテキストが 2nd sDTLB で使うページサイズ。
18:16	S_pgsz0	RW	セカンダリコンテキストが 1st sDTLB で使うページサイズ。
12:0	SContext	RW	セカンダリコンテキスト番号。

ASI_SECONDARY_CONTEXT の各ページサイズフィールドは、ASI_MCNTL.mpg_sITLB, ASI_MCNTL.mpg_sDTLB の設定に係わらず読み出すことができる。

ASI_SHARED_CONTEXT

レジスタ名	ASI_SHARED_CONTEXT
ASI	58 ₁₆
VA	68 ₁₆
アクセス種別	Supervisor read/write

—	IV	—	Ishared_Context	—	DV	—	Dshared_Context						
63	48	47	46	45	44	32	31	16	15	14	13	12	0

ビット	フィールド名	アクセス	説明
47	IV	RW	Ishared_Context の有効ビット。IV が 1 かつ Ishared_Context が 0 以外の値のとき、命令フェッチにおける MMU 変換では、実効コンテキストと Ishared_Context の値の両方が使われる。IV が 0 または実効コンテキストが 0 のときは、MMU 変換には実効コンテキストのみが使われる。
44:32	Ishared_Context	RW	共有コンテキストの命令フェッチで使われるコンテキスト番号。
15	DV	RW	Dshared_Context の有効ビット。DV が 1 かつ Dshared_Context が 0 以外の値のとき、データアクセスにおける MMU 変換では、実効コンテキストと Dshared_Context の値の両方が使われる。DV が 0 または実効コンテキストが 0 のときは、MMU 変換には実効コンテキストのみが使われる。
12:0	Dshared_Context	RW	共有コンテキストのデータアクセスで使われるコンテキスト番号。

ASI_SHARED_CONTEXT は、実効コンテキストによる MMU 変換時に、共有コンテキストによる変換を行うかどうか、またそのときのコンテキスト番号を指示するレジスタである。共有コンテキスト番号として 0 以外の値を指定し、IV または DV を 1 にセットしたときに有効になる。実効コンテキストが 0 のときは、IV または DV の値によらず共有コンテキストは使われない。例えば、TL > 0 で ASI_AS_IF_USER_SECONDARY を指定したロード命令を実行すると、SContext が実効コンテキストになるので、共有コンテキストが使われるかどうかは SContext が 0 かどうかで決まる。

共有コンテキストの機能は、ページサイズ指定を除き実効コンテキストと同じである。SPARC64 VIIIfx には 2 つの sITLB と 2 つの sDTLB があり、格納される TTE のページサイズを個々に設定することができる。しかし、共有コンテキストは独自のページサイズを持たず、実効コンテキストのページサイズが使われる。このため、ASI_MCNTL.mpg_sI/DTLB が 0 のときは、1st sTLB は 8KB ページ、2nd sTLB は 4 MB ページのエントリが書き込まれ、ASI_MCNTL.mpg_sI/DTLB が 1 のときは、1st sTLB には p_pgsz0/s_pgsz0/p_Ipgsz0 で指定されたページサイズが、2nd sTLB には p_pgsz0/s_pgsz0/p_Ipgsz0 で指定されたページサイズが使われる。

Note – 実効コンテキストが 0 のときは共有コンテキストは無効なので、n_pgsz0/1 は使われない。

Programming Note – 共有コンテキストで sTLB を効率よく使うためには、ある共有コンテキストを使う全てのコンテキストで p_pgsz(0,1)/p_Ipgsz(0,1)/s_pgsz(0,1) に同じページサイズを指定するとよい。

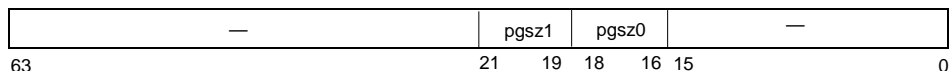
F.10.3 Instruction/Data MMU TLB Tag Access Registers

MMU ミスやアクセス権違反による例外が通知されるとき、共有コンテキストが有効な場合、I/D TLB Tag Access レジスタには実効コンテキストのコンテキスト番号が表示される。

Programming Note – TLB に共有コンテキストの TTE を書き込む場合、I/D TLB Tag Access レジスタに共有コンテキスト番号を設定してから、I/D TLB Data In/Data Access レジスタによる書き込みを行うこと。

ASI_I/DMMU_TAG_ACCESS_EXT

レジスタ名	ASI_IMMU_TAG_ACCESS_EXT, ASI_DMMU_TAG_ACCESS_EXT
ASI	50 ₁₆ (IMMU), 58 ₁₆ (IMMU)
VA	60 ₁₆
アクセス種別	Supervisor read/write



MMU の例外によるトラップが発生する際、トラップの種類によっては、ハードウェアは例外を起こした論理アドレスとコンテキスト番号を Tag Access レジスタ (ASI_I/DMMU_TAG_ACCESS) にセーブする。詳細は TABLE F-3 (page 172) を参照。I/D TLB Data In レジスタで TLB に TTE を書き込む際の sTLB のインデクス計算を簡単にするため、SPARC64 VIIIfx は Tag Access レジスタで欠けている実効コンテキストのページサイズ情報を、ASI_I/DMMU_TAG_ACCESS_EXT レジスタにセーブする。

Note – 書き込まれる TTE のページサイズと ASI_I/DMMU_TAG_EXT.pgsz0/1 が異なる場合、その TTE は sTLB ではなく fTLB に書き込まれる。

instruction_access_exception, *data_access_exception* が通知された場合、ASI_I/DMMU_TAG_ACCESS_EXT レジスタは無効で、値は未定義である。また、ASI_MCNTL.mpg_sITLB が 0 のときの ASI_IMMU_TAG_ACCESS_EXT レジスタ、ASI_MCNTL.mpg_sDTLB が 0 のときの ASI_DMMU_TAG_ACCESS_EXT レジスタは無効で、値は未定義である。

F.10.4 I/D TLB Data In, Data Access, and Tag Read Registers

IMPL. DEP. #234: The replacement algorithm of a TLB entry is implementation dependent in JPS1.

fTLB は pseudo-LRU, sTLB は LRU により追い出すエントリが決定される。

IMPL. DEP. #235: The MMU TLB data access address assignment and the purpose of the address are implementation dependent in JPS1.

SPARC64 VIIIfx の I/D TLB Data Access レジスタのアドレス割り当てを TABLE F-6 に示す。

TABLE F-6 TLB Data Access レジスタのアドレス割り当て

ビット	フィールド名	アクセス	説明
17:16	TLB#	RW	アクセスする TLB を指定する。 00 ₀₂ : fTLB (16 エントリ) 01 ₀₂ : reserved 10 ₀₂ : sTLB(IMMU では 256 エントリ、DMMU では 512 エントリ) 11 ₀₂ : reserved
15	Reserved		
13:3	TLB index	RW	TLB のインデクス番号。 <ul style="list-style-type: none"> fTLB の場合は、下位 4 ビットがインデクス番号で、上位 7 ビットは無視される。下位 4 ビットの値と TLB インデクスの関係は： <ul style="list-style-type: none"> 0-15: fTLB のインデクス番号 sITLB の場合は、bit<13:12> でウェイ、bit<8:3> でインデクスを表わし、bit<11:9> は無視される。値と TLB インデクスの関係は： <ul style="list-style-type: none"> 0-63: 1st sITLB のウェイ 0 のインデクス番号 512-575: 1st sITLB のウェイ 1 のインデクス番号 1024-1087: 2nd sITLB のウェイ 0 のインデクス番号 1536-1599: 2nd sITLB のウェイ 1 のインデクス番号 sDTLB の場合は、bit<13:12> でウェイ、bit<9:3> でインデクスを表わし、bit<11:10> は無視される。値と TLB インデクスの関係は： <ul style="list-style-type: none"> 0-127: 1st sDTLB のウェイ 0 のインデクス番号 512-639: 1st sDTLB のウェイ 1 のインデクス番号 1024-1151: 2nd sDTLB のウェイ 0 のインデクス番号 1536-1663: 2nd sDTLB のウェイ 1 のインデクス番号

Note – I/D TLB Data In による TLB 書き込みでは、TTE.G = 1 のエントリは fTLB に書かれる。

I/D MMU TLB Tag Read Register

IMPL. DEP. #238: When read, an implementation will return either 0 or the value previously written to them.

TABLE F-2 (page 169) の PA の項参照。

TLB Tag Read レジスタの VA フォーマットは、TLB Data Access レジスタと同じである。詳細は TABLE F-6 を参照。

I/D MMU TLB Tag Access Register

I/D TLB Data Access レジスタ、I/D TLB Data In レジスタで TLB に TTE を書き込む際、ハードウェアは I/D TLB Tag Access レジスタの内容との整合性を検査し、不整合な場合は TLB は更新されない。

しかし、TTE.V=0 であるエントリを I/D TLB Data Access で書き込むときは、整合性の検査は行われず書き込まれる。これにより TLB の特定エントリだけを削除することができる。この機能は、ソフトウェアによりエラーを起こしている TLB エントリのエラーを消去をする際に使うことができる。

Implementation Note – TTE.V=0 であるエントリを書き込み、それを読み出すと、全ビット 0 のデータが返る。

F.10.6 I/D TSB Base Registers

TSB_Base<63:13>	<i>Reserved</i>	TSB_size
63	13 12	4 3 0

SPARC64 VIIIfx は TSB のハードウェアサポートはないが、システムソフトウェアが TSB を扱えるよう TSB Base レジスタ仕様は残してある。JPS1 **Commonality** では TSB Base レジスタには以下のフィールドがある。

- TSB_Base
- Split
- TSB_Size

SPARC64 VIIIfx の TSB Base レジスタはこのうち TSB_Base と TSB_Size を実装し、Split は *reserved* とする。

TSB_size は bit<3:0> の 4 ビットとする (impl.dep. #236)。TSB_Size に書いた値は、読みだしによりその値のまま読みだされる。ハードウェアは値を保持するだけで、この値を何の計算にも使わない。

F.10.7 I/D TSB Extension Registers

SPARC64 VIIIfx は TSB Extension レジスタをサポートしない。読み出し、書き込みをしようとするとき *data_access_exception* が通知される。

F.10.8 I/D TSB 8-Kbyte and 64-Kbyte Pointer and Direct Pointer Registers

SPARC64 VIIIfx はこれらのレジスタをサポートしない。読み出し、書き込みをしようとするとき *data_access_exception* が通知される。

F.10.9 I/D Synchronous Fault Status Registers (I-SFSR, D-SFSR)

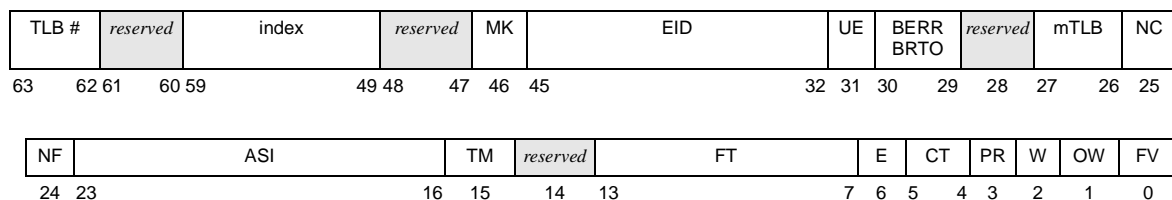


FIGURE F-2 MMU I/D Synchronous Fault Status Registers (I-SFSR, D-SFSR)

JPS1 Commonality では、I/D-SFSR のビット 63–25 は実装依存となっている。
 SPARC64 VIIIfx の I-SFSR の実装依存ビットの定義を TABLE F-7 に D-SFSR の実装依存ビットの定義を TABLE F-10 に示す。ビット 24–0 は JPS1 Commonality に準拠する。

TABLE F-7 I-SFSR のフィールドの説明 (1 of 2)

ビット	フィールド名	アクセス	説明
63:62	TLB#	RW	mITLB でエラーが起こったことを示す。SPARC64 VIIIfx では 00 ₀₂ が表示される。
59:49	index	RW	mITLB でエラーが起きた場合のインデクス番号を示す。 複数のエラーが起きたときは、任意の一つのインデクスが表示される。
46	MK	RW	マーク済の訂正不能エラー。SPARC64 VIIIfx では、すべての訂正不能エラーはエラーマークして報告される。ISFSR.UE が 1 のとき、MK には常に 1 がセットされる。詳細は Appendix P.2.4 参照。
45:32	EID	RW	エラーマーク ID。このフィールドは MK が 1 のとき有効。詳細は Appendix P.2.4 参照。
31	UE	RW	訂正不能エラー (Uncorrectable Error:UE)。UE に 1 がセットされていると、フェッチした命令列の中に訂正不能エラーがあったことを示す。このフィールドは <i>instruction_access_error</i> が通知されたときのみ有効。
30	BERR	RW	命令フェッチにメモリバスエラーが返されたことを示す。このフィールドは <i>instruction_access_error</i> が通知されたときのみ有効。
29	BRTO	RW	命令フェッチにバスタイムアウトが返されたことを示す。このフィールドは <i>instruction_access_error</i> が通知されたときのみ有効。
27:26	mITLB<1:0>	RW	mITLB のエラーステータス。mITLB の検索時に多重ヒットが起きたときは mITLB<1> に 1 がセットされる。mITLB<0> は常に 0。このフィールドは <i>instruction_access_error</i> が通知されたときのみ有効。
25	NC	RW	ノンキャッシュابل領域を参照したことを示す。このフィールドは訂正不能エラー、バスエラー、バスタイムアウトのいずれかによる <i>instruction_access_error</i> が通知されたときのみ有効。それ以外の例外通知時は、このフィールドの値は不定である。
23:16	ASI<7:0>	RW	例外が起きた際のアクセスに使われた ASI 番号が表示される。このフィールドは ISFSR.FV に 1 がセットされているときのみ有効。 表示される ASI 番号は、TL=0 のときは 80 ₁₆ (ASI_PRIMARY)、TL>0 のとき 04 ₁₆ (ASI_NUCLEUS) である。
15	TM	RW	命令フェッチ中に TLB ミスが起きたことを示す。

TABLE F-7 I-SFSR のフィールドの説明 (2 of 2)

ビット	フィールド名	アクセス	説明
13:7	FT<6:0>	RW	例外発生の原因をエンコード情報で示す。エンコードの意味は TABLE F-8 を参照。このフィールドは <i>instruction_access_exception</i> が通知された時のみ有効。 <i>fast_instruction_access_MMU_miss</i> では常に 0 が読み出され、 <i>instruction_access_exception</i> では常に 01 ₁₆ が読み出される。
5:4	CT<1:0>	RW	例外を起こした命令フェッチのコンテキストに関する情報が表示される。 00 ₀₂ : Primary 01 ₀₂ : Reserved 10 ₀₂ : Nucleus 11 ₀₂ : Reserved Translating ASI でないか、または無効な ASI の場合、11 ₀₂ が表示される。 Note: 共有コンテキストで起きたことを示す手段は定義されていない。共有コンテキストが関係する多重ヒットのときは、実効コンテキストの情報が表示される。
3	PR	RW	特権モードで命令フェッチ中に例外が通知されたことを示す。このフィールドは FV が 1 の時のみ有効。
1	OW	RW	ISFSR.FV = 1 のときに例外が通知されたことを示す。例外通知時点で ISFSR.FV = 1 だと 1 がセットされ、ISFSR.FV = 0 だと 0 がセットされる。
0	FV	RW	IMMU で TLB ミス以外の例外が発生したときに 1 がセットされる。このフィールドが 0 のとき、他のフィールドは意味を持たない (ただし MMU ミスの場合を除く)。

ISFSR.FT のエンコーディングを TABLE F-8 に示す。

TABLE F-8 I-SFSR.FT のエンコーディング

FT<6:0>	例外発生理由
01 ₁₆	特権アクセス違反。命令フェッチ時、TTE.P = 1 かつ PSTATE.PRIV = 0 だったことを示す。特権アクセス違反は <i>instruction_access_exception</i> 例外で通知される。
02 ₁₆	Reserved
04 ₁₆	Reserved
08 ₁₆	Reserved
10 ₁₆	Reserved
20 ₁₆	Reserved
40 ₁₆	Reserved

I-SFSR は *fast_instruction_access_MMU_miss*, *instruction_access_exception*, *instruction_access_error* のいずれかが通知された際に更新される。TABLE F-9 に各例外によりどのフィールドが更新されるかを示す。

TABLE F-9 I-SFSR 更新方針のまとめ

フィールド	TLB#, index	FV	OW	PR, CT ¹	FT	TM	ASI	UE, BERR, BRTO, mITLB, NC ²
I-SFSR.OW = 0 のとき								
0: 0 がセットされる。								
1: 1 がセットされる。								
V: 有効な値がセットされる。								
—: フィールドは無効。								
Miss:	<i>fast_instruction_access_MMU_miss</i>	—	0	0	V	—	1	—
Exception:	<i>instruction_access_exception</i>	—	1	0	V	V	0	V
Error:	<i>instruction_access_error</i>	V ³	1	0	V	—	0	V
I-SFSR.OW = 1 のとき								
0: 0 がセットされる。								
1: 1 がセットされる。								
K: 元の値が保存される。								
U: 更新される。								
Exception の後の Error	U ³	1	1	U	K	K	U	U
Error の後の Exception	K	1	1	U	U	K	U	K
Miss の後の Error	U ³	1	K	U	K	1	U	U
Miss の後の Exception	K	1	K	U	U	1	U	K
Exception か Error の後の Miss	K	1	K	K	K	1	K	K
Miss の後の Miss	K	K	K	U	K	1	K	K

1. Translating ASI でないか、無効な ASI では ISFSR.CT に 11₀₂ がセットされる。

2. 訂正不能エラー、バスエラー、バスタイムアウトのいずれかによる *instruction_access_error* が通知されたときのみ有効。

3. TLB の多重ヒット時のみ。

TABLE F-10 D-SFSR フィールドの説明 (1 of 3)

ビット	フィールド名	アクセス	説明
63:62	TLB#	RW	mDTLB でエラーが起こったことを示す。SPARC64 VIIIfx では 00 ₀₂ が表示される。
59:49	index	RW	mDTLB でエラーが起きた場合のインデクス番号を示す。複数のエラーが起きたとき、任意の一つのインデクスが表示される。
46	MK	RW	マーク済の訂正不能エラー。SPARC64 VIIIfx では、すべての訂正不能エラーはエラーマークして報告される。DSFSR.UE が 1 のとき、MK には常に 1 がセットされる。詳細は Appendix P.2.4 参照。

TABLE F-10 D-SFSR フィールドの説明 (2 of 3)

ビット	フィールド名	アクセス	説明
45:32	EID	RW	エラーマーク ID。このフィールドは MK が 1 のとき有効。詳細は Appendix P.2.4 参照。
31	UE	RW	訂正不能エラー (Uncorrectable Error:UE)。UE に 1 がセットされていると、アクセスデータの中に訂正不能エラーがあったことを示す。このフィールドは <code>data_access_error</code> が通知されたときのみ有効。
30	BERR	RW	データアクセスにメモリバスエラーが返されたことを示す。このフィールドは <code>data_access_error</code> が通知されたときのみ有効。
29	BRTO	RW	データアクセスにバスタイムアウトが返されたことを示す。このフィールドは <code>data_access_error</code> が通知されたときのみ有効。
27:26	mDTLB<1:0>	RW	mDTLB のエラーステータス。mDTLB の検索時に多重ヒットが起きたときは mDTLB<1>1 がセットされる。mDTLB<0> は常に 0。このフィールドは <code>data_access_error</code> が通知されたときのみ有効。
25	NC	RW	ノンキャッシュャブル領域を参照したことを示す。このフィールドは訂正不能エラー、バスエラー、バスタイムアウトのいずれかによる <code>data_access_error</code> が通知されたときのみ有効。それ以外の例外通知時は、このフィールドの値は不定である。
24	NF	RW	ノンフォールディングロード命令で例外が起きたことを示す。
23:16	ASI<7:0>	RW	例外が起きた際のアクセスに使われた ASI 番号が表示される。このフィールドは DSFSR.FV に 1 がセットされているときのみ有効。データアクセス時に明示的に ASI が使われていないければ、暗黙の ASI が使われているので、以下の値がセットされる。 TL = 0, PSTATE.CLE = 080 ₁₆ (ASI_PRIMARY) TL = 0, PSTATE.CLE = 188 ₁₆ (ASI_PRIMARY_LITTLE) TL > 0, PSTATE.CLE = 004 ₁₆ (ASI_NUCLEUS) TL > 0, PSTATE.CLE = 10C ₁₆ (ASI_NUCLEUS_LITTLE)
15	TM	RW	データアクセス中に TLB ミスが起きたことを示す。
13:7	FT<6:0>	RW	例外発生の原因をエンコード情報で示す。エンコードの意味は TABLE F-11 を参照。
6	E	RW	副作用があるページにアクセスしたことを示す。TTE.E = 1 のページか、ASI 15 ₁₆ か 1D ₁₆ でアクセスして例外が通知されたときに、E に 1 がセットされる。このフィールドは訂正不能エラー、バスエラー、バスタイムアウトのいずれかによる <code>data_access_error</code> が通知されたときのみ有効。それ以外の例外通知時は、このフィールドの値は不定である。

TABLE F-10 D-SFSR フィールドの説明 (3 of 3)

ビット	フィールド名	アクセス	説明								
5:4	CT<1:0>	RW	<p>例外を起こしたデータアクセスのコンテキストに関する情報が表示される。</p> <table border="0"> <tr> <td>00₀₂:</td> <td>Primary</td> </tr> <tr> <td>01₀₂:</td> <td>Secondary</td> </tr> <tr> <td>10₀₂:</td> <td>Nucleus</td> </tr> <tr> <td>11₀₂:</td> <td>Reserved</td> </tr> </table> <p>Translating ASI でないか、または無効な ASI の場合、11₀₂ が表示される。無効な組み合わせの ASI と命令により <i>data_access_exception</i> が通知された場合 (atomic quad load, block load/store, block commit store, partial store, short-point load/store, xfill の各 ASI は、特定のメモリアクセス命令でのみ使える)、CT には命令で指定された ASI が表示される。</p> <p>Note: 共有コンテキストで起きたことを示す手段は定義されていない。共有コンテキストが関係する多重ヒットのときは、実効コンテキストの情報が表示される。</p>	00 ₀₂ :	Primary	01 ₀₂ :	Secondary	10 ₀₂ :	Nucleus	11 ₀₂ :	Reserved
00 ₀₂ :	Primary										
01 ₀₂ :	Secondary										
10 ₀₂ :	Nucleus										
11 ₀₂ :	Reserved										
3	PR	RW	特権モードでデータアクセス中に例外が通知されたことを示す。このフィールドは FV が 1 のときのみ有効。								
2	W	RW	書き込み命令 (ストア命令かアトミック命令) で例外が発生したことを示す。								
1	OW	RW	DSFSR.FV = 1 のときに例外が通知されたことを示す。例外通知時点で DSFSR.FV = 1 だと 1 がセットされ、DSFSR.FV = 0 だと 0 がセットされる。								
0	FV	RW	DMMU で TLB ミス以外の例外が発生したときに 1 がセットされる。このフィールドが 0 のとき、他のフィールドは意味を持たない (ただし MMU ミスの場合を除く)。								

DSFSR.FT のエンコーディングを TABLE F-11 に示す。

TABLE F-11 D-SFSR.FT のエンコーディング

FT<6:0>	例外発生理由
01 ₁₆	特権アクセス違反。TTE.P = 1 のページにアクセスした時、PSTATE.PRIV = 0 か ASI_PRIMARY/SECONDARY_AS_IF_USER{LITTLE} が使われたことを示す。特権アクセス違反は <i>data_access_exception</i> 例外で通知される。
02 ₁₆	ノンフォールディングロードで TTE.E = 1 であるページにアクセスしたとき、1 がセットされる。
04 ₁₆	TTE.CP = 0 であるページに、アトミック命令 (CASA, CASXA, SWAP, SWAPA, LDSTUB, LDSTUBA), atomic quad load 命令 (LDDA with ASI = 24 ₁₆ , 2C ₁₆ , 34 ₁₆ , 3C ₁₆) または SIMD ロード/ストアでアクセスしたとき、1 がセットされる。

TABLE F-11 D-SFSR.FT のエンコーディング

FT<6:0>	例外発生理由
08 ₁₆	ASI 空間に対し、無効な ASI 番号、無効な VA、間違っただ操作 (読み出し / 書き込み) でアクセスしたとき、1 がセットされる。 ASI 番号が有効かどうかの検査は TTE の検索より先に行われるので、上記の条件にあてはまるときは <i>data_access_exception</i> が通知される。FT の他のビットは、TTE を検査して発見される要因なので、FT<3>=1 のときは不定となる。 間違っただデータ長の命令でアクセスした場合は、より優先順位の高い <i>mem_address_not_aligned</i> , <i>*_mem_address_not_aligned</i> が通知される。このとき FT の値は不定である。詳細は Appendix L.3.3 を参照。
10 ₁₆	TTE.NFO = 1 のページにノンフォールディングロード以外でアクセスしたとき、1 がセットされる。
20 ₁₆	Reserved.
40 ₁₆	Reserved.

複数の要因であるひとつの例外が通知されると、DSFSR.FT の複数ビットがセットされる。

D-SFSR は *fast_data_access_MMU_miss*, *data_access_exception*, *fast_data_access_protection*, *PA_watchpoint*, *VA_watchpoint*, *privileged_action*, *mem_address_not_aligned*, *data_access_error* のいずれかが通知された際に更新される。TABLE F-12 に各例外によりどのフィールドが更新されるかを示す。

TABLE F-12 D-SFSR 更新方針のまとめ

フィールド	TLB#, index	FV	OW	W, PR, NE, CT ¹	FT	TM	ASI	UE, BERR, BRTO, mDTLB, NC ² , E ²	DSFAR
D-SFSR.OW = 0 のとき									
0: 0 がセットされる。									
1: 1 がセットされる。									
V: 有効な値がセットされる。									
—: フィールドは無効。									
Miss:	<i>fast_data_access_MMU_miss</i>	—	0	0	V	—	1	—	V
Exception:	<i>data_access_exception</i>	—	1	0	V	V	0	V	V
Faults:	<i>fast_data_access_protection</i>	—	1	0	V	—	0	V	V
	<i>PA_watchpoint</i>	—	1	0	V	—	0	V	V
	<i>VA_watchpoint</i>	—	1	0	V	—	0	V	V
	<i>privileged_action</i> ³	—	1	0	V	—	0	V	V
	<i>mem_address_not_aligned</i> , <i>*_mem_address_not_aligned</i>	—	1	0	V	—	0	V	V
	<i>data_access_error</i>	V ⁴	1	0	V	—	0	V	V
	<i>SIMD_load_across_pages</i>	—	1	0	V	—	0	V	V

TABLE F-12 D-SFSR 更新方針のまとめ

フィールド	TLB#, index	FV	OW	W, PR, NF, CT ¹	FT	TM	ASI	UE, BERR, BRTO, mDTLB, NC ² , E ²	DSFAR
D-SFSR.OW = 1 のとき									
0:	0 がセットされる。								
1:	1 がセットされる。								
K:	元の値が保存される。								
U:	更新される。								
Exception の後の Fault	U ⁴	1	1	U	K	K	U	U	U
Fault の後の Exception	K	1	1	U	U	K	U	K	U
Miss の後の Fault ⁵	U ⁴	1	K	U	K	1	U	U	U
Miss の後の Exception ⁵	K	1	K	U	U	1	U	K	U
Fault/Exception の後の Miss	K	1	K	K	K	1	K	K	K
Miss の後の Miss	K	K	K	U	K	1	K	K	K

1. Translating ASI ではないか、または無効な ASI の場合、DSFAR.CT に 11₀₂ がセットされる。

2. 訂正不能エラー、バスエラー、バスタイムアウトのいずれかによる `data_access_error` が通知されたときのみ有効。

3. メモリアクセス命令のみ。

4. TLB の多重ヒット時のみ。

5. Miss の後の Fault/Exception は、まず Miss が起き、その後ソフトウェアが DSFAR をクリアする前に Fault/Exception が起きる状況。

F.10.10 Synchronous Fault Addresses

`VA_watchpoint`, `PA_watchpoint` 例外が通知されたとき、D-SFAR には命令で指示されたアドレスが表示される。

ただし、SIMD 拡張されたロード・ストア命令の `extend` 側だけでウォッチポイント例外を検出したときは、`extend` 側のアドレス、つまり、命令で指示されたアドレスに、単精度ならば 4、倍精度ならば 8 を加算したアドレスが表示される。

F.10.11 I/D MMU Demap

sTLB 上のページデマップ時、インデクス計算に使われるページサイズは、`ASI_I/DMMU_DEMAP` アクセスアドレスの `context` フィールドの情報から、TLB 検索と同じ手順で求められる。すなわち、`ASI_MCNTL.mpg_sI/DTLB` が 0 のときは、1st sTLB は 8KB ページで 2nd sTLB は 4MB ページ、`ASI_MCNTL.mpg_sI/DTLB` が 1 のときは、`context` フィールドで指示されたコンテキストのページサイズ情報が使われる。

ページサイズ情報はまた、ページデマップやコンテキストデマップにおける TTE の選択にも使われる。すなわち、ページサイズが TLB エントリのそれと一致しない場合、そのエントリはデマップされない。

Note – ページデマップ、コンテキストデマップでは、有効なコンテキスト番号を指定すること。IMMU で 01₂ または 11₂、DMMU で 11₂ を指定した場合は、無関係な sTLB のエントリをデマップするかもしれない。

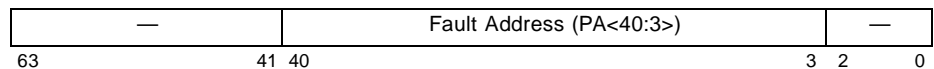
sTLB の全デマップでは、ページ情報に係わらずすべてのエントリがデマップされる。共有コンテキストを直接指示してデマップする方法はない。

Programming Note – 共有コンテキストの TTE のデマップは、セカンダリコンテキストを一時的に変更して行うことができる。

F.10.12 Synchronous Fault Physical Addresses

JPS1 Commonality では、IMMU、DMMU で例外が発生した際に論理アドレス情報を記録するレジスタを定義している。SPARC64 VIII_{fx} ではこれらに加え、物理アドレスを記録するレジスタを定義する。

レジスタ名	ASI_IMMU_SFPAR, ASI_DMMU_SFPAR
ASI	50 ₁₆ (IMMU), 58 ₁₆ (DMMU)
VA	78 ₁₆
アクセス種別	Supervisor read/write



I/D-SFPAR は、例外を起こしたメモリアクセスの物理アドレス情報を表示するレジスタである。instruction/data_access_error が通知され、I/D-SFSR の MK, UE, BERR, BRTO のどれかに 1 がセットされるときに更新される。

F.11 MMU Bypass

SPARC64 VIII_{fx} では、以下の 2 つの MMU バイパス ASI が定義されている。

- ASI_ATOMIC_QUAD_LDD_PHYS (ASI 34₁₆)
- ASI_ATOMIC_QUAD_LDD_PHYS_LITTLE (ASI 3C₁₆)

各バイパス ASI 使用時に適用されるページ属性を TABLE F-13 に示す。表の上 4 列の属性は JPS1 Commonality の TABLE F-15 で定義された属性に一致する。

TABLE F-13 バイパス ASI のページ属性

ASI名	ASI値	属性ビット							
		CP	IE	CV	E	P	W	NFO	Size
ASI_PHYS_USE_EC	14 ₁₆	1	0	0	0	0	1	0	8 Kbytes
ASI_PHYS_USE_EC_LITTLE	1C ₁₆								
ASI_PHYS_BYPASS_EC_WITH_EBIT	15 ₁₆	0	0	0	1	0	1	0	8 Kbytes
ASI_PHYS_BYPASS_EC_WITH_EBIT_LITTLE	1D ₁₆								
ASI_ATOMIC_QUAD_LDD_PHYS	34 ₁₆	1	0	0	0	0	0	0	8 Kbytes
ASI_ATOMIC_QUAD_LDD_PHYS_LITTLE	3C ₁₆								

F.12 Translation Lookaside Buffer Hardware

F.12.2 TLB Replacement Policy

Automatic TLB Replacement Rule

I/D MMU Data In レジスタによる TLB 書き込みでは、ハードウェアが入れ替える TLB 種類とエントリを選択する。その選択基準は以下の通りである。

1. 以下のすべての条件に当てはまる場合は sTLB が、そうでなければ fTLB が選択される。
 - 書き込むエントリは TTE.L=0 かつ TTE.G=0
 - ページサイズが、
 - ASI_MCNTL.mpg_sITLB/mpg_sDTLB=0 なら、8KB か 4MB
 - ASI_MCNTL.mpg_sITLB/mpg_sDTLB=1 なら、I/DTLB_TAG_ACCESS_EXT コンテキストレジスタのページサイズに一致するとき
 - ASI_MCNTL.fw_fITLB/fDTLB=0
2. sTLBが選択された場合、TLB Tag Access の VA からページサイズに応じたビット位置を切り出して、インデクス番号とする。そのインデクスのエントリの LRU により追い出すエントリを決定する。

3. fTLB が選択された場合、以下の順で決定する。
 - a. エントリ 0 から探索して最初に見つかった空きエントリが使われる。空きエントリがなければ、
 - b. エントリ 0 から探索して最初に見つかった、ロックされておらず、used ビット¹ が 0 のエントリが使われる。
 - c. そのようなエントリが見つからない場合、全エントリの used ビットを 0 クリアして、b をやりなおす。全エントリがロックされている場合、TLB の書き込みは行われず、例外も通知されない。
4. fTLB に書き込む際は、多重ヒットの確認が行われる。すでに fTLB にある TTE と書き込もうとする TTE が比較され、多重ヒットになる場合、新規 TTE の書き込みは行われない。

Restriction of sTLB Entry Direct Replacement

I/D MMU Data Access レジスタによる sTLB 書き込みでは、書き込む TTE に制約はない。TTE のページサイズと sTLB のページサイズが一致するかどうかの検査は行われない。

1. TLB 内部にあるフラグ。ソフトウェアからは見えない。

Assembly Language Syntax

G.1 Notation Used

G.1.5 Other Operand Syntax

JPS1 **Commonality** のソフトウェアトラップの定義を以下のように修正する。

software_trap_number

以下のいずれかの形式である

reg_{rs1} ($reg_{rs1} + \%g0$ と等価)

$reg_{rs1} + imm7$

$reg_{rs1} - imm7$

$imm7$ ($\%g0 + imm7$ と等価)

$imm7 + reg_{rs1}$ ($reg_{rs1} + imm7$ と等価)

$reg_{rs1} + reg_{rs2}$

ここで、*imm7* は 7 ビットで表現可能な符号なし整数である。

オペランドの値 (ソフトウェアトラップ番号) は **0-127** の間の値でなければならない。

G.4 HPC-ACE 拡張機能の表記法

いくつかの命令については HPC-ACE で機能が拡張されているが、この拡張が使われるかどうかは、命令実行時点の XAR の値により決まる。一般的には SXAR と演算命令を組み合わせて指示する。この節ではアセンブリ言語で HPC-ACE 拡張機能を指示するための表記法を定義する。

命令仕様の HPC-ACE 拡張には、拡張されたレジスタの使用、SIMD 演算、セクタ キャッシュ指定、ハードウェアプリフェッチのオン/オフなどがある。仕様上はこれらはすべて SXAR で指示するが、アセンブリ言語上の表記は見やすさを考慮して以下のようにする。

1. SXAR は `sxar1` または `sxar2` と表記する。引数はなし。
2. 拡張レジスタは対象命令の中で直接指定する。
3. それ以外の拡張機能は、対象命令のニーモニックにサフィックスをつけて指示する。
4. ニーモニックで指示された機能は、その命令から遡って最初に出現する SXAR で指示されているものとする。対象命令と SXAR の間にラベルがあったとしても、そのラベルへと分岐してくる命令列の方向へは遡らない。

2 または 3 で表記された命令は、その 1 命令または 2 命令前に先行する SXAR がなくてはならない。先行する SXAR をアセンブラが推測して自動挿入することは、不可能なケースがあるので、SXAR は省略できないものとする。

一方、SXAR と対象命令の間にラベルを許すかどうかは規定しない。4 によりどの SXAR で HPC-ACE 拡張機能を指示するかは明確なためである。

G.4.1 HPC-ACE 拡張のサフィックス

HPC-ACE 拡張は、ニーモニックの後にコンマ (,) を置き、その後ろに英数字 1 文字で指定する。TABLE G-1 に拡張指示サフィックスを示す。

TABLE G-1 HPC-ACE 拡張命令で使用できるサフィックス

XAR 表記	サフィックス	備考
XAR.simd	s	
XAR.dis_hw_pf	d	

TABLE G-1 HPC-ACE 拡張命令で使用できるサフィックス

XAR 表記	サフィックス	備考
XAR.sector	l	0 でセクタ 0 指定 (デフォルト)
XAR.negate_mul	n	
XAR.rsl_copy	c	

サフィックスは大文字・小文字の区別はなく、複数のサフィックスを指定する場合は任意の順序で指定可能とする。

例 1: 拡張レジスタ使用と SIMD 演算

```

sxar2
fmaddd    %f0, %f2, %f510    /* 拡張レジスタ使用、non-SIMD */
fmaddd,s  %f0, %f2, %f4      /* SIMD, 拡張側で拡張レジスタ使用 */

```

例 2: sector 1 に SIMD load

```

sxar1
ladd,s1   [%xg24], %f0      /* サフィックスは 1s でも可 */

```


Software Considerations

JPS1 **Commonality** の Appendix H を参照。

Extending the SPARC V9 Architecture

JPS1 **Commonality** の Appendix I を参照。

Changes from SPARC V8 to SPARC V9

JPS1 **Commonality** の Appendix J を参照。

Programming with the Memory Models

JPS1 **Commonality** の Appendix K を参照。

Address Space Identifiers

この章では SPARC64 VIIIfx でサポートされている ASI の一覧を示し、特殊な ASI について解説する。

L.2 ASI Values

SPARC V9 の空間識別子 (Address Space Identifier:ASI) は、制限ありのものと制限なしの 2 つにわけられる。00₁₆–7F₁₆ は制限ありで、80₁₆–FF₁₆ は制限なしである。制限ありの ASI を非特権ソフトウェアが使用しようとすると、*privileged_action* 例外が通知される。

さらに ASI は、MMU により変換されるもの (translating)、MMU をバイパスするもの (bypass)、CPU 内部の資源にアクセスするもの (nontranslating) の 3 つに分けられる。SPARC64 VIIIfx の定義を TABLE L-1 に示す。

Compatibility Note – JPS1 Commonality ではこの三種類に、実装依存や未定義 ASI が含まれていたが、SPARC64 VIIIfx 仕様では定義された ASI のみを含むように分類されている。

TABLE L-1 SPARC64 VIIIfx の ASI

種類	該当する ASI
Translating ASIs	制限あり 04 ₁₆ , 0C ₁₆ , 10 ₁₆ , 11 ₁₆ , 18 ₁₆ , 19 ₁₆ , 24 ₁₆ , 2C ₁₆ , 70 ₁₆ -73 ₁₆ , 78 ₁₆ , 79 ₁₆
	制限なし 80 ₁₆ -83 ₁₆ , 88 ₁₆ -8B ₁₆ , C0 ₁₆ -C5 ₁₆ , C8 ₁₆ -CD ₁₆ , D0 ₁₆ -D3 ₁₆ , D8 ₁₆ -DB ₁₆ , E0 ₁₆ , E1 ₁₆ , F0 ₁₆ -F3 ₁₆ , F8 ₁₆ , F9 ₁₆
Bypass ASIs	制限あり 14 ₁₆ , 15 ₁₆ , 1C ₁₆ , 1D ₁₆ , 34 ₁₆ , 3C ₁₆
Nontranslating ASIs	制限あり 45 ₁₆ , 48 ₁₆ -4C ₁₆ , 4F ₁₆ , 50 ₁₆ , 53 ₁₆ -58 ₁₆ , 5C ₁₆ -60 ₁₆ , 67 ₁₆ , 6D ₁₆ -6F ₁₆ , 74 ₁₆ , 77 ₁₆ , 7F ₁₆
	制限なし E7 ₁₆ , EF ₁₆

ASI の種類は Data Watchpoint とも関連している。詳細は、**JPS1 Commonality** および本論理仕様書の “Data Watchpoint Registers” を参照。

L.3 SPARC64 VIIIfx ASI Assignments

SPARC V9 プロセッサでは、メモリアクセス命令で指示するアドレスは、8 ビットの空間識別子 (Address Space Identifier) と論理アドレス (VA) の組で一意に定まるアドレスを使用する。命令フェッチや ASI を明示しないメモリアクセス命令は、暗黙の ASI がハードウェアによって付加される。load from alternate, store from alternate 命令等の ASI を明示する命令の場合、%asi レジスタまたは命令により直に指定される ASI が使われる。その他、メモリ空間をアクセスするのではなく、MMU やハードウェアバリアなど CPU レジスタ内のレジスタにアクセスするために使われる ASI もある。

Section L.3.1 の情報は **JPS1 Commonality** と SPARC64 VIIIfx 拡張の両方を網羅している。

L.3.1 Supported ASIs

TABLE L-1 には、SPARC V9 で定義された ASI、SPARC V9 では定義されていないが **JPS1** プロセッサで必須の ASI、および SPARC64 VIIIfx で定義された ASI のリストである。

黒丸 (●) がついているのは SPARC V9 定義の ASI である。任意のサイズのメモリアクセスで使用できる。

白丸 (○) がついているのは SPARC V9 では定義されていないが JPS1 プロセッサで必須の ASI である。これらは特に記述がない限り LDXA, STXA, LDDFA, STDFA 命令でのみ使用できる。

星印 (★) がついているのは SPARC64 VIIIfx で定義された ASI である。これらは特に記述がない限り LDXA, STXA, LDDFA, STDFA 命令でのみ使用できる。

ASI の有効な論理アドレスは、TABLE L-1 の VA, Effective Bits, Alignment の列により規定される。

- VA の列は論理アドレスを示す。“—”と表示されている場合は、任意のアドレスが指定できる。“encode”と表示されている場合は各 ASI の説明を参照。
- 有効ビットで、VA のどのビットが有効かを示す。有効でないビットは無視される。
 - “full” は 64 ビットすべてが有効。
 - “physical” は物理アドレスのビット幅までが有効。
 - bit<a:b> はビット位置 a から b までが有効。
- アラインの列には、アラインメントに制約がある場合はその条件が示され、アラインメントに制約がない場合は“—”となっている。アラインメント違反に対して通知される例外の種類は、各命令の説明を参照。

未定義の ASI および許されていない命令との組み合わせで起こる例外については、Appendix L.3.3 を参照。

TABLE L-1 SPARC64 VIIIfx ASIs (1 of 5)

ASI	VA	有効ビット	アライン	ASI 名 (と省略表記)	アクセ ス	ペー ジ
● 04 ₁₆	—	full	—	ASI_NUCLEUS (ASI_N)	RW	
● 0C ₁₆	—	full	—	ASI_NUCLEUS_LITTLE (ASI_NL)	RW	
● 10 ₁₆	—	full	—	ASI_AS_IF_USER_PRIMARY (ASI_AIUP)	RW	
● 11 ₁₆	—	full	—	ASI_AS_IF_USER_SECONDARY (ASI_AIUS)	RW	
○ 14 ₁₆	—	physical	—	ASI_PHYS_USE_EC	RW	
○ 15 ₁₆	—	physical	—	ASI_PHYS_BYPASS_EC_WITH_EBIT	RW	
● 18 ₁₆	—	full	—	ASI_AS_IF_USER_PRIMARY_LITTLE (ASI_AIUPL)	RW	
● 19 ₁₆	—	full	—	ASI_AS_IF_USER_SECONDARY_LITTLE (ASI_AIUSL)	RW	
○ 1C ₁₆	—	physical	—	ASI_PHYS_USE_EC_LITTLE (ASI_PHYS_USE_EC_L)	RW	
○ 1D ₁₆	—	physical	—	ASI_PHYS_BYPASS_EC_WITH_EBIT_LITTLE (ASI_PHYS_BYPASS_EC_WITH_EBIT_L)	RW	
○ 24 ₁₆	—	full	16byte	ASI_NUCLEUS_QUAD_LDD	R	

TABLE L-1 SPARC64 VIIIfx ASIs (2 of 5)

ASI	VA	有効ビット	アライン	ASI名(と省略表記)	アクセス	ページ
○ 2C ₁₆	—	full	16byte	ASI_NUCLEUS_QUAD_LDD_LITTLE (ASI_NUCLEUS_QUAD_LDD_L)	R	
★ 34 ₁₆	—	physical	16byte	ASI_ATOMIC_QUAD_LDD_PHYS	R	88
★ 3C ₁₆	—	physical	16byte	ASI_ATOMIC_QUAD_LDD_PHYS_LITTLE	R	88
○ 45 ₁₆	00 ₁₆	bit<7:0>	8byte	ASI_DCU_CONTROL_REGISTER (ASI_DCUCR)	RW	34
○ 45 ₁₆	08 ₁₆	bit<7:0>	8byte	ASI_MEMORY_CONTROL_REG (ASI_MCNTL)	RW	178
★ 46 ₁₆	00 ₁₆	bit<7:0>	8byte	reserved	R	
★ 47 ₁₆	00 ₁₆	bit<7:0>	8byte	reserved	R	
○ 48 ₁₆	00 ₁₆	bit<7:0>	8byte	ASI_INTR_DISPATCH_STATUS (ASI_MONDO_SEND_CTRL)	R	238
○ 49 ₁₆	00 ₁₆	bit<7:0>	8byte	ASI_INTR_RECEIVE (ASI_MONDO_RECEIVE_CTRL)	RW	239
★ 4A ₁₆	—	bit<7:0>	8byte	ASI_SYS_CONFIG	R	319
★ 4B ₁₆	00 ₁₆	bit<7:0>	8byte	ASI_STICK_CNTL	RW	320
○ 4C ₁₆	00 ₁₆	bit<7:0>	8byte	ASI_ASYNC_FAULT_STATUS (ASI_AFSR)	RW	281
★ 4C ₁₆	08 ₁₆	bit<7:0>	8byte	ASI_URGENT_ERROR_STATUS (ASI_UGESR)	R	271
★ 4C ₁₆	10 ₁₆	bit<7:0>	8byte	ASI_ERROR_CONTROL (ASI_ECR)	RW	266
★ 4C ₁₆	18 ₁₆	bit<7:0>	8byte	ASI_STATE_CHANGE_ERROR_INFO (ASI_STCHG_ERR_INFO)	RW	268
○ 4D ₁₆	00 ₁₆			ASI_ASYNC_FAULT_ADDR (ASI_AFSR)	R	
★ 4F ₁₆	00 ₁₆	bit<7:0>	8byte	ASI_SCRATCH_REG0	RW	214
★ 4F ₁₆	08 ₁₆	bit<7:0>	8byte	ASI_SCRATCH_REG1	RW	214
★ 4F ₁₆	10 ₁₆	bit<7:0>	8byte	ASI_SCRATCH_REG2	RW	214
★ 4F ₁₆	18 ₁₆	bit<7:0>	8byte	ASI_SCRATCH_REG3	RW	214
★ 4F ₁₆	20 ₁₆	bit<7:0>	8byte	ASI_SCRATCH_REG4	RW	214
★ 4F ₁₆	28 ₁₆	bit<7:0>	8byte	ASI_SCRATCH_REG5	RW	214
★ 4F ₁₆	30 ₁₆	bit<7:0>	8byte	ASI_SCRATCH_REG6	RW	214
★ 4F ₁₆	38 ₁₆	bit<7:0>	8byte	ASI_SCRATCH_REG7	RW	214
○ 50 ₁₆	00 ₁₆	bit<7:0>	8byte	ASI_IMMU_TAG_TARGET	R	
○ 50 ₁₆	18 ₁₆	bit<7:0>	8byte	ASI_IMMU_SFSTR	RW	187
○ 50 ₁₆	28 ₁₆	bit<7:0>	8byte	ASI_IMMU_TSB_BASE	RW	186
○ 50 ₁₆	30 ₁₆	bit<7:0>	8byte	ASI_IMMU_TAG_ACCESS	RW	186
○ 50 ₁₆	48 ₁₆			ASI_IMMU_TSB_PEXT_REG	RW	
○ 50 ₁₆	58 ₁₆			ASI_IMMU_TSB_NEXT_REG	RW	
★ 50 ₁₆	60 ₁₆	bit<7:0>	8byte	ASI_IMMU_TAG_ACCESS_EXT	RW	184
★ 50 ₁₆	78 ₁₆	bit<7:0>	8byte	ASI_IMMU_SFSPAR	RW	195
○ 51 ₁₆	00 ₁₆			ASI_IMMU_TSB_8KB_PTR_REG	R	
○ 52 ₁₆	00 ₁₆			ASI_IMMU_TSB_64KB_PTR_REG	R	

TABLE L-1 SPARC64 VIIIfx ASIs (3 of 5)

ASI	VA	有効ビット	アライン	ASI名(と省略表記)	アクセス	ページ
★ 53 ₁₆	—	bit<7:0>	8byte	ASI_SERIAL_ID	R	214
○ 54 ₁₆	—	bit<7:0>	8byte	ASI_ITLB_DATA_IN_REG	W	185
○ 55 ₁₆	encode	bit<17:0>	8byte	ASI_ITLB_DATA_ACCESS_REG	RW	185
○ 56 ₁₆	encode	bit<17:0>	8byte	ASI_ITLB_TAG_READ_REG	R	186
○ 57 ₁₆	encode	full	8byte	ASI_IMMU_DEMAP	W	194
○ 58 ₁₆	00 ₁₆	bit<7:0>	8byte	ASI_DMMU_TAG_TARGET_REG	R	
○ 58 ₁₆	08 ₁₆	bit<7:0>	8byte	ASI_PRIMARY_CONTEXT_REG	RW	181
○ 58 ₁₆	10 ₁₆	bit<7:0>	8byte	ASI_SECONDARY_CONTEXT_REG	RW	181
○ 58 ₁₆	18 ₁₆	bit<7:0>	8byte	ASI_DMMU_SFSR	RW	187
○ 58 ₁₆	20 ₁₆	bit<7:0>	8byte	ASI_DMMU_SFAR	RW	
○ 58 ₁₆	28 ₁₆	bit<7:0>	8byte	ASI_DMMU_TSB_BASE	RW	186
○ 58 ₁₆	30 ₁₆	bit<7:0>	8byte	ASI_DMMU_TAG_ACCESS	RW	186
○ 58 ₁₆	38 ₁₆	bit<7:0>	8byte	ASI_DMMU_WATCHPOINT_REG	RW	36
○ 58 ₁₆	40 ₁₆			ASI_DMMU_PA_WATCHPOINT_REG	RW	
○ 58 ₁₆	48 ₁₆			ASI_DMMU_TSB_PEXT_REG	RW	
○ 58 ₁₆	50 ₁₆			ASI_DMMU_TSB_SEXT_REG	RW	
○ 58 ₁₆	58 ₁₆			ASI_DMMU_TSB_NEXT_REG	RW	
★ 58 ₁₆	60 ₁₆	bit<7:0>	8byte	ASI_DMMU_TAG_ACCESS_EXT	RW	184
★ 58 ₁₆	68 ₁₆	bit<7:0>	8byte	ASI_SHARED_CONTEXT_REG	RW	182
★ 58 ₁₆	78 ₁₆	bit<7:0>	8byte	ASI_DMMU_SFPAR	RW	195
○ 59 ₁₆	00 ₁₆			ASI_DMMU_TSB_8KB_PTR_REG	R	
○ 5A ₁₆	00 ₁₆			ASI_DMMU_TSB_64KB_PTR_REG	R	
○ 5B ₁₆	00 ₁₆			ASI_DMMU_TSB_DIRECT_PTR_REG	R	
○ 5C ₁₆	—	bit<7:0>	8byte	ASI_DTLB_DATA_IN_REG	W	185
○ 5D ₁₆	encode	bit<17:0>	8byte	ASI_DTLB_DATA_ACCESS_REG	RW	185
○ 5E ₁₆	encode	bit<17:0>	8byte	ASI_DTLB_TAG_READ_REG	R	186
○ 5F ₁₆	encode	full	8byte	ASI_DMMU_DEMAP	W	194
○ 60 ₁₆	—	bit<7:0>	8byte	ASI_IIU_INST_TRAP	RW	37
★ 67 ₁₆	—	bit<7:0>	8byte	ASI_FLUSH_L1I	W	227
★ 6D ₁₆	00 ₁₆ -58 ₁₆	bit<7:0>	8byte	ASI_BARRIER_INIT	RW	218
★ 6E ₁₆	00 ₁₆	bit<7:0>	8byte	ASI_ERROR_IDENT (ASI_EIDR)	RW	266
★ 6F ₁₆	00 ₁₆ -58 ₁₆	bit<7:0>	8byte	ASI_BARRIER_ASSIGN	RW	220
○ 70 ₁₆	—	full	64byte	ASI_BLOCK_AS_IF_USER_PRIMARY (ASI_BLK_AIUP)	RW	
○ 71 ₁₆	—	full	64byte	ASI_BLOCK_AS_IF_USER_SECONDARY (ASI_BLK_AIUS)	RW	
★ 72 ₁₆	—	full	8byte	ASI_XFILL_AIUP	W	128

TABLE L-1 SPARC64 VIIIfx ASIs (4 of 5)

ASI	VA	有効ビット	アライン	ASI名(と省略表記)	アクセス	ページ
★ 73 ₁₆	—	full	8byte	ASI_XFILL_AIUS	W	128
★ 74 ₁₆	—	physical	8byte	ASI_CACHE_INV	W	227
○ 77 ₁₆	40 ₁₆	bit<7:0>	8byte	ASI_INTR_DATA0_W	W	238
○ 77 ₁₆	48 ₁₆	bit<7:0>	8byte	ASI_INTR_DATA1_W	W	238
○ 77 ₁₆	50 ₁₆	bit<7:0>	8byte	ASI_INTR_DATA2_W	W	238
○ 77 ₁₆	58 ₁₆			ASI_INTR_DATA3_W	W	
○ 77 ₁₆	60 ₁₆			ASI_INTR_DATA4_W	W	
○ 77 ₁₆	68 ₁₆			ASI_INTR_DATA5_W	W	
○ 77 ₁₆	80 ₁₆			ASI_INTR_DATA6_W	W	
○ 77 ₁₆	88 ₁₆			ASI_INTR_DATA7_W	W	
○ 77 ₁₆	encode 70 ₁₆	bit<26:24>, bit<16:14>, bit<13:0>	8byte	ASI_INTR_DISPATCH_W	W	238
○ 78 ₁₆	—	full	64byte	ASI_BLOCK_AS_IF_USER_PRIMARY_LITTLE (ASI_BLK_AIUPL)	RW	
○ 79 ₁₆	—	full	64byte	ASI_BLOCK_AS_IF_USER_SECONDARY_LITTLE (ASI_BLK_AIUSL)	RW	
○ 7F ₁₆	40 ₁₆	bit<7:0>	8byte	ASI_INTR_DATA0_R	R	238
○ 7F ₁₆	48 ₁₆	bit<7:0>	8byte	ASI_INTR_DATA1_R	R	238
○ 7F ₁₆	50 ₁₆	bit<7:0>	8byte	ASI_INTR_DATA2_R	R	238
○ 7F ₁₆	58 ₁₆			ASI_INTR_DATA3_R	R	
○ 7F ₁₆	60 ₁₆			ASI_INTR_DATA4_R	R	
○ 7F ₁₆	68 ₁₆			ASI_INTR_DATA5_R	R	
○ 7F ₁₆	80 ₁₆			ASI_INTR_DATA6_R	R	
○ 7F ₁₆	88 ₁₆			ASI_INTR_DATA7_R	R	
● 80 ₁₆	—	full	—	ASI_PRIMARY (ASI_P)	RW	
● 81 ₁₆	—	full	—	ASI_SECONDARY (ASI_S)	RW	
● 82 ₁₆	—	full	—	ASI_PRIMARY_NO_FAULT (ASI_PNF)	R	
● 83 ₁₆	—	full	—	ASI_SECONDARY_NO_FAULT (ASI_SNF)	R	
● 88 ₁₆	—	full	—	ASI_PRIMARY_LITTLE (ASI_PL)	RW	
● 89 ₁₆	—	full	—	ASI_SECONDARY_LITTLE (ASI_SL)	RW	
● 8A ₁₆	—	full	—	ASI_PRIMARY_NO_FAULT_LITTLE (ASI_PNFL)	R	
● 8B ₁₆	—	full	—	ASI_SECONDARY_NO_FAULT_LITTLE (ASI_SNFL)	R	
○ C0 ₁₆	—	full	—	ASI_PST8_PRIMARY (ASI_PST8_P)	W	215
○ C1 ₁₆	—	full	—	ASI_PST8_SECONDARY (ASI_PST8_S)	W	215
○ C2 ₁₆	—	full	—	ASI_PST16_PRIMARY (ASI_PST16_P)	W	215

TABLE L-1 SPARC64 VIIIfx ASIs (5 of 5)

ASI	VA	有効ビット	アライン	ASI名(と省略表記)	アクセス	ページ
○ C3 ₁₆	—	full	—	ASI_PST16_SECONDARY (ASI_PST16_S)	W	215
○ C4 ₁₆	—	full	—	ASI_PST32_PRIMARY (ASI_PST32_P)	W	215
○ C5 ₁₆	—	full	—	ASI_PST32_SECONDARY (ASI_PST32_S)	W	215
○ C8 ₁₆	—	full	—	ASI_PST8_PRIMARY_LITTLE (ASI_PST8_PL)	W	215
○ C9 ₁₆	—	full	—	ASI_PST8_SECONDARY_LITTLE (ASI_PST8_SL)	W	215
○ CA ₁₆	—	full	—	ASI_PST16_PRIMARY_LITTLE (ASI_PST16_PL)	W	215
○ CB ₁₆	—	full	—	ASI_PST16_SECONDARY_LITTLE (ASI_PST16_SL)	W	215
○ CC ₁₆	—	full	—	ASI_PST32_PRIMARY_LITTLE (ASI_PST32_PL)	W	215
○ CD ₁₆	—	full	—	ASI_PST32_SECONDARY_LITTLE (ASI_PST32_SL)	W	215
○ D0 ₁₆	—	full	—	ASI_FL8_PRIMARY (ASI_FL8_P)	RW	
○ D1 ₁₆	—	full	—	ASI_FL8_SECONDARY (ASI_FL8_S)	RW	
○ D2 ₁₆	—	full	—	ASI_FL16_PRIMARY (ASI_FL16_P)	RW	
○ D3 ₁₆	—	full	—	ASI_FL16_SECONDARY (ASI_FL16_S)	RW	
○ D8 ₁₆	—	full	—	ASI_FL8_PRIMARY_LITTLE (ASI_FL8_PL)	RW	
○ D9 ₁₆	—	full	—	ASI_FL8_SECONDARY_LITTLE (ASI_FL8_SL)	RW	
○ DA ₁₆	—	full	—	ASI_FL16_PRIMARY_LITTLE (ASI_FL16_PL)	RW	
○ DB ₁₆	—	full	—	ASI_FL16_SECONDARY_LITTLE (ASI_FL16_SL)	RW	
○ E0 ₁₆	—	full	—	ASI_BLOCK_COMMIT_PRIMARY (ASI_BLK_COMMIT_P)	W	214
○ E1 ₁₆	—	full	—	ASI_BLOCK_COMMIT_SECONDARY (ASI_BLK_COMMIT_S)	W	214
★ E7 ₁₆	00 ₁₆	bit<7:0>	8byte	ASI_SCCR	RW	228
★ EF ₁₆	00 ₁₆ -58 ₁₆	bit<7:0>	8byte	ASI_LBSY, ASI_BST	RW	221
○ F0 ₁₆	—	full	64byte	ASI_BLOCK_PRIMARY (ASI_BLK_P)	RW	
○ F1 ₁₆	—	full	64byte	ASI_BLOCK_SECONDARY (ASI_BLK_S)	RW	
★ F2 ₁₆	—	full	8byte	ASI_XFILL_P	W	128
★ F3 ₁₆	—	full	8byte	ASI_XFILL_S	W	128
○ F8 ₁₆	—	full	64byte	ASI_BLOCK_PRIMARY_LITTLE (ASI_BLK_PL)	RW	
○ F9 ₁₆	—	full	64byte	ASI_BLOCK_SECONDARY_LITTLE (ASI_BLK_SL)	RW	

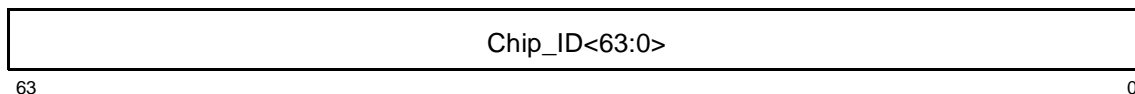
L.3.2 Special Memory Access ASIs

この節では SPARC64 VIIIfx で定義されている ASI について説明する。JPS1 **Commonality** の Section L.3.2 で定義されている ASI はここでは説明しないので、対応する節を参照。

ASI 53₁₆ (ASI_SERIAL_ID)

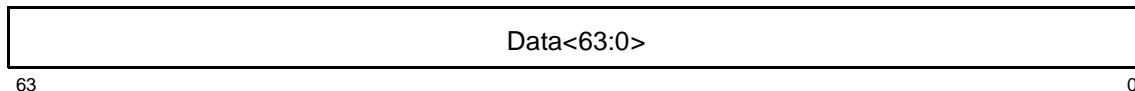
SPARC64 VIIIfx は個々の CPU チップ毎にユニークな ID コードを持っている。この ID コードと VER の情報から、完全に一意な CPU 識別を生成することができる。

このレジスタはリードオンリーで、書き込もうとすると *data_access_exception* 例外が通知される。



ASI 4F₁₆ (ASI_SCRATCH_REGx)

SPARC64 VIIIfx はシステムソフトウェア用に 8 本の 64 ビットレジスタを用意している。



レジスタ名	ASI_SCRATCH_REGx (x = 0–7)
ASI	4F ₁₆
VA	VA<5:3> = レジスタ番号
	他のビットは 0 でなければならない。
アクセス種別	Supervisor read/write

Block Load and Store ASIs

ASI 番号 E0₁₆ と E1₁₆ は Block Store with Commit (“*Block Load and Store Instructions (VIS I)*” (page 66)) と定義されており、STDFA 命令でのみ使える ASI である。この ASI を LDDFA 命令で指定することはできない。指定した場合の動作は以下の通りである。

- デスティネーションレジスタ rd に関する例外は検出されない (impl. dep. #255)。
- メモリアドレスの境界条件によって、以下の例外が通知される (impl. dep. #256)。

- 8 バイト境界ならば、*data_access_exception* で、DSFSR.FTYPE = 08₁₆ (invalid ASI)
- 4 バイト境界ならば、*LDDF_mem_address_not_aligned*
- それ以外なら *mem_address_not_aligned*

Partial Store ASIs

ASI 番号 C0₁₆–C5₁₆, C8₁₆–CD₁₆ は Partial Store (“*Partial Store (VIS I)*” (page 93)) と定義されており、STDFFA 命令でのみ使える ASI である。この ASI を LDDFA 命令で指定することはできない。指定した場合の動作は以下の通りである。

- メモリアドレスの境界条件によって、以下の例外が通知される (impl. dep. #257)。
 - 8 バイト境界ならば、*data_access_exception* で、DSFSR.FTYPE = 08₁₆ (invalid ASI)
 - 4 バイト境界ならば、*LDDF_mem_address_not_aligned*
 - それ以外なら *mem_address_not_aligned*

L.3.3 ASI と命令の組み合わせと例外

SPARC64 VIIIfx では、未定義の ASI や無効な命令と ASI の組み合わせにより起こる例外が、**JPS1 Commonality** の定義と一部異なる。この節では SPARC64 VIIIfx での定義を、実際に通知される優先順位に沿って説明する。

1. Block Load/Store, Partial Store 命令では *illegal_instruction* が通知される場合がある。詳細は各命令の定義を参照。LDDA, STDA の rd に奇数番号のレジスタを指定した場合も *illegal_instruction* が通知される。
2. 命令によって決まるアラインメント条件が検査され、違反していると *mem_address_not_aligned*, **_mem_address_not_aligned* が通知される。
 - a. block load, block store 命令は 64 バイトアラインメントを要求する命令なので、64 バイト境界にないアドレスをアクセスすると *mem_address_not_aligned* が通知される。*LDDF_mem_address_not_aligned*, *STDF_mem_address_not_aligned* は通知されない。

LDDFA 命令で block store with commit ASI を指定した場合は、block load, block store 命令ではないので、この項には当てはまらない。
 - b. 16 ビット short load, short store 命令は 2 バイトアラインメントを要求する命令なので、2 バイト境界にないアドレスをアクセスすると *mem_address_not_aligned* が通知される。*LDDF_mem_address_not_aligned*, *STDF_mem_address_not_aligned* は通知されない。
 - c. 8 ビット short load, short store 命令は 1 バイトアラインメントを要求する命令なので、アラインメント違反は起きない。

d. `partial store` 命令は 8 バイトアラインメントを要求する命令なので、8 バイト境界にないアドレスをアクセスすると `mem_address_not_aligned` が通知される。`LDDF_mem_address_not_aligned`, `STDF_mem_address_not_aligned` は通知されない。

LDDFA 命令で `partial store ASI` を指定した場合は、`partial store` 命令ではないので、この項には当てはまらない。

e. LDDFA, STDDFA で上記以外の ASI を指定し、4 バイト境界にアクセスすると、それぞれ `LDDF_mem_address_not_aligned`, `STDF_mem_address_not_aligned` が通知される。

f. 上記以外のアラインメント違反には、`mem_address_not_aligned` が通知される。

上記 d および e は、ASI が定義済みか未定義か、ASI と命令の組み合わせが正しいかどうかより優先されるので、`data_access_exception` (FT = 08₁₆) は通知されない。

3. ASI と命令の組み合わせが正しくない場合、`data_access_exception` が通知される。

ただし PREFETCHA では `data_access_exception` が通知されず、`nop` として処理される。

L.3.4 内部レジスタの更新タイミング

SPARC64 VIIIfx では、`nontranslating ASI` のほとんどが、CPU 内部レジスタにマップされている。CPU 内部レジスタは MMU 関連やハードウェアバリアなど、副作用を伴うものがほとんどだが、`nontranslating ASI` のアクセスがプログラム順序になることを保証しない。CPU 内部レジスタの更新による効果 (副作用) を、レジスタ変更直後の命令に見せるためには、ソフトウェアによる明示的な `membar #Sync` が必要である。

L.4 ハードウェアバリア

SPARC64 VIIIfx は CPU チップ内で高速に同期を取るためのハードウェアバリア機構を提供する。バリア機構は CPU チップ内にあり、全コアで共有されている。

FIGURE L-2 は SPARC64 VIIIfx のバリア資源の構成図である

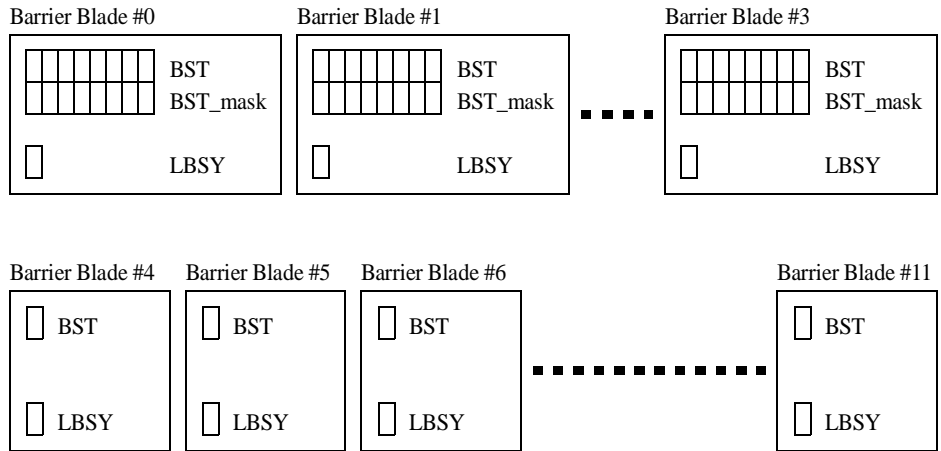


FIGURE L-2 SPARC64 VIIIfx のバリア資源

主要な資源は Barrier Blade (BB) と呼ばれるもので、SPARC64 VIIIfx には 12 個ある。各 BB は BST (Barrier Satus bit) と BST のマスクビット、それに前回同期したときの値を記憶しておく LBSY (Last Barrier Synchronization status) を持っている。12 個ある BB のうち 4 個は、BST、BST_mask は 8 ビット長で、それぞれがチップ内のコアに固定的に対応している。残り 8 個では BST が 1 ビット長で BST_mask は存在しない。前者は複数スレッド間のバリア同期用、後者は 2 スレッド間での post-wait 同期用を意図している。

同期が成立するのは、BST の選択されたビット (BST_mask で選択する) がすべて 0 または 1 のどちらかに揃ったときである。同期が成立すると、その値 (0 か 1) が LBSY にコピーされる。同期成立と LBSY へのコピーは単一の操作として行われるので、同期成立前に LBSY を読み出すと必ず古い値が読め、同期成立後は必ず新しい値が読める。したがって、ソフトウェアが同期を取る手順は、まず LBSY を読み出し、BST を更新した後で LBSY が変化するのを待つという順序になる。LBSY の変化を監視するためには普通スピループが使われるが、複数コア・スレッドで資源を共有する CPU では、スピループは CPU 資源を浪費し他コア・スレッドの実行を阻害するおそれがある。SPARC64 VIIIfx では LBSY の値が変化するとき、SLEEP 命令による休止状態にあるコア・スレッドを実行状態に復帰させる。これにより、高速な同期と CPU 資源の効率的な利用の両立を可能にしている。

LBSY は最後に同期したときの値を覚えているので、ソフトウェアは、次の同期で BST にセットする値を容易に決定することができる。すなわち、BST から読み出した値が 0 なら 1 を、1 なら 0 を LBSY に書き込めばよい。

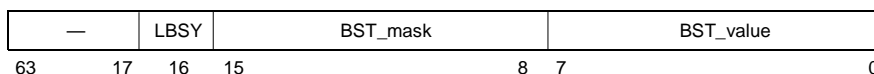
各コア・スレッドは 12 個の BB に対応した 12 個の窓 ASI を持っている。ユーザプログラムはバリア資源に直接アクセスするのではなく、窓を通じてアクセスすることになる。窓を設けることで、BST ビットマップを隠蔽し単一の操作を可能にし、他のユーザプログラムから同期を破壊するような操作を防ぐことができる。

バリア資源のメモリモデルは JPS1 Commonality の Chapter 8 で定義されている TSO に準拠する。これは BB 同士、BB とメモリ間いずれにおいても成立する。つまり、store の後の load 以外は命令列に現れた順序に実行される。窓 ASI に対する store の後でメモリまたは LBSY を読み出す場合には、間に member #storeload を挟む必要がある。

Note – SPARC64 VIIIfx は CPU チップ間のバリア同期はサポートしない。

L.4.1 バリア資源の初期化と状態獲得

レジスタ名	ASI_BARRIER_INIT
ASI	6D ₁₆
VA	00 ₁₆ , 08 ₁₆ , 10 ₁₆ , 18 ₁₆ , 20 ₁₆ , 28 ₁₆ , 30 ₁₆ , 38 ₁₆ , 40 ₁₆ , 48 ₁₆ , 50 ₁₆ , 58 ₁₆
アクセス種別	Supervisor read/write



VA で指定される Barrier Blade の値の取得および初期化を行う。read で現在の設定が読み出され、write で新しい設定を書くことができる。

BST_mask, BST_value がバリアのグループ構成とバリアの状態を表わす。各ビットは各コアに対応している。BST_mask には、Barrier Blade を使うコアのビットを 1、使わないコアのビットを 0 に設定する。

ビット	フィールド名	アクセス	説明																		
63:17	reserved																				
16	LBSY	RW	最後に同期したときの BST の値。																		
15:8	BST_mask	RW	BST のマスク。各ビットとコアの対応は、 <ul style="list-style-type: none"> BB#0–BB#3では、 <table> <tr><td>BST_mask<0></td><td>コア 0</td></tr> <tr><td>BST_mask<1></td><td>コア 1</td></tr> <tr><td>BST_mask<2></td><td>コア 2</td></tr> <tr><td>BST_mask<3></td><td>コア 3</td></tr> <tr><td>BST_mask<4></td><td>コア 4</td></tr> <tr><td>BST_mask<5></td><td>コア 5</td></tr> <tr><td>BST_mask<6></td><td>コア 6</td></tr> <tr><td>BST_mask<7></td><td>コア 7</td></tr> </table> BB#4–BB#11には BST_mask は存在しない。 	BST_mask<0>	コア 0	BST_mask<1>	コア 1	BST_mask<2>	コア 2	BST_mask<3>	コア 3	BST_mask<4>	コア 4	BST_mask<5>	コア 5	BST_mask<6>	コア 6	BST_mask<7>	コア 7		
BST_mask<0>	コア 0																				
BST_mask<1>	コア 1																				
BST_mask<2>	コア 2																				
BST_mask<3>	コア 3																				
BST_mask<4>	コア 4																				
BST_mask<5>	コア 5																				
BST_mask<6>	コア 6																				
BST_mask<7>	コア 7																				
7:0	BST_value	RW	BST の値。各ビットとコアの対応は、 <ul style="list-style-type: none"> BB#0–BB#3では、 <table> <tr><td>BST_value<0></td><td>コア 0</td></tr> <tr><td>BST_value<1></td><td>コア 1</td></tr> <tr><td>BST_value<2></td><td>コア 2</td></tr> <tr><td>BST_value<3></td><td>コア 3</td></tr> <tr><td>BST_value<4></td><td>コア 4</td></tr> <tr><td>BST_value<5></td><td>コア 5</td></tr> <tr><td>BST_value<6></td><td>コア 6</td></tr> <tr><td>BST_value<7></td><td>コア 7</td></tr> </table> BB#4–BB#11では、 <table> <tr><td>BST_value<0></td><td>コア 0–7</td></tr> </table> 	BST_value<0>	コア 0	BST_value<1>	コア 1	BST_value<2>	コア 2	BST_value<3>	コア 3	BST_value<4>	コア 4	BST_value<5>	コア 5	BST_value<6>	コア 6	BST_value<7>	コア 7	BST_value<0>	コア 0–7
BST_value<0>	コア 0																				
BST_value<1>	コア 1																				
BST_value<2>	コア 2																				
BST_value<3>	コア 3																				
BST_value<4>	コア 4																				
BST_value<5>	コア 5																				
BST_value<6>	コア 6																				
BST_value<7>	コア 7																				
BST_value<0>	コア 0–7																				

- 読み出し時は、VA で指定される Barrier Blade の BST_value, BST_mask, LBSY が読み出される。

BB#0–#3 では、BST_mask と BST_value の各ビットはそれぞれが固有のコアに対応している。BST_mask のあるビットが 0 のとき、BST_value の対応するビットに読み出される値は不定である。

post/wait 用 BB では、LBSY, BST_value<0> のみが意味を持ち、他のビットは 0 が読み出される。

- 書き込み時は、VA で指定される Barrier Blade の BST_value, BST_mask, LBSY が更新される。

BB#0–#3 では、BST_mask と BST_value の各ビットはそれぞれが固有のコアに対応している。BST_mask のあるビットが 0 で、BST_value の対応するビットが 1 であるような値を書こうとした場合、その値が書かれる書かれるかどうかは未定義である。

post/wait 用 BB では、LBSY, BST_value<0> のみが意味を持ち、他のビットの書き込みは無視される。

書き込み後、ハードウェアはバリア同期が成立しているかどうかを確認し、それに応じて LBSY を更新する。BST_value, BST_mask にすべて 1 を、LBSY に 0 を書き込むと、LBSY は直ちに 1 に更新される。

bst_mask = 0 の場合バリア同期が成立しているかどうかの確認は行われず、LBSY に書き込んだ値がそのまま保持される。

L.4.2 バリア資源の割り付け

レジスタ名	ASI_BARRIER_ASSIGN
ASI	6F ₁₆
VA	00 ₁₆ , 08 ₁₆ , 10 ₁₆ , 18 ₁₆ , 20 ₁₆ , 28 ₁₆ , 30 ₁₆ , 38 ₁₆ , 40 ₁₆ , 48 ₁₆ , 50 ₁₆ , 58 ₁₆
アクセス種別	Supervisor read/write

Valid	reserved	BB_num	—
63	62	9 8	5 4 0

ASI_BARRIER_ASSIGN は、窓 ASI (ASI_BST, ASI_LBSY) の割付け状態の取得および変更を行う ASI である。VA は ASI_BST, ASI_LBSY のそれと対応しており、VA で指定された窓に、BB_num で指定された BB を割りつける、あるいは VA で指定された窓の割りつけを解除することができる。

ビット	フィールド名	アクセス	説明
63	Valid	RW	
62:9	reserved		
8:5	BB_num	RW	Mask bit of the BST.
4:0	reserved		

- 読み出しに対しては、どの BB が割付けられているかが返される。VA で指定された BB が窓に割り付けられているなら、valid=1 となり BB_num には BB 番号が表示される。VA で指定された窓に BB が割りつけられていないときは、valid=0 となり BB_num の値は不定である。
- 書き込みに対しては、

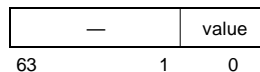
- `valid = 1` の場合は、指定された `BB_num` の `LBSY`, `BST` を窓に割りつける。この書き込みの完了以降、`ASI_BST` への書き込みが `BB` の `BST` に反映されるようになり、`ASI_LBSY` の読み出しにより `BB_num` にある `LBSY` が読み出せるようになる。
- `valid = 0` の場合は、指定された窓の割りつけを解除する。この書き込みの完了以降、`ASI_BST` への書き込みは無視され、`ASI_LBSY` の読み出しには不定値が返る。
- `BB_num` の値は 0 から 11 までが有効である。12 以上を指定して書き込むと、その書き込みは無視される。

`ASI_BARRIER_INIT` と `ASI_BARRIER_ASSIGN` で矛盾するような設定をした場合の動作は不定である。ハードウェアでは矛盾を検出しないので、ソフトウェアは、バリア資源の初期化・割当に際し矛盾を起ささないようにすること。使用中の `Barrier Blade` に `ASI_BARRIER_INIT` を発行する、`BST_mask<i> = 0` である `BST<i>` を `ASI_BARRIER_ASSIGN` で割りつける、などの場合の同期処理は保証されない。

Programming Note – システムソフトウェアは初期化済の `BB` を割り当てること。未初期化の `BB` を割り当てると意図しない結果が起きることになる。

L.4.3 バリア操作 ASI

レジスタ名	<code>ASI_LBSY</code> (read), <code>ASI_BST</code> (write)
ASI	<code>EF₁₆</code>
VA	<code>00₁₆</code> , <code>08₁₆</code> , <code>10₁₆</code> , <code>18₁₆</code> , <code>20₁₆</code> , <code>28₁₆</code> , <code>30₁₆</code> , <code>38₁₆</code> , <code>40₁₆</code> , <code>48₁₆</code> , <code>50₁₆</code> , <code>58₁₆</code>
アクセス種別	Read/Write



`ASI_LBSY`, `ASI_BST` はバリア資源にアクセスするための窓 ASI で、各コア・スレッドに 12 個用意されている。ユーザモードのプログラムが直接アクセスできる。

ビット	フィールド名	アクセス	説明
63:1	reserved		
0	Value	RW	読み出すと <code>LBSY</code> の値が読め、書き込むと <code>BST</code> が更新される。

割り付けられていない窓 ASI に対する読み出しは不定値が返り、書き込みは無視される (例外は通知されない)。

Sample Code of Barrier Synchronization

```
/*
 * %r1: VA of a window ASI
 * %r2, %r3: work
 */

ldxa      [%r1]ASI_LBSY, %r2 ! 現在の LBSY を読み出す
not       %r2                ! LBSY を反転させる
and       %r2, 1, %r2        ! reserved フィールドを捨てる
stxa     %r2, [%r1]ASI_BST   ! BST を更新する
membar    #storeload        ! stxa が完了するのを待つ

loop:
ldxa     [%r1]ASI_LBSY, %r3 ! LBSY を読み出す
and      %r3, 1, %r3        ! reserved フィールドを捨てる
subcc   %r3, %r2, %g0       ! 値が変化したか?
bne,a   loop
sleep                               ! 変化していなければ sleep する
```

Cache Organization

M.1 キャッシュタイプ

SPARC64 VIIIfx はチップ上に 2 階層のキャッシュを持つ。

- L1 キャッシュは命令とデータに分かれており、L2 キャッシュはユニファイドキャッシュである。
- L1 キャッシュは論理アドレスインデクス・物理アドレスタグ (VIPT) で、L2 キャッシュは物理アドレスインデクス・物理アドレスタグ (PIPT) である。
- L1 キャッシュ、L2 キャッシュともラインサイズは 128 バイトである。
- L1 キャッシュと L2 キャッシュは包含関係にあり、L1 キャッシュのすべてのデータは L2 キャッシュ上にも載っている。
- L1 命令キャッシュと L1 データキャッシュ間、L1 キャッシュと L2 キャッシュ間のデータの同一性はハードウェアによって維持される。すなわち、
 - L2 キャッシュのあるキャッシュライン上のデータを無効化する場合、L1 キャッシュ上にデータがあればそれも無効化する。
 - 命令列を変更すると、L1 データキャッシュ上のデータが更新され、L1 命令キャッシュの命令列は無効化される。
- L2 キャッシュはプロセッサモジュール上のすべてのコアで共有される。

M.1.1 L1 命令キャッシュ (L1I キャッシュ)

L1 命令キャッシュの諸元を以下に示す。

諸元	値
総容量	32 Kbytes
ウェイ数	2 ウェイ
ラインサイズ	128 バイト
インデクス方式	論理アドレスインデクス・物理アドレスタグ (VIPT)
エラー保護方式 (タグ)	二重化とパリティ
エラー保護方式 (データ)	パリティ
その他	—

SPARC64 VIIIfx はハードウェアがエイリアス処理を行うため、L1 命令キャッシュは VIPT であるが TTE.CV は意味を持たない。

ノンキャッシュブル領域から命令をフェッチする場合、L1 命令キャッシュには命令列は載らない。ノンキャッシュブルアクセスが起きるのは、以下の 3 つの場合である。

- PSTATE.RED = 1
- DCUCR.IM = 0
- TTE.CP = 0

MCNTL.NC_CACHE = 1 の場合、上の条件に係わらず SPARC64 VIIIfx はすべての命令列をキャッシュブル領域にあるものとして扱う。詳細は“*ASI_MCNTL (Memory Control Register)*” (page 178) を参照。

Programming Note – この機能は OBP のために用意されている。OBP がこの機能を使うときは、OBP から抜ける前に MCNTL.NC_CACHE に 0 をセットし、ASI_FLUSH_L1I で L1 命令キャッシュの内容を無効にすること。

M.1.2 L1 データキャッシュ (L1D キャッシュ)

L1 データキャッシュはライトバックキャッシュである。以下に諸元を示す。

諸元	値
総容量	32 Kbytes
ウェイ数	2 ウェイ
ラインサイズ	128 バイト
インデクス方式	論理アドレスインデクス・物理アドレスタグ (VIPT)
エラー保護方式 (タグ)	二重化とパリティ
エラー保護方式 (データ)	ECC
その他	セクタキャッシュ

SPARC64 VIIIfx はハードウェアがエイリアス処理を行うため、L1 データキャッシュは VIPT であるが TTE.CV は意味を持たない。

ノンキャッシュابل領域上のデータにアクセスする場合、そのデータは L1 データキャッシュには載らない。ノンキャッシュابلアクセスが起きるのは、以下の 3 つの場合である。

- ASI_PHYS_BYPASS_EC_WITH_E_BIT (15₁₆) または
ASI_PHYS_BYPASS_EC_WITH_E_BIT_LITTLE (1D₁₆) 経由のアクセス。
- DCUCR.DM = 0
- TTE.CP = 0

L1 データキャッシュは、MCNTL.NC_CACHE の値に係わらずノンキャッシュابل領域のデータはキャッシュに載せない。

M.1.3 L2 キャッシュ

L2 キャッシュはライトバックキャッシュである。以下に諸元を示す。

諸元	値
総容量	5Mbytes
ウェイ数	10 ウェイ
ラインサイズ	128 バイト
インデクス方式	物理アドレスインデクス・物理アドレスタグ (PIPT)
エラー保護方式 (タグ)	ECC
エラー保護方式 (データ)	ECC
その他	インデクスハッシュ、セクタキャッシュ

The L2 cache is bypassed when the access is noncacheable. MCNTL.NC_CACHE is not used in the L2 cache.

L2 キャッシュは、MCNTL.NC_CACHE の値に係わらずノンキャッシュ領域のデータはキャッシュに載せない。

インデクスハッシュ

SPARC64 VIIIfx は L2 キャッシュのインデクスにハッシュをかける。ハッシュの計算式は以下の通り。

- $\text{index}\langle 11:9 \rangle = \text{PA}\langle 33:31 \rangle \mathbf{xor} \text{PA}\langle 30:28 \rangle \mathbf{xor} \text{PA}\langle 27:25 \rangle \mathbf{xor} \text{PA}\langle 24:22 \rangle \mathbf{xor} \text{PA}\langle 21:19 \rangle \mathbf{xor} \text{PA}\langle 18:16 \rangle$
- $\text{index}\langle 8:0 \rangle = \text{PA}\langle 15:7 \rangle$

M.2 キャッシュコヒーレンシプロトコル

Note – SPARC64 VIIIfx はマルチプロセッサ構成をサポートしないので、この節は削除した。

M.3 キャッシュ制御 ASI

M.3.1 命令キャッシュフラッシュ (ASI_FLUSH_L1I)

レジスタ名	ASI_FLUSH_L1I
ASI	67 ₁₆
VA	任意の 8 バイトアライン VA
アクセス種別	Supervisor write のみ

ASI_FLUSH_L1I は L1 命令キャッシュの内容を全部無効にする。起動するには 8 バイト境界にある任意の VA に任意の値を書き込む。

ASI_FLUSH_L1I は書き込みだけが可能であり、読み出しには *data_access_exception* 例外が通知される。

M.3.2 キャッシュデータの無効化 (ASI_CACHE_INV)

レジスタ名	ASI_CACHE_INV
ASI	74 ₁₆
VA	物理アドレスを指定する
アクセス種別	Supervisor write のみ

ASI_CACHE_INV は、CPU チップ内の全コアの L1 キャッシュおよび L2 キャッシュの特定のキャッシュラインを無効にする。キャッシュラインは VA に物理アドレスを指示して指定する。

ASI_FLUSH_L1I は writeonly であり、読み出しには *data_access_exception* 例外が通知される。

Note – DCUCR.WEAK_SPCA = 0 だと、ASI_FLUSH_L1I を発行した時点では無効化されるが、その後の投機実行やハードウェアプリフェッチによりキャッシュに載るかもしれないので、キャッシュ上にデータが残らないことを保証したい場合は、この命令を実行する前に DCUCR.WEAK_SPCA を 1 にセットすること。

M.3.3 セクタキャッシュ設定 (SCCR)

レジスタ名	ASI_SCCR
ASI	E7 ₁₆
VA	00 ₁₆
アクセス種別	User read/write (制限あり)

ASI_SCCR はセクタキャッシュの設定を制御するレジスタである。SCCR は CPU チップでひとつの資源であり、全コアで共有されている。

NPT	—	L2_sector0_max	—	L2_sector1_max	—	L1_sector0_max	—	L1_sector1_max
63 62		20 19		16 15 12 11		8 7 6 5		4 3 2 1 0

ビット	フィールド名	アクセス	説明
63	NPT	RW	特権アクセス。NPT=1 のとき、PSTATE.priv=0 で SCCR にアクセスすると <i>privileged_action</i> 例外が通知される。NPT=0 のとき、ユーザ権限で NPT に 1 をセットすることは可能である。
62:20	—		reserved.
19:16	L2_sector0_max	RW	L2 キャッシュのセクタ 0 で使用する最大ウェイ数
15:12	—		reserved.
11:8	L2_sector1_max	RW	L2 キャッシュのセクタ 1 で使用する最大ウェイ数
7:6	—		reserved.
5:4	L1_sector0_max	RW	L1 キャッシュのセクタ 0 で使用する最大ウェイ数。あるコアで設定を変更すると、全コアの L1 キャッシュの設定が変更される。
3:2	—		reserved.
1:0	L1_sector1_max	RW	L1 キャッシュのセクタ 1 で使用する最大ウェイ数。あるコアで設定を変更すると、全コアの L1 キャッシュの設定が変更される。

Warning – SCCR は全コアで共有されているので、あるプロセスがあるコア上でセクタキャッシュを使っているとき、別のコアから SCCR.NPT に 1 をセットすると、セクタキャッシュを使っているプロセスが SCCR にアクセスできなくなる。

SPARC64 VIIIfx はキャッシュを 2 つのセクタと呼ばれる部分に分けて更新管理をする仕組みを導入する。この機構をセクタキャッシュと呼ぶ。セクタの指示はメモリアクセス命令単位で指定することができ、アクセスされたデータがキャッシュの指定され

たセクタに格納される。SPARC64 VIIIfx では L1 キャッシュ、L2 キャッシュともセクタキャッシュ機構を実装しており、セクタキャッシュ機能を有効にするかどうかは L1, L2 独立に設定できる。

セクタの容量はウェイ数で指定する。セットアソシエティブキャッシュでは、あるインデックスには複数のウェイが存在するが、このうちセクタ 0 に属する最大ウェイ数と、セクタ 1 に属する最大ウェイ数を指定する。セクタ容量の指定は全インデックスで共通であり、インデックス毎に個別の指定はできない。

セクタキャッシュ機能が有効になるのは、セクタ 0 の容量、セクタ 1 の容量とも 1 以上の値を指定したときである。キャッシュウェイ数より大きな値を指定した場合は、キャッシュウェイ数が指定されたものとみなす。セクタ 0 の最大ウェイ数とセクタ 1 の最大ウェイ数の和は、キャッシュのウェイ数と等しくなくてもよい。どちらかのセクタのウェイ数が 0 の場合はセクタキャッシュ機能は無効となる。

セクタキャッシュ機能は、キャッシュデータの入れ替え時の動作の違いとしてだけ見える。セクタキャッシュ機能が無効のときは、追い出すエント리는全ウェイから選択される。セクタキャッシュ機能が有効のときは、各セクタ毎に設定された最大値を超えないように、追い出すエント리를選ぶ。すなわち、当該セクタのデータ数が最大値よりも小さければ、当該セクタでない側から追い出すエント리를選び、当該セクタのデータ数が最大値以上ならば、当該セクタから追い出すエント리를選ぶ。

セクタキャッシュ機能が有効であるかどうかと、キャッシュ上に載っているデータへのアクセスも無関係で、ソフトウェアは常に全ウェイのデータにアクセスできる。そのデータのセクタと異なるセクタを指定してアクセスした場合、そのデータが所属するセクタが変更される。

Notes – データ読み出しやプリフェッチでも、セクタ情報は変更される。セクタ情報はキャッシュライン単位なので、ライン内のデータ毎に異なるセクタを指定すると、最後にアクセスされたときのセクタが指定されたことになる。

メモリアクセス命令 (load/store/atomic/prefetch) でキャッシュセクタを指定するには、`XAR.sector` (`XAR.urs3<0>`) を使用する。`XAR.sector = 0` ならセクタ 0 が、`XAR.sector = 1` ならセクタ 1 が指定される。

セクタ指定情報とセクタキャッシュ機能は独立した概念である。セクタ指定情報はデータの属性であり、セクタキャッシュ機能はキャッシュ入れ替え時の動作である。セクタキャッシュ機能が無効であっても、セクタ指定情報は常に保存されている。たとえば L1 のセクタキャッシュ機能が無効、L2 のセクタキャッシュ機能が有効であっても、L1 のデータが L2 にライトバックされる際は、L2 のセクタ情報は適切に更新される。

Implementation Note – L1 キャッシュ上のセクタ情報の変化を L2 に伝達する手段とタイミングは実装依存とする。

各セクタの最大ウェイ数は、キャッシュ上のデータ更新時に参照される情報であり、ウェイ数設定時点で最大ウェイ数を越えるウェイが当該セクタに割り当てられていたとしても、強制的に無効にはしない。例えばあるインデックスでセクタ 0 が 5 ウェイ使用しているときに、セクタ 0 の最大ウェイ数に 2 が指定されたとしても、最大数を越えた 3 ウェイはすぐに無効にされるわけではない。この意味で最大ウェイ数は制御の目標値の役割をしているといえる。

各セクタの用途は本仕様では規定しない。

セクタキャッシュの動作アルゴリズムを説明する。このアルゴリズムは L1, L2 キャッシュとも同じである。なお、以下の説明ではフィールド名の L1_, L2_ は省略し、キャッシュのウェイ数を *nway* と表記する。

SCCR 設定値

- $sector0_max > 0$ かつ $sector1_max > 0$ のときセクタキャッシュ有効
- $sector0_max = 0$ または $sector1_max = 0$ のときはセクタキャッシュ無効
- $sector0_max + sector1_max = nway$ は成立する必要なし。

セクタキャッシュ無効時の動作

- ~~XAR.sector は無視され、すべてのメモリアクセスをセクタ 0 指定とみなす。L1 キャッシュのセクタが無効でも、XAR.sector を L2 キャッシュに伝達する。~~
- ~~セクタキャッシュ管理部は $sector0_max = nway, sector1_max = 0$ とみなす。~~

セクタキャッシュ管理動作

セクタ 0 として使用されているウェイ数を $sector0_use$ 、セクタ 1 として使用されているウェイ数を $sector1_use$ と表す。常に以下が成立する。

$$\begin{aligned} & sector0_use + sector1_use \leq nway \\ & 0 \leq sector0_use \leq nway, 0 \leq sector1_use \leq nway \end{aligned}$$

セクタ番号 *S* に対するメモリアクセスが要求された場合の動作

- キャッシュにヒットした場合
ヒットしたウェイのセクタが *S* と異なる場合はウェイ数管理を調整する。
 $sectorS_use++, sectorT_use--$ (セクタ *T*: セクタ *S* ではないセクタ)
- キャッシュミスした場合
 - 空のウェイがある場合、そのウェイをセクタ *S* とする。

$$sectorS_use++$$

空のウェイがある場合、 $sectorS_use$ は $sectorS_max$ より大きな値になり得る。

- $\text{sectorS_use} < \min(\text{nway}, \text{sectorS_max})$ の場合、セクタ T の最も古いウェイを置き換え、セクタ S とする。

$\text{sectorS_use}++$, $\text{sectorT_use}--$

- $\text{sectorS_use} \geq \min(\text{nway}, \text{sectorS_max})$ の場合、セクタ S の最も古いウェイを置き換え、セクタ S とする。

sectorS_use , sectorT_use は変化しない

$\text{sectorS_use} > \min(\text{nway}, \text{sectorS_max})$ でも sectorS_use は減少しない。
 sectorS_use が $\min(\text{nway}, \text{sectorS_max})$ に近づくには、セクタ T へのアクセスが必要。

セクタキャッシュ無効時の動作

- キャッシュミスして空ウェイがない場合、リプレースウェイの選択に sectorS_use , sectorT_use を使わず、全ウェイから最も古いウェイを選択する。

セクタキャッシュ機能が無効でも、セクタ指定情報は保存される。

Note – SPARC64 VIIIfx はメモリアccessをアウトオブオーダーで処理するので、ユーザプログラムの意図通りにセクタ情報が更新されない可能性がある。

XAR.sccs はすべてのメモリアccess命令で指定可能であるが、意味があるのは $\text{TTE.CP}=1$ である空間に対するアクセスのみである。 $\text{TTE.CP}=0$ である空間や nontranslating ASI に対するアクセスでは XAR.sccs の値は無視され、例外は通知されない。

本インターフェースで表示させることができるのは、キャッシュャブル領域のみである。 $\text{TTE.CP}=0$ である領域のキャッシュ情報を表示させることはできない。

キャッシュミスして処理中の要求に関する情報は表示されない。処理中の要求がある場合、 sector0_num , sector1_num には過渡的な値が見えることがある。

4. 3 で指定したアドレスが $\text{TTE.CP}=0$ である領域の場合、L2-SWPF-STRONG が NOP として扱われ、キャッシュヒット情報の更新は行われない。

M.4 ハードウェアプリフェッチ

SPARC64 VIIIfx では、連続するキャッシュアブルアドレスに対するアクセスを検出するとハードウェアがプリフェッチを生成する機構が実装されている¹。対象はキャッシュアブル空間へのロード命令、ストア命令であり、REFETCH, PREFETCHA, LDSTUB, LDSTUBA, SWAP, SWAPA, CASA, CASXA、block load/store, partial store, short load/store, xfill は対象外。

ハードウェアプリフェッチ機構の動作概要は以下の通り。

1. ld/st 命令が L1 キャッシュをミスすると (アドレス A)、そのアドレスの隣接ライン (A+128,A-128) へのアクセス監視を始める。
2. 監視しているアドレスへのアクセスがあると (たとえば A+128)、さらに隣接するライン (A+256) のプリフェッチを生成し、同時にそのライン (A+256) への ld/st アクセスを監視する。
3. A+256 への ld/st アクセスで、A+384 のプリフェッチを生成する。

アクセス監視はキャッシュミス契機とし、連続アクセスかどうかはキャッシュアクセス (ヒットかミスかによらない) で判断する。

連続回数が増えてくると、より遠くをプリフェッチするようになり、また、L1 キャッシュ へのプリフェッチも併用するようになる。(最初は L2 キャッシュプリフェッチのみ)。

ソフトウェアからハードウェアプリフェッチ機構を制御する方法は 2 つある。

1. ASI_MCNTL.hpfc でハードウェアプリフェッチ機構全体の on/off を制御できる。詳細は “ASI_MCNTL (Memory Control Register)” (page 178) 参照。
2. XAR.dis_hw_pf で命令単位での on/off を制御できる。
XAR.dis_hw_pf = 1 のとき、ld/st 命令が L1 キャッシュミスしても、隣接アドレスのキャッシュミス監視しない。XAR.dis_hw_pf = 0 のときは、ld/st 命令の L1 キャッシュミスで、隣接アドレスのキャッシュミス監視を始める (ASI_MCNTL.hpfc = 1 のとき)。

Note – SPARC64 VIIIfx 仕様では、ハードウェアプリフェッチ機構が生成するプリフェッチの種類が何になるかは定義しない。

1. ここで言う連続アドレスは、キャッシュライン (128byte) 単位での連続を意味する。

XAR.dis_hw_pf はすべてのメモリアクセス命令で指定可能であるが、意味があるのは TTE.CP = 1 である空間に対するロード、ストア命令のみである。TTE.CP = 0 である空間や nontranslating ASI に対するアクセスおよび、PREFETCH, PREFETCHA, LDSTUB, LDSTUBA, SWAP, SWAPA, CASA, CASXA, block load/store, short load/store, xfill では XAR.dis_hw_pf の値は無視され、例外は通知されない¹。

1. partial store は XAR 非対象命令なので、ハードウェアプリフェッチの指定はできない。

Interrupt Handling

N.1 Interrupt Vector Dispatch

あるプロセッサ¹から別のプロセッサに対してインタラプトを発行するとき、ソフトウェアはまずインタラプトのデータを `ASI_INTR_DATA_[0-2]W` にセットし、次に `ASI_INTR_W` に書き込みを行いインタラプトを送出する。送り側のプロセッサは `INTR_DISPATCH_STATUS` の `BUSY` ビットをポーリングし、送信が成功したかどうかを確認する。FIGURE N-1 にインタラプト送信の手順を示す。

1. ここではハードウェアの命令実行の主体。SPARC64 VIIIfx ではコアと同義。

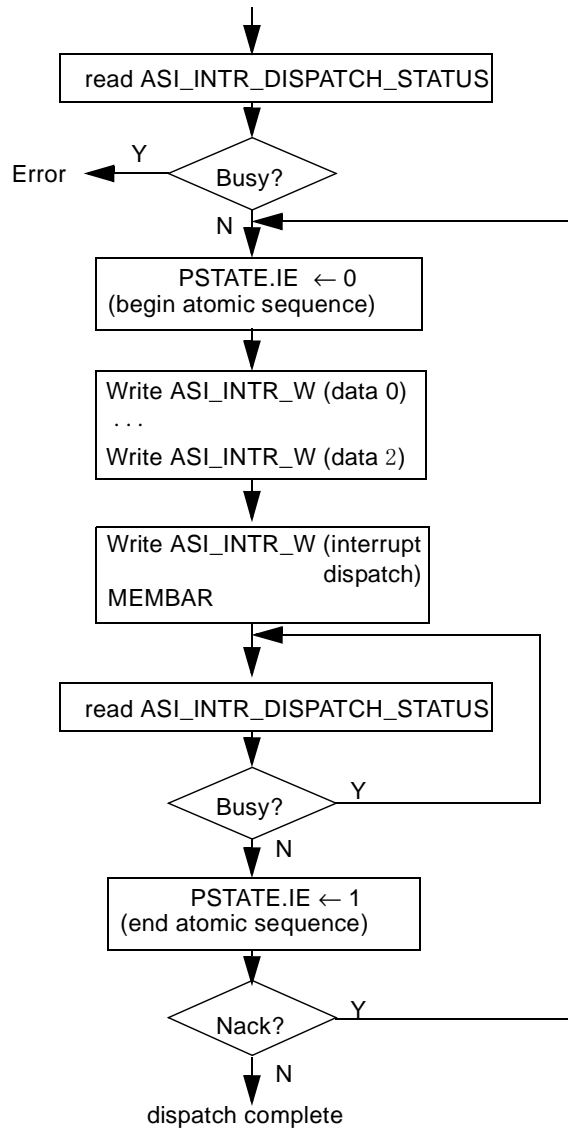


FIGURE N-1 Dispatching an Interrupt

N.2 Interrupt Vector Receive

インタラプトパケットを受信すると、受信データが ASI_INTR_DATA_[0-2]R に格納され、ASI_INTR_RECEIVE レジスタの BUSY ビットに 1 がセットされる。受信したプロセッサがインタラプトを許可している (PSTATE.IE = 1) とトラップが起きる。ソフトウェアはデータを読み出し、その内容に応じてハンドラを選択する。ハンドラによっては、処理を委譲するため、より優先度の低いトラップを起こすこともある。

受信パケットにエラーがあった場合、ASI_INTR_RECEIVE レジスタの BUSY ビットに 1 がセットされない。この場合、ASI_INTR_DATA_[0-2]R もエラーしているあるかも知れないので、読み出しは行けない。詳細は Appendix P.8.3, “ASI レジスタの処理方法” を参照。

FIGURE N-2 にインタラプト受信の手順を示す。

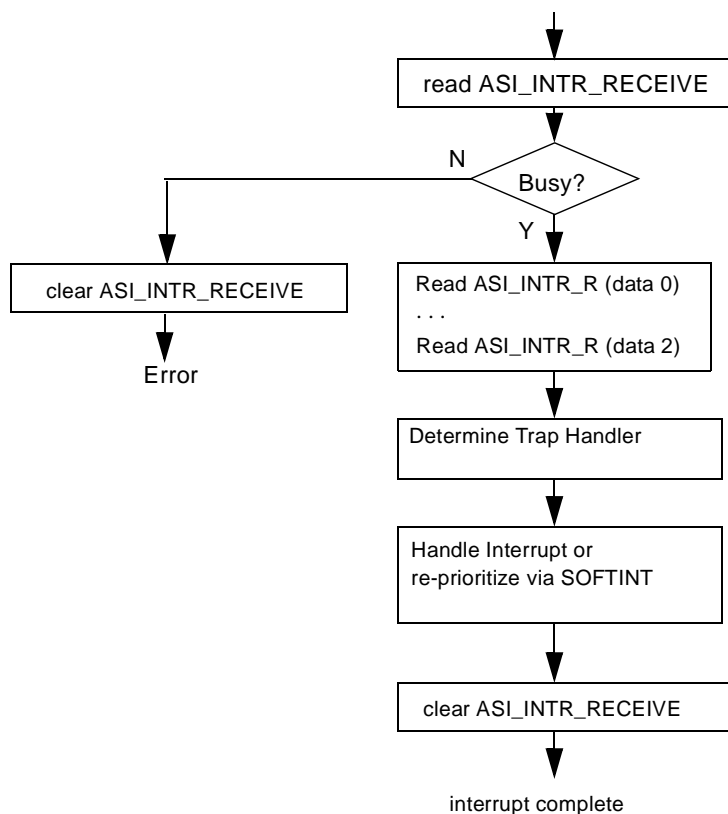


FIGURE N-2 Interrupt Receive Flow

N.4 Interrupt ASI Registers

N.4.1 Outgoing Interrupt Vector Data<7:0> Register

JPS1 Commonality ではインタラプト送信レジスタを 8 つ定義しているが、SPARC64 VIIIfx ではこれを 3 つにする。ASI_INTR_DATA_[3-7]W に対する書き込みは未定義の ASI に準拠する。

Compatibility Note – この変更は SPARC JPS1 非互換である。

N.4.2 Interrupt Vector Dispatch Register

SPARC64 VIIIfx では、ASI_INTR_DISPATCH_W レジスタの書き込みの際、SID<9:0> (= VA<38:29>) の全 10 ビットが無視される (impl.dep.#246)。

SPARC64 VIIIfx は BUSY/NACK ビットは 8 組までを実装する。ASI_INTR_DISPATCH_W レジスタの書き込みの際、BN<4:3> (= VA<28:27>) は無視される。

SPARC64 VIIIfx では、ITID<9:3> (= VA<23:17>) は無視される。

N.4.3 Interrupt Vector Dispatch Status Register

SPARC64 VIIIfx では、BUSY/NACK ペアを 8 組実装する。同時に通信できるのは 8 箇所までとなる。

bit[63:16] は読み出しに対しては 0 が読みだされる。

N.4.4 Incoming Interrupt Vector Data Registers

JPS1 Commonality ではインタラプト受信レジスタを 8 つ定義しているが、SPARC64 VIIIfx ではこれを 3 つにする。ASI_INTR_DATA_[3-7]R に対する読み出しは未定義の ASI に準拠する。

N.4.5 Interrupt Vector Receive Register

SPARC64 VIIIfx は 10 ビットの値を SID_H および SID_L フィールドに表示するが、その値は不定である (impl. dep. #247)。

N.6 インタラプト配送先の識別法

SPARC64 VIIIfx は CPU チップ内に複数のコアがある。よって、CPU チップが受信したインタラプトを適切なコアに配送するための判断基準が必要になる。CPU コアの識別子としては ASI_SYS_CONFIG.ITID と ASI_EIDR があり、ファームウェアによって正しく初期化された後は ASI_EIDR が識別の手段となる。

インタラプトパケットが正しく配送されるためには、すべてのコアの ASI_EIDR が初期化済で、ASI_EIDR<2:0> がユニークである必要がある。そのようになっていない状態では、インタラプトパケットが正しく配送されるかどうかは保証されない。

Reset, RED_state, and error_state

この章では、電源投入時およびリセット後の動作について説明する。JPS1 **Commonality** では Chapter 7.1 でリセットの説明をしているが、リセット時の動作はハードウェア実装に強く依存するので、SPARC64™ VIIIfx Extensions ではこの章で説明する。RED_state 遷移時のレジスタ値や命令シーケンス開始位置など、ソフトウェアから観測可能な動作については、Chapter 7.1 を参照。

この章では以下の項目について説明する。

- リセット種類 on page 241
- RED_state と error_state on page 243
- リセット、RED_state 後のプロセッサ状態 on page 245

この章は JPS1 **Commonality** の章立てとは一致していない。

O.1 リセット種類

この節ではパワーオンリセット (POR)、ウォッチドッグリセット (WDR)、外部指示リセット (XIR)、ソフトウェア指示リセット (SIR) の4種類のリセットについて説明する。

POR と XIR は CPU チップ内の全コアに作用する。言い換えれば、全コアで同じトランプ処理を行う。一方 WDR と SIR はそれを起こしたコアにのみ作用する。他のコアはリセットの影響を受けず実行を継続する。

O.1.1 パワーオンリセット (POR)

SPARC64 VIIIfx で POR を起こすには、外部機構から JTAG で一連の操作を行う必要がある。

リセットピンがアサートされているか、パワーレディ信号がアサートされていないとき、プロセッサの動作は停止し JTAG コマンドのみが実行可能な状態になっている。プロセッサは、JTAG コマンドによる変更以外、ソフトウェアから見える状態を変更せず、メモリシステムの状態も変更しない。

POR を受けると、プロセッサは RED_state に遷移し、*power_on_reset* 例外 (TT = 1) が通知され、RSTVaddr + 20₁₆ から命令実行を開始する。

O.1.2 ウォッチドッグリセット (WDR)

ウォッチドッグリセットは以下のときに生成される。

- TL < MAXTL で 2 回目のウォッチドッグタイムアウトを検出したとき。
- TL = MAXTL で一回目のウォッチドッグタイムアウトを検出したとき。
- TL = MAXTL でトラップが発生したとき。

ウォッチドッグタイムアウトが発生すると、*watchdog_reset* 例外 (TT = 2) が通知され、RSTVaddr + 40₁₆ から命令実行を開始する。それ以外では TT は変更されず、CPU は *error_state* に遷移する。

O.1.3 外部指示リセット (XIR)

システムから XIR 要求を受けると、プロセッサは RED_state に遷移し、*externally_initiated_reset* 例外 (TT = 3) が通知され、RSTVaddr + 60₁₆ から命令実行を開始する。

O.1.4 ソフトウェア指示リセット (SIR)

CPU チップ内のどのコアでも、SIR 命令によりソフトウェア指示リセットをかけることができる。

TL < MAXTL (5) で SIR 命令を実行すると、RED_state に遷移し、*software_initiated_reset* 例外 (TT = 4) が通知され、RSTVaddr + 80₁₆ から命令実行を開始する。TL = 5 で SIR 命令を実行すると、*error_state* に遷移し、最終的にはウォッチドッグリセットによる例外が通知される。

O.2.1 RED_state

Section 7.1.1 も参照。

プロセッサが POR 以外の要因で RED_state に遷移した場合、ソフトウェアは execute_state に遷移しようとしてはいけない。遷移した場合、プロセッサは予期せぬ状態になる。

プロセッサがリセットや RED_state に遷移する例外を通知されると、RED_state 用のトラップテーブル相対のトラップベクタ (RSTVaddr) から命令を実行する。

SPARC64 VIIIfx では RSTVaddr は VA = FFFF FFFF F000 0000₁₆、

PA = 0000 01FF F000 0000₁₆ である。

RED_state に遷移する際と、RED_state 中での動作は以下の通りである。

- RED_state 中はフェッチバッファは無効化される。
- トラップまたはリセットにより RED_state に遷移した場合、ハードウェアによりいくつかの機能が無効化され、DCUCR が更新される。ソフトウェアは必要ならこれらのビットをセットし直すこと。
- トラップまたはリセット以外の要因で RED_state に遷移した場合、(WRPR で PSTATE.RED ビットに 1 をセットするなど)、DCUCR のビットは更新されない。唯一の副作用は命令の MMU が無効化されることだけである。
- プロセッサが RED_state にいるとき、DCUCR.IM の値によらず IMMU は無効化される。
- RED_state でもキャッシュの同一性はハードウェアによって保たれる。

O.2.2 error_state

プロセッサは TL=MAXTL (5) でトラップが起きるか、2 回目のウォッチドッグタイムアウトが起きると、error_state に遷移する。

通常の設定では、error_state に入ると直ちにウォッチドッグリセットがかかり、CPU は RED_state に遷移する。OPSR (Operation Status Register) 設定により、error_state に遷移後ウォッチドッグリセットがかからず、CPU が error_state に留まるようにすることも可能である。

O.2.3 CPU Fatal Error

プロセッサは致命的なエラーを検出すると、CPU Fatal Error ステートに遷移する。プロセッサは致命的なエラーがおきたことをシステムに通知し、停止する。

0.3 リセット、RED_state 後のプロセッサ状態

TABLE O-1, TABLE O-2, TABLE O-3 にリセット、RED_state 時のプロセッサの状態を示す。

この表ではトラップの結果 RED_state に入る場合を想定している。WRPR 命令で PSTATE.RED ビットに 1 をセットした場合、PSTATE.RED ビット以外のプロセッサの状態は変化しない。詳細は Appendix O.2.1 を参照。

TABLE O-1 RED_state およびリセット後の特権・非特権レジスタの値 (1 of 2)

名前	POR ¹	WDR ²	XIR	SIR	RED_state
整数レジスタ	不定 / 無変更	無変更			
浮動小数点レジスタ	不定 / 無変更	無変更			
RSTV 値	VA = FFFF FFFF F000 0000 ₁₆ PA = 01FF F000 0000 ₁₆				
PC	RSTV 20 ₁₆	RSTV 40 ₁₆	RSTV 60 ₁₆	RSTV 80 ₁₆	RSTV A0 ₁₆
nPC	RSTV 24 ₁₆	RSTV 44 ₁₆	RSTV 64 ₁₆	RSTV 84 ₁₆	RSTV A4 ₁₆
PSTATE					
AG	1 (AG が使われる)				
MG	0 (MG は使われない)				
IG	0 (IG は使われない)				
IE	0 (割り込み禁止)				
PRIV	1 (特権モード)				
AM	0 (64 ビットアドレスモード)				
PEF	1 (FPU 使用可能)				
RED	1 (Red_state)				
MM	00 ₂ (TSO)				
TLE	0	無変更			
CLE	0	TLE がコピーされる			
TBA<63:15>	不定 / 無変更	無変更			
Y	不定 / 無変更	無変更			
PIL	不定 / 無変更	無変更			
CWP	不定 / 無変更	無変更 (レジスタウィンドウトラップ以外)	無変更	無変更	無変更 (レジスタウィンドウトラップ以外)
TT [TL]	1	トラップタイプか 2	3	4	トラップタイプ
CCR	不定 / 無変更	無変更			
ASI	不定 / 無変更	無変更			

TABLE O-1 RED_state およびリセット後の特権・非特権レジスタの値 (2 of 2)

名前	POR ¹	WDR ²	XIR	SIR	RED_state
TL	MAXTL	min (TL + 1, MAXTL)			
TPC [TL]	不定 / 無変更	PC			
TNPC [TL]	不定 / 無変更	nPC			
TSTATE CCR ASI PSTATE CWP PC nPC	不定 / 無変更	CCR ASI PSTATE CWP PC nPC			
TICK NPT Counter	1 0 からカウント開始	無変更 カウント継 続	無変更 0 からカウ ント開始	無変更 カウント継続	
CANSAVE	不定 / 無変更	無変更			
CANRESTORE	不定 / 無変更	無変更			
OTHERWIN	不定 / 無変更	無変更			
CLEARWIN	不定 / 無変更	無変更			
WSTATE OTHER NORMAL	不定 / 無変更 不定 / 無変更	無変更 無変更			
VER MANUF IMPL MASK MAXTL MAXWIN	0004 ₁₆ 8 マスク値 (定数) で固定 5 ₁₆ 7 ₁₆				
FSR	0	無変更			
FPRS	不定 / 無変更	無変更			

1.H ハードパワーオンリセットは電源投入時。ソフトパワーオンリセットはリセット信号がアサートされた時。

2.1 回目のウォッチドッグタイムアウトリセットが `execute_state` (`PSTATE.RED=0`) で起きると、次のウォッチドッグタイムアウトリセットと `TL=MAXTL` でのウォッチドッグトラップで `RED_state` に入る。詳細は Appendix O.1.2 参照。

TABLE O-2 RED_state およびリセット後の ASR レジスタの値

ASR	名前	POR ¹	WDR ²	XIR	SIR	RED_state
16	PCR UT ST Others	0 0 不定 / 無変更	無変更			
17	PIC	不定 / 無変更	無変更			
18	DCR	常に 0				
19	GSR IM IRND その他	0 0 不定 / 無変更	無変更 無変更 無変更			
22	SOFTINT	不定 / 無変更	無変更			
23	TICK_COMPARE INT_DIS TICK_CMPR	1 0	無変更 無変更			
24	STICK NPT Counter	1 0 からカウント開始	無変更 カウント継続			
25	STICK_COMPARE INT_DIS TICK_CMPR	1 0	無変更 無変更			
29	XAR	0	0			
30	XASR	不定 / 無変更	無変更			
31	TXAR [TL]	不定 / 無変更	XAR			

1. ハードパワーオンリセットは電源投入時。ソフトパワーオンリセットはリセット信号がアサートされた時。
2. 1 回目のウォッチドッグタイムアウトリセットが execute_state (PSTATE.RED=0) で起きると、次のウォッチドッグタイムアウトリセットと TL=MAXTL でのウォッチドッグトラップで RED_state に入る。詳細は Appendix O.1.2 参照。

TABLE O-3 RED_state およびリセット後の ASI レジスタの値 (1 of 3)

ASI	VA	名前	POR ¹	WDR ²	XIR	SIR	RED_state
45 ₁₆	00 ₁₆	DCUCR	0	0			
45 ₁₆	08 ₁₆	MCNTL RMD その他	2 0	2 0			
48 ₁₆	00 ₁₆	INTR_DISPATCH_STATUS	0	無変更			
49 ₁₆	00 ₁₆	INTR_RECEIVE	0	無変更			

TABLE O-3 RED_state およびリセット後の ASI レジスタの値 (2 of 3)

ASI	VA	名前	POR ¹	WDR ²	XIR	SIR	RED_state
4A ₁₆	—	SYS_CONFIG ITID	規定値 / 無変更	無変更			
4B ₁₆	00 ₁₆	STICK_CNTL	0	無変更			
4C ₁₆	00 ₁₆	AFSR	不定 / 無変更	無変更			
4C ₁₆	08 ₁₆	UGESR	不定 / 無変更	無変更			
4C ₁₆	10 ₁₆	ERROR_CONTROL WEAK_ED その他	1 不定 / 無変更	1 無変更			
4C ₁₆	18 ₁₆	STCHG_ERR_INFO	不定 / 無変更	無変更			
4F ₁₆	00 ₁₆ –38 ₁₆	SCRATCH_REGS	不定 / 無変更	無変更			
50 ₁₆	00 ₁₆	IMMU_TAG_TARGET	不定 / 無変更	無変更			
50 ₁₆	18 ₁₆	IMMU_SFSR	不定 / 無変更	無変更			
50 ₁₆	28 ₁₆	IMMU_TSB_BASE	不定 / 無変更	無変更			
50 ₁₆	30 ₁₆	IMMU_TAG_ACCESS	不定 / 無変更	無変更			
50 ₁₆	60 ₁₆	IMMU_TAG_ACCESS_EXT	不定 / 無変更	無変更			
50 ₁₆	78 ₁₆	IMMU_SFPAR	不定 / 無変更	無変更			
53 ₁₆	—	SERIAL_ID	定数値	定数値			
54 ₁₆	—	ITLB_DATA_IN	不定 / 無変更	無変更			
55 ₁₆	—	ITLB_DATA_ACCESS	不定 / 無変更	無変更			
56 ₁₆	—	ITLB_TAG_READ	不定 / 無変更	無変更			
57 ₁₆	—	ITLB_DEMAP	不定 / 無変更	無変更			
58 ₁₆	00 ₁₆	DMMU_TAG_TARGET	不定 / 無変更	無変更			
58 ₁₆	08 ₁₆	PRIMARY_CONTEXT	不定 / 無変更	無変更			
58 ₁₆	10 ₁₆	SECONDARY_CONTEXT	不定 / 無変更	無変更			
58 ₁₆	18 ₁₆	DMMU_SFSR	不定 / 無変更	無変更			
58 ₁₆	20 ₁₆	DMMU_SFAR	不定 / 無変更	無変更			
58 ₁₆	28 ₁₆	DMMU_TSB_BASE	不定 / 無変更	無変更			
58 ₁₆	30 ₁₆	DMMU_TAG_ACCESS	不定 / 無変更	無変更			
58 ₁₆	38 ₁₆	DMMU_WATCHPOINT	不定 / 無変更	無変更			
58 ₁₆	60 ₁₆	DMMU_TAG_ACCESS_EXT	不定 / 無変更	無変更			
58 ₁₆	68 ₁₆	SHARED_CONTEXT	不定 / 無変更	無変更			
58 ₁₆	78 ₁₆	DMMU_SFPAR	不定 / 無変更	無変更			
5C ₁₆	—	DTLB_DATA_IN	不定 / 無変更	無変更			
5D ₁₆	—	DTLB_DATA_ACCESS	不定 / 無変更	無変更			
5E ₁₆	—	DTLB_TAG_READ	不定 / 無変更	無変更			
5F ₁₆	—	DMMU_DEMAP	不定 / 無変更	無変更			
60 ₁₆	—	IIU_INST_TRAP	0	無変更			
6D ₁₆	00 ₁₆ –58 ₁₆	BARRIER_INIT	0	無変更			

TABLE O-3 RED_state およびリセット後の ASI レジスタの値 (3 of 3)

ASI	VA	名前	POR ¹	WDR ²	XIR	SIR	RED_state
6E ₁₆	00 ₁₆	EIDR	0/ 無変更	無変更			
6F ₁₆	00 ₁₆ -58 ₁₆	BARRIER_ASSIGN	0	無変更			
77 ₁₆	40 ₁₆ -50 ₁₆	INTR_DATA0:2_W	不定 / 無変更	無変更			
77 ₁₆	70 ₁₆	INTR_DISPATCH_W	不定 / 無変更	無変更			
7F ₁₆	40 ₁₆ -50 ₁₆	INTR_DATA0:2_R	不定 / 無変更	無変更			
E7 ₁₆	00 ₁₆	SCCR NPT その他	1 0	無変更			
EF ₁₆	00 ₁₆ -58 ₁₆	LBSY, BST	0	無変更			

1.ハードパワーオンリセットは電源投入時。ソフトパワーオンリセットはリセット信号がアサートされた時。

2.1 回目のウォッチドッグタイムアウトリセットが execute_state (PSTATE.RED=0) で起きると、次のウォッチドッグタイムアウトリセットと TL=MAXTL でのウォッチドッグトラップで RED_state に入る。詳細は Appendix O.1.2 参照。

O.3.1 Operating Status Register (OPSR)

OPSR は CPU チップの制御レジスタである。OPSR の値は CPU 外部からセットされ、ソフトウェアから変更することはできない。ハードウェアパワーオンリセット時 CPU が動き出す前にスキャンインされ、その後は JTAG コマンドで変更できる。

大部分の OPSR 設定はソフトウェアには見えない。

Error Handling

この章では SPARC64 VIIIfx のエラー時における SPARC64 VIIIfx の振舞いと、エラー復旧のために OS やファームウェアが行うべきことを説明する。

P.1 エラーの分類

SPARC64 VIIIfx ではエラーは以下の 4 つに分類される。

- 致命的エラー (Fatal Error)
- `error_state` 遷移エラー (Error State Transition error)
- 緊急エラー (Urgent Error)
- 抑止可能エラー (Restrained Error)

SPARC64 VIIIfx は 8 コア / チッププロセッサである。どのコアでどのようなエラーが起きたかを識別する方法は、上記のエラー種類によって異なる。

命令実行に起因するエラー、あるいはスレッド固有のリソースに起因するエラーは、**命令実行に同期したエラー**である。この種のエラーは、エラーを起こしたスレッドだけに報告される。`instruction_access_error` や `data_access_error` は、この種のエラーを通知する例外である。

命令実行に起因しないエラー、あるいはチップ内で共有されるリソースに起因するエラーは、**命令実行に非同期のエラー**である。この種のエラーは、関連するすべてのスレッドに報告される。

エラーマーキングは基本的に命令実行とは非同期に行われる。L1\$ や L2\$ でマークされていないエラー (Raw UE) が発見された場合、生きている (degraded でない) コア内で最小の EIDR でマークされる。

サスペンド状態のスレッドで起きたエラーをどのようにログし報告するかも重要な問題である。致命的エラーを除き、スレッドがサスペンドから抜けだすまでエラー報告は延期される。

P.1.1 致命的エラー

致命的エラーはシステム全体に影響を及ぼすエラーである。

a. システム内のデータ一貫性が保証できなくなるようなエラー

キャッシュコヒーレントを壊すようなエラーがこれにあたる。

b. CPU チップ内が制御不能になるようなエラー

致命的エラーを発見すると、CPU は CPU Fatal Error ステートに遷移し、システムに致命的エラーが起きたことを通知した後に停止する。システムは CPU からの致命的エラー通知を受けた後、そのシステムで規定された動作を行う。

すべての致命的エラーは命令実行に非同期である。あるスレッドが致命的エラーを発見すると、CPU チップ内のすべてのスレッドにリセット (Power On Reset: POR) が通知される。これはサスペンド中のスレッドがいるかどうかによらない。

P.1.2 error_state 遷移エラー

error_state 遷移エラー (EE) とは、トラップを上げることができないほどの深刻なエラーである。しかし、そのエラーの影響範囲は CPU 内に限定される。

CPU が error_state 遷移エラーを検出すると、error_state に遷移する。error_state からは、ウォッチドッグリセットで RED_state に遷移し、ウォッチドッグリセットトラップハンドラから命令実行を再開する。

命令実行に非同期な error_state 遷移エラー

命令実行に非同期の error_state 遷移エラーには以下のものがある。この種の EE がスレッドで起きると、コア内の全スレッドの ASI_STCHG_ERROR_INFO にエラー情報が記録され、ウォッチドッグリセット例外が通知される (ただしサスペンドしていないとき)。他のコアのスレッドは影響を受けない。

- EE_TRAP_ADR_UE
- EE_OTHER

命令実行に同期して起きる error_state 遷移エラー

命令実行に同期して起きる error_state 遷移エラーには以下のものがある。この種の EE がスレッドで起きると、当該スレッドの ASI_STCHG_ERROR_INFO にエラー情報が記録され、ウォッチドッグリセット例外が通知される。他のスレッドは影響を受けない。

- EE_SIR_IN_MAXTL
- EE_TRAP_IN_MAXTL
- EE_WDT_IN_MAXTL

- EE_SECOND_WDT

Note – SPARC64 VIIIfx はマルチスレッド CPU ではないので、命令実行に同期して起きる `error_state` 遷移エラーでも非同期に起きる `error_state` 遷移エラーでも、エラー情報はそのコアの `ASI_STCHG_ERROR_INFO` だけに記録される。

P.1.3 緊急エラー

緊急エラー (UGE) とは、直ちにシステムソフトウェアが介入する必要があるエラーである。以下の種類がある。

- 命令実行を阻害するエラー
 - I_UGE: 命令の緊急エラー
 - IAE: 命令アクセスエラー
 - DAE: データアクセスエラー
- 命令実行とは無関係のエラー
 - A_UGE: 自律性緊急エラー

命令実行を阻害するエラー

命令実行阻害エラーとは、命令実行中に検出される、命令実行を不可能にするようなエラーである。

命令実行阻害エラーを検出したときに `ASI_ERROR_CONTROL.WEAK_ED = 0` だと (これは通常の実行状態でシステムソフトウェアによって設定される)、例外が通知される。このエラーはマスクすることができない。 `ASI_ERROR_CONTROL.WEAK_ED = 1` のときは (多重エラー時や POST/OBP によるリセット処理中)、以下のどれかが起きる。

- 可能ならば、実行を阻害された命令のデスティネーションレジスタに、不定値を書きこみ、命令を完了させる。
- それができなければ、例外を通知する。エラーを起こした命令は、 `ASI_ERROR_CONTROL.WEAK_ED = 0` のときと同様に実行される。

この種のエラーは 3 種類ある。

- **I_UGE (Instruction Urgent Error: 命令緊急エラー)** —IAE (命令アクセスエラー)、DAE (データアクセスエラー) 以外のエラー。I_UGE はさらに 2 種類に分けられる。
 - **プログラムから見えるレジスタに復旧不可能なエラーが起き、命令実行ができなくなった**

PSTATE, PC, NPC, CCR, ASI, FSR, GSR レジスタで復旧不可能なエラーが起きたときがこれにあたる。一回目のウォッチドッグタイムアウトも I_UGE として扱われる。

■ 命令の実行部でエラーが起きたとき

演算部や一時レジスタや内部のバスエラーがこれにあたる。

L_UGE は Appendix P.2.2 で言うところのプリエンプティブエラーに相当する。

- IAE (**Instruction Access Error: 命令アクセスエラー**) — JPS1 Commonality で定義されている *instruction_access_error* のこと。SPARC64 VIIIfx では、キャッシュやメモリ上の UE を命令フェッチ中に検出すると、IAE が通知される。

IAE は precise な例外である。

- DAE (**Data Access Error: データアクセスエラー**) — JPS1 Commonality で定義されている *data_access_error* のこと。SPARC64 VIIIfx では、キャッシュやメモリ上の UE をデータアクセス中に検出すると、DAE が通知される。

DAE は precise な例外である。

命令実行とは無関係に発生するエラー

- A_UGE (**Autonomous Urgent Error: 自律性緊急エラー**) — 命令実行とは無関係に発生するエラーで、直ちに処理する必要があるものである。

通常の命令実行では、`ASI_ERROR_CONTROL.WEAK_ED` は 0 にセットされている。この場合、緊急エラー処理中 (つまり *async_data_error* トラップハンドラ内) では、A_UGE による例外は通知されない。

そうでない場合、たとえばマルチエラーが起きた場合や POST/OBP のリセットルーチンでは、ソフトウェアによって `ASI_ERROR_CONTROL.WEAK_ED` に 1 がセットされる。この場合、A_UGE による例外は通知されない。

A_UGEs には 2 種類ある。

- 重要なリソースでエラーが起きていて、そのリソースを使うと致命的エラーや *error_state* 遷移エラーを起こすような場合。
- 重要なリソースでエラーが起きていて、OS パニックさせたい場合。
エラーが起きているリソースを使うとこれ以上実行が続けられないので、OS パニックさせたいとき。

自律性緊急エラーは *disrupting* 例外で通知されるが、以下の点で V9 仕様と異なる。

- PSTATE.IE = 0 でもマスクされず例外が通知される。
- TPC が指すアドレスにある命令は完了していないかもしれない。終了方法はトラップステートレジスタに表示される。

緊急エラーによる例外通知

緊急エラーが起これ、そのエラーがマスクされていないとき、以下のいずれかの例外でシステムソフトウェアに通知される。

- L_UGE, A_UGE: *async_data_error* 例外
- IAE: *instruction_access_error* 例外

- DAE: `data_access_error` 例外

命令実行とは無関係に起きる緊急エラー

以下のエラーがこれに当たる。あるスレッドでこのエラーが起きると、コア内の全スレッドの `ASI_UGESR` にエラーが記録され、`async_data_error` 例外が通知される。ただしサスペンド状態を除く。他コアは影響を受けない。

- `IAUG_CRE`
- `IAUG_TSBCTXT`
- `IUG_TSBP`
- `IUG_PSTATE`
- `IUG_TSTATE`
- `IUG_%F` (ただし `f[n]` のパリティエラー以外)
- `IUR_%R` (ただし `r[n]` と `Y` のパリティエラー以外)
- `IUG_WDT`
- `IUG_DTLB`
- `IUG_ITLB`
- `IUG_COREERR`

命令実行に同期して起きる緊急エラー

以下のエラーがこれに当たる。あるスレッドでこのエラーが起きると、そのスレッドの `ASI_UGESR` だけにエラーが記録され、`ADE` 例外が通知される。ただしサスペンド状態を除く。他スレッドは影響を受けない。

- `IUG_%F` (`f[n]` のパリティエラーのみ)
- `IUR_%R` (`r[n]` と `Y` のパリティエラーのみ)

Note – SPARC64 VIIIfx はマルチスレッド CPU ではないので、命令実行に同期して起きる緊急エラーでも非同期に起きる緊急エラーでも、エラー情報はそのコアの `ASI_UGESR` だけに記録される。

P.1.4 抑止可能エラー

抑止可能エラー (Restrained Error) とは、実行中のプログラムに深刻な影響を与えないため、システムソフトウェアが直ちに処理する必要のないエラーである。優先度の低い `disrupting` 例外で通知される。

抑止可能エラーには 2 種類ある。

- 訂正不可能だが現在の命令列の実行に影響を与えないエラー
キャッシュのライトバックやコピーバック時に検出されたエラーがこれにあたる。
- 縮退 (Degradation)

頻繁にエラーを起こしているが、命令実行に深刻な影響を与えないリソースを隔離して使わないようにすることができる。しかしながら、性能は多少犠牲になる。

Compatibility Note – SPARC64 VIIIfx は訂正可能エラー (Correctable Error: CE) を検出した場合、自動で訂正し、ソフトウェアには通知しない。

抑止可能エラーは *ECC_error* で通知される。ただしこれは、`PSTATE.IE = 1` で、抑止可能エラーの通知が許可されているときのみである。

DG_U2\$, UE_RAW_L2\$INSD

これらは命令実行に非同期なエラーである。これらのエラーが発見されると、CPU モジュール内の全スレッドの AFSR にエラーが記録され、*ECC_error* が通知される。ただしサスペンド中のスレッドには例外は通知されない。

DG_D1\$sTLB, UE_RAW_D1\$INSD

これらは命令実行に非同期なエラーである。これらのエラーが発見されると、コア内の全スレッドの AFSR にエラーが記録され、*ECC_error* が通知される。ただしサスペンド中のスレッドには例外は通知されない。

他のコアには影響を与えない。

UE_DST_BETO

これは命令実行に同期したエラーである。このエラーが発見されると、エラーを起こしたスレッドの AFSR にエラーが記録され、*ECC_error* が通知される。ただしサスペンド中のスレッドには例外は通知されない。他のスレッドには影響を与えない。

P.1.5 instruction_access_error

これは命令実行に同期したエラーである。このエラーが検出されると、エラーを起こしたスレッドの ASI_ISFSR, TPC, ASI_ISFPAR にエラーが記録され、*instruction_access_error* が通知される。他のスレッドには影響を与えない。

P.1.6 data_access_error

これは命令実行に同期したエラーである。このエラーが発見されると、エラーを起こしたスレッドの ASI_DSFSR, ASI_DS FAR, ASI_DSFPAR にエラーが記録され、*data_access_error* が通知される。他のスレッドには影響を与えない。

P.2 エラー処理とエラー制御

P.2.1 エラー処理に必要なレジスタ

TABLE P-1 はエラー処理に必要なレジスタの一覧である。これらのレジスタのうち、ASI_ERROR_CONTROL は、エラーを検出した際に例外として通知するかどうかを制御するレジスタで、ASI_EIDR はエラーマーキング用の識別 ID である。その他のレジスタにはエラーの詳細情報が表示される。

TABLE P-1 エラー処理に必要なレジスタ

ASI	VA	名前	説明されている章
4C ₁₆	00 ₁₆	ASI_ASYNC_FAULT_STATUS	P.7.1
4C ₁₆	08 ₁₆	ASI_URGENT_ERROR_STATUS	P.4.1
4C ₁₆	10 ₁₆	ASI_ERROR_CONTROL	P.2.6
4C ₁₆	18 ₁₆	ASI_STCHG_ERROR_INFO	P.3.1
50 ₁₆	18 ₁₆	ASI_IMMU_SFSR	F.10.9
50 ₁₆	78 ₁₆	ASI_IMMU_SFPAR	F.10.12
58 ₁₆	18 ₁₆	ASI_DMMU_SFSR	F.10.9
58 ₁₆	20 ₁₆	ASI_DMMU_SFAR	F.10.10 of JPS1 Commonality
58 ₁₆	78 ₁₆	ASI_DMMU_SFPAR	F.10.12
6E ₁₆	00 ₁₆	ASI_EIDR	P.2.5

P.2.2 エラー検出時の動作

ここではエラー検出時の挙動を説明する。

エラー検出を抑止する条件

エラー種類	検出抑止条件
致命的エラー	なし(すべて検出する)。
error_state 遷移エラー	ASI_ECR.WEAK_ED=1 で大部分のエラーを検出しなくなるが、一部は検出する。
緊急エラー	I_UGE, IAE, DAE ASI_ECR.WEAK_ED=1 または SUSPENDED ステータスのとき、大部分のエラーを検出しなくなるが、一部は検出する。 A_UGE <ul style="list-style-type: none">• SUSPENDEDステータスのとき、大部分のエラーを検出しなくなるが、一部は検出する。• レジスタ使用以外のエラーは、ASI_ECR.WEAK_ED=1 または個々のエラー独自の条件のときに抑止される。 レジスタ使用のエラーは、個々のエラー独自の条件のときに抑止される。 個々のエラー独自の条件があるのはごく一部。
抑止可能エラー	なし。

エラー検出時、例外の通知を抑止する条件

エラー種類	通知抑止条件
致命的エラー	なし(すべて通知する)。
error_state 遷移エラー	なし(すべて通知する)。
緊急エラー	I_UGE, IAE, DAE SUSPENDED ステートのとき。
	A_UGE
	<ul style="list-style-type: none">• ASI_ECR.UGE_HANLDER = 1 のとき。• ASI_ECR.WEAK_ED = 1 のとき。 トランプマスク中に例外が検出されると、通知は延期される。マスクが開くと <i>async_data_error</i> が通知される。• SUSPENDED ステートのとき。
抑止可能エラー	<ul style="list-style-type: none">• ASI_ECR.UGE_HANLDER = 1 のとき。• ASI_ECR.WEAK_ED = 1 のとき。• PSTATE.IE = 1 のとき。• エラーをマスクする設定になっているとき。 マスクはエラー種類に応じて ASI_ECR.RTE_DG と ASI_ECR.RTE_UE がある。• SUSPENDED ステートのとき。

エラー検出時の動作

エラー種類	動作
致命的エラー	<ol style="list-style-type: none">1. CPU はフェイタルステートに遷移する。2. CPU はシステムにフェイタルエラー検出を通知する。3. システム全体にフェイタルリセット (POR リセット) を発行する。4. POR がシステムの全 CPU に通知される。
error_state 遷移エラー	<ol style="list-style-type: none">1. CPU は error_state に遷移する。2. WDR が CPU に通知される。

エラー種類	動作
緊急エラー	<p>I_UGE</p> <ul style="list-style-type: none"> • ASI_ECR.UGE_HANLDER = 0 のとき、単独 ADE 例外が通知される。 • ASI_ECR.UGE_HANLDER = 1 のとき、多重 ADE 例外が通知される。 <p>A_UGE</p> <ul style="list-style-type: none"> • 例外通知がマスクされていないときは、単独 ADE 例外が通知される。 • 例外通知がマスクされているときは、例外通知はペンディングされる。 <p>IAE</p> <ul style="list-style-type: none"> • ASI_ECR.UGE_HANLDER = 0 のとき、IAE 例外が通知される。 • ASI_ECR.UGE_HANLDER = 1 のとき、多重 ADE 例外が通知される。 <p>DAE</p> <ul style="list-style-type: none"> • ASI_ECR.UGE_HANLDER = 0 のとき、DAE 例外が通知される。 • ASI_ECR.UGE_HANLDER = 1 のとき、多重 ADE 例外が通知される。
抑止可能エラー	<p>例外通知がマスクされておらず、ASI_AFSR にもエラー情報が表示されていないにも係らず、ECC_error が通知されることがある。</p> <ol style="list-style-type: none"> 1. エラー通知がペンディングされている状態で、ASI_AFSR への書き込みを行い、エラー情報が消されたとき。 2. UEを検出して ECC_error が通知されたとき、ペンディングしている DG の情報が、ASI_AFSR への書き込みにより消されたとき。 3. DGを検出して ECC_error が通知されたとき、ペンディングしている UE の情報が、ASI_AFSR への書き込みにより消されたとき。 <p>このような例外が通知された場合、システムソフトウェアは例外を無視して処理を続行すべきである。</p>

TPC とエラーを起こした命令の関係

エラー種類	動作
致命的エラー	無関係。
error_state 遷移エラー	無関係。
緊急エラー	<p>I_UGE</p> <p>TLB 書き込みエラーでは、TLB を更新しようとした命令は TPC が指す命令か、命令フロー上それより前の命令のこともある。TLB 書き込みエラーは、書き込み後 DONE/RETRY が実行されるか例外が通知された時点検出される。</p> <p>TLB 書き込み以外のエラーでは、TPC が指す命令か、命令フロー上それより後の命令でエラーが起きている。</p> <p>A_UGE</p> <p>無関係。</p> <p>IAE, DAE</p> <p>TPC が指す命令がエラーを起こした命令である。</p>
抑止可能エラー	無関係。

その他

複数種類のエラーが同時に検出された場合の優先順位

致命的エラー	error_state 遷移エラー	緊急エラー	抑止可能エラー
1. フェイタルステータスに遷移 (TT = 1)	2. error_state に遷移 (TT = 2)	3. ADE (TT = 40 ₁₆) 4. DAE (TT = 32 ₁₆) 5. IAE (TT = 0A ₁₆)	6. ECC_error_trap (TT = 63 ₁₆)

割り込まれた命令の完了方法

致命的エラー	error_state 遷移エラー	緊急エラー	抑止可能エラー
完了できない	完了できない	<ul style="list-style-type: none"> ADE P.4.3 参照。 IAE, DAE JPS1 の Precise 定義通り。 	JPS1 の Precise 定義通り。

エラー表示レジスタ

致命的エラー	error_state 遷移エラー	緊急エラー	抑止可能エラー
ASL_STCHG_ERROR_INFO	ASL_STCHG_ERROR_INFO	<ul style="list-style-type: none"> • I_UGE, A_UGE • ASI_UGESR • IAE • ASI_ISFSR • DAE • ASI_DSFSR 	ASL_AFSR

一回の例外で通知されるエラー数

致命的エラー	error_state 遷移エラー	緊急エラー	抑止可能エラー
すべての致命的エラーが検出され、ASL_STCHG_ERROR_INFO に表示される。	すべての error_state 遷移エラーが検出され、ASL_STCHG_ERROR_INFO に表示される。	<ul style="list-style-type: none"> • 単独 ADE • すべての I_UGE, A_UGE が検出される。 • 多重 ADE • 多重発生したことで、最初の ADE の UGE が表示される。 • IAE • 1つだけ表示される。 • DAE • 1つだけ表示される。 	すべての抑止可能エラーが検出され、ASL_AFSR に表示される。

P.2.3 CE 発見時に元データを自動で訂正できる限界

訂正可能エラー (CE) が発見されると、CPU は入ってきたデータを訂正し、演算を続ける。しかし、元のデータを自動で訂正するのは限界がある。以下の箇所のデータは自動で訂正できない。

- メモリの CE
- 外部からの非同期割込みに付属するデータ (INTR_DATA_R)

その他の CE エラーについては元のデータを自動訂正することができる。

INTR_DATA_R の CE については、次回の外部割込みによりエラーデータは上書きされ消えるので、OS によるエラー処理は不要である。メモリの CE は OS による訂正処理が必要である。

P.2.4 キャッシュャブルデータのエラーマーキング

キャッシュャブルデータのエラーマーキング

最初にキャッシュャブルデータに訂正不能エラー (UE) を見つけたハードウェア内のユニットは、そのデータと ECC を特別な値にする。これにより、エラーが認識されていることと、エラー発生元が特定できる。これをエラーマーキングと言う。エラーマーキングはエラー発生源を特定し、一つのエラーにより何度もエラー報告が上がるのを防ぐ。

システム内で ECC で保護されている箇所には以下のものがある。

- メインメモリ
- メモリと ICC からのデータパス
- U2 キャッシュデータ
- D1 キャッシュデータ

CPU がまだマークされていない UE を見つけると、エラーマーキングを行う。

エラーがマークされたかどうかは 8 バイト毎につけられるシンδροームで識別できる。

TABLE P-2 エラーマークに使われるシンδροーム

シンδροーム	エラーマークの状態	訂正不能エラー (UE) の種類
$7F_{16}$	マーク済	マーク済 UE
$7F_{16}$ 以外の複数ビットエラーパターン	まだマークされていない	マークされていない UE (Raw UE)

シンδροーム $7F_{16}$ は、3 ビットエラーが起きていることを表わす。エラーマーキングでは、元のデータと ECC を次節で説明するものに置換える。エラー以外でシンδροーム $7F_{16}$ が起きる確率はほぼ 0 とみなす。

エラーマーキングデータのフォーマット

キャッシュブルデータで UE が発見されると、エラーデータと ECC はエラーマーキングデータで置換えられる。

TABLE P-3 エラーマーキングデータのフォーマット

Data/ECC	ビット	値
data	63	エラービット。値は不定。
	62:56	0 (7 ビット).
	55:42	ERROR_MARK_ID (14 ビット).
	41:36	0 (6 ビット).
	35	エラービット。値は不定。
	34:23	0 (12 ビット).
	22	エラービット。値は不定。
	21:14	0 (8 ビット).
	13:0	ERROR_MARK_ID (14 ビット).
ECC		ビット 63, 35, 22 に 3 ビットエラーが存在することを示すパターン。シンドロームが $7F_{16}$ になるパターンが設定される。

ERROR_MARK_ID (14bit) は、エラー発生元を示す。エラーを発見したハードウェアユニットが値をセットする。

ERROR_MARK_ID のフォーマットを TABLE P-4 に示す。

TABLE P-4 ERROR_MARK_ID の各ビットの説明

ビット	値
13:12	モジュール ID。エラーが起きたハードウェアを示す。 00 ₂ : メモリシステム (DIMM を含む) 01 ₂ : チャンネル 10 ₂ : CPU 11 ₂ : Reserved
11:0	ソース ID。モジュール ID = 00 のとき、ソース ID は常に 0。それ以外では、エラーを発見したハードウェアの ID が入る。

CPU が付加する ERROR_MARK_ID

CPU が付加する ERROR_MARK_ID を TABLE P-5 に示す。

TABLE P-5 CPU が付加する ERROR_MARK_ID

マークされていないエラー (Raw UE) の種類	Module_ID の値	Source_ID の値
メモリバスからの入力データ	00 ₂ (メモリシステム)	0
メモリバスへの出力データ	10 ₂ (CPU)	1 0000 0000 ₂ □ 000 ₂
U2 キャッシュデータ	10 ₂ (CPU)	1 0000 0000 ₂ □ 000 ₂
D1 キャッシュデータ	10 ₂ (CPU)	0 0000 0000 ₂ □ ASI_EIDR<2:0>

P.2.5 ASI_EIDR

ASI_EIDR レジスタは ERROR_MARK_ID の Source_ID に記録するための情報を保持する。ASI_EIDR はまた、インタラプトを受信する CPU の識別にも使われる (Appendix N.6 参照)。

レジスタ名	ASI_EIDR
ASI	6E ₁₆
VA	00 ₁₆
エラー検出	パリティ
フォーマット	TABLE P-6 参照。

TABLE P-6 ASI_EIDR のフィールドの説明

ビット	フィールド名	アクセス	説明
63:3	Reserved	R	常に 0。
2:0	ERROR_MARK_ID	RW	CPU でエラーが発生したとき、エラーデータの ERROR_MARK_ID にコピーする。 bit<13:12> には 10 ₂ を設定する。

Compatibility Note – SPARC64 VII 以前の仕様では、ソフトウェアが ASI_EIDR<13:12> に 10₂ を設定し、その値が ERROR_MARK_ID に反映されることになっていた。SPARC64 VIIIfx では ERROR_MARK_ID はハードウェアが固定で持っているため、ソフトウェアによる設定は不要となった。

P.2.6 エラー検出の制御 (ASI_ERROR_CONTROL)

ASI_ERROR_CONTROL は、エラー検出のマスクおよび検出後の動作を設定するレジスタである。

レジスタ名	ASI_ERROR_CONTROL (ASI_ECR)
ASI	4C ₁₆
VA	10 ₁₆
エラー検出	なし
フォーマット	TABLE P-7 参照。
リセット後の初期値	ハード POR 時は、WEAK_ED は 1、それ以外は 0 に設定される。 それ以外のリセットでは、UGE_HANDLER と WEAK_ED の値が ASI_STCHG_ERROR_INFO にコピーされ、全フィールドが 0 に設定される。

ASI_ERROR_CONTROL レジスタはエラーの検出時、例外通知時、多重エラー発生時の処理を制御する。レジスタフィールドは以下の通り。

TABLE P-7 ASI_ERROR_CONTROL のフィールドの説明

ビット	フィールド名	アクセス	説明
9	RTE_UE	RW	抑止可能エラーのうち UE, Raw UE を例外で通知するかどうかを指定する。Appendix P.2.2 に記述された処理を行う。
8	RTE_DG	RW	抑止可能エラーのうちデグレードエラーを例外で通知するかどうかを指定する。Appendix P.2.2 に記述された処理を行う。
1	WEAK_ED	RW	エラー検出を弱める。I_UGE, DAE の検出を抑止するかどうかを決める。 0 エラー検出は行われる。 1 CPU が実行を続けるられるならば、エラー検出は行われない。 WEAK_ED = 1 で命令実行中に I_UGE, DAE が検出されると、結果出力 (レジスタやメモリ) には不定値が書き込まれる。 WEAK_ED = 1 であっても、I_UGE, DAE エラーを無視して実行を継続できないときは、エラーが通知される。 WEAK_ED は、P.2.2 に記述された、A_UGE と抑止可能エラーにおける例外通知マスクである。 多重 ADE が起きたとき、ハードウェアによって WEAK_ED = 1 がセットされる。
0	UGE_HANDLER	RW	UGE が起きた際に、OS が UGE 処理中かどうかをハードウェアが識別するために使われる。 0 ハードウェアは、OS が UGE 処理中ではない、と認識する。 1 ハードウェアは、OS が UGE 処理中である、と認識する。 UGE_HANDLER は、P.2.2 で説明した、A_UGE と抑止可能エラーにおける例外通知マスクである。 I_UGE,IAE,DAE 発生時に多重エラーが起きたかどうかを識別するために使われる。 ADE が起きると、UGE_HANDLER = 1 にセットされる。RETRY/DONE で 0 にリセットされる。
その他	Reserved	R	常に 0。

P.3 致命的エラーと error_state 遷移エラー

P.3.1 ASI_STCHG_ERROR_INFO

ASI_STCHG_ERROR_INFO には、検出された error_state 遷移エラーの情報が表示される。これらの情報は主に OBP が利用する。

Compatibility Note – SPARC64 VIIIfx では致命的エラーの情報は ASI_STCHG_ERROR_INFO には表示されないの、システムソフトウェアが致命的エラーの詳細情報を知ることはできない。

レジスタ名	ASI_STCHG_ERROR_INFO
ASI	4C ₁₆
VA	18 ₁₆
エラー検出	なし
フォーマット	TABLE P-8 参照
リセット後の初期値	ハード POR 時は、全てのフィールドがで初期化される。 それ以外のリセットでは、値は変更されない。
更新ポリシー	エラーを検出した際、関連するフィールドを 1 に設定する。 ビット 0 に 1 を書くと、全ビットが 0 にリセットされる。

TABLE P-8 に ASI_STCHG_ERROR_INFO のフィールドの説明を示す。

TABLE P-8 ASI_STCHG_ERROR_INFO のフィールドの説明 (1 of 2)

ビット	フィールド名	アクセス	説明
63:34	Reserved	R	常に 0。
33	ECR_WEAK_ED	R	POR またはウォッチドッグリセット時に ASI_ERROR_CONTROL.WEAK_ED がコピーされる。
32	ECR_UGE_HANDLER	R	POR またはウォッチドッグリセット時に ASI_ERROR_CONTROL.UGE_HANDLER がコピーされる。
31:24	Reserved	R	常に 0。
23	EE_MODULE	RW	error_state 遷移エラーにより、CPU モジュールの縮退が要求されたことを示す。sticky.
22	EE_CORE	RW	error_state 遷移エラーにより、コアの縮退が要求されたことを示す。sticky.
21	EE_THREAD	RW	error_state 遷移エラーにより、スレッドの縮退が要求されたことを示す。sticky. ハードウェアがこのビットを 1 にセットすることはない。
20	UGE_MODULE	RW	緊急エラーにより、CPU モジュールの縮退が要求されたことを示す。sticky.
19	UGE_CORE	RW	緊急エラーにより、コアの縮退が要求されたことを示す。sticky.
18	UGE_THREAD	RW	緊急エラーにより、スレッドの縮退が要求されたことを示す。sticky. ハードウェアがこのビットを 1 にセットすることはない。
17	rawUE_MODULE	RW	L2\$ で rawUE が検出されたことを示す。sticky.
16	rawUE_CORE	RW	L1\$ で rawUE が検出されたことを示す。sticky.
15	EE_DCUCR_MCNTL_ECR	R	以下のレジスタで UE が検出されたことを示す。 (A) ASI_DCUCR (A) ASI_MCNTL (A) ASI_ECR
14	EE_OTHER	R	この表に記載されていない箇所でのエラー発生で 1 がセットされる。SPARC64 VIIIfx では常に 0。
13	EE_TRAP_ADR_UE	R	例外発生時にアドレスを計算しようとした際、TBA, TT あるいはアドレス計算回路で UE が発生しアドレス計算ができなかったことを示す。
12	Reserved	R	常に 0。

TABLE P-8 ASI_STCHG_ERROR_INFO のフィールドの説明 (2 of 2)

ビット	フィールド名	アクセス	説明
11	EE_WDT_IN_MAXTL	R	TL=MAXTL でウォッチドッグタイムアウトが発生したことを示す。
10	EE_SECOND_WDT	R	<i>async_data_error</i> 発生後、2 度目のウォッチドッグタイムアウトが発生したことを示す。 (<i>async_data_error</i> が最初のウォッチドッグタイムアウト)。
9	EE_SIR_IN_MAXTL	R	TL=MAXTL で SIR が発生したことを示す。
8	EE_TRAP_IN_MAXTL	R	TL=MAXTL で例外が発生したことを示す。
7:1	Reserved	R	常に 0。
0	clear_all	W	このビットに 1 を書くと、すべてのフィールドが 0 クリアされる。

P.3.2 サスペンド中のスレッドでの error_state 遷移エラー

SPARC64 VIIIfx は SUSPEND 命令により suspended 状態に遷移し、POR, WDR, XDR, *interrupt_vector*, *interrupt_level_n* により復旧する。例外処理に関連する回路でエラーが発生すると、suspend 状態から復旧できなくなる。このような状態に陥ることを防ぐため、以下のレジスタの緊急エラーは error_state 遷移エラーとしてサスペンド中でも報告される。

- ASI_EIDR
- STICK, STICK_CMPR
- TICK, TICK_CMPR

このような場合、UGESR の対応するビットと STCHG_ERROR_INFO.UGE_CORE に 1 がセットされる。

P.4 緊急エラー

この章では緊急エラーの詳細、モニタ方法や命令終了方法について説明する。

P.4.1 緊急エラーステータス (ASI_UGESR)

レジスタ名	ASI_URGENT_ERROR_STATUS
ASI	4C ₁₆
VA	08 ₁₆
エラー検出	なし
フォーマット	TABLE P-9 参照
リセット後の初期値	ハード POR 時は、全てのフィールドがで初期化される。 それ以外のリセットでは、値は変更されない。

UGESR は *async_data_error* 発生時のエラー詳細と多重 *async_data_error* 時の 2 番目のエラーの詳細を表示する。

TABLE P-9 に UGESR のフィールドの意味を示す。フィールド名にはプリフィクスがついているが、その意味は以下の通りである。

- IUG_ 命令の緊急エラー
- IAG_ 自律発生の緊急エラー
- IAUG_ I_UGE,A_UGE の両方のエラー

TABLE P-9 ASI_UGESR のフィールドの説明 (1 of 3)

ビット	フィールド名	アクセス	説明
<p>bit<22:8>の各ビットは単独 ADE 例外発生の要因を表わす。1 のとき、例外が発生していることを示す。bit<22:16> は CPU 内レジスタでのエラーを表わす。これらエラーの検出条件は Appendix P.8, “レジスタで起きたエラーの処理方法” を参照。</p>			
22	IAUG_CRE	R	<p>以下のレジスタの UE。</p> <ul style="list-style-type: none"> (IA) ASI_EIDR (IA) ASI_VA_WATCHPOINT (有効な場合) (I) ASI_INTR_R (A) ASI_INTR_DISPATCH_W (書き込み時の UE) (IA) SOFTINT (IA) STICK (IA) STICK_CMPR
21	IAUG_TSBCTXT	R	<p>以下のレジスタの UE。</p> <ul style="list-style-type: none"> (IA) ASI_DMMU_TSB_BASE (IA) ASI_PRIMARY_CONTEXT (IA) ASI_SECONDARY_CONTEXT (IA) ASI_SHARED_CONTEXT (IA) ASI_IMMU_TSB_BASE
20	IUG_TSBP	R	<p>以下のレジスタの UE。</p> <ul style="list-style-type: none"> (I) ASI_DMMU_TAG_TARGET (I) ASI_DMMU_TAG_ACCESS (I) ASI_IMMU_TAG_TARGET (I) ASI_IMMU_TAG_ACCESS
19	IUG_PSTATE	R	<p>以下のレジスタの UE。</p> <p>PSTATE, PC, NPC, CWP, CANSERVE, CANRESTORE, OTHERWIN, CLEANWIN, PIL, WSTATE</p>
18	IUG_TSTATE	R	<p>以下のレジスタの UE。</p> <p>TSTATE, TPC, TNPC</p>
17	IUG_%F	R	<p>浮動小数点レジスタ (拡張レジスタを含む)、または FPRS, FSR, or GSR の UE。</p>
16	IUG_%R	R	<p>整数レジスタ (拡張レジスタを含む)、または Y, CCR, ASI の UE。</p>
14	IUG_WDT	R	<p>一番目のウォッチドッグタイムアウト。単独 ADE 通知時に IUG_WDT = 1 がセットされていると、TPC が指す命令の実行は中断され、結果は不定である。</p>
10	IUG_DTLB	R	<p>load/store, demap 時に DTLB で UE が発生した場合、1 がセットされる。DTLB で以下の事象が起きていることを示す。</p> <ul style="list-style-type: none"> • DTLB_DATA_ACCESS, DTLB_TAG_ACCESS で DTLB を読み出そうとした際、DTLB の data または tag で UE が発生した場合。 • DTLB への書き込み、demap が失敗した場合。TPC はエラーを起こした命令かその次の命令を指す。

TABLE P-9 ASI_UGESR のフィールドの説明 (2 of 3)

ビット	フィールド名	アクセス	説明
9	IUG_ITLB	R	<p>load/store, demap 時に ITLB で UE が発生した場合、1 がセットされる。ITLB で以下の事象が起きていることを示す。</p> <ul style="list-style-type: none"> ITLB_DATA_ACCESS, ITLB_TAG_ACCESS で ITLB を読み出そうとした際、ITLB の data または tag で UE が発生した場合。 ITLB への書き込み、demap が失敗した場合。TPC はエラーを起こした命令かその次の命令を指す。
8	IUG_COREERR	R	<p>CPU core でエラーが起きたことを示す。命令実行に関するリソースで、ソフトウェアに見えないものでエラーが起きた場合に 1 がセットされる。</p> <p>ソフトウェアから見えるレジスタでエラーが起き、そのレジスタを読み出す命令が実行されたとき、そのレジスタのエラーを示すビットがセットされるが、IUG_COREERR はセットされる場合もされない場合もある。</p>

TABLE P-9 ASI_UGESR のフィールドの説明 (3 of 3)

ビット	フィールド名	アクセス	説明
5:4	INSTEND	R	割込まれた命令の終了方法を示す。単独 ADE でウォッチドッグタイムアウトが検出されていない場合、INSTEND は TPC が指す命令の終了方法を示している。 00 ₂ : Precise 01 ₂ : Retryable but not precise 10 ₂ : Reserved 11 ₂ : Not retryable 詳細は P.4.3 を参照。ウォッチドッグリセットが起きた場合は、命令の終了方法は未定義である。
3	PRIV	R	特権モードフラグ。単独 ADE 発生直前の PSTATE.PRIV の値がコピーされる。 PSTATE に UE が発生したため、単独 ADE 発生直前の PSTATE の値が不明の場合は、ASI_UGESR.PRIV が 1 にセットされる。
2	MUGE_DAE	R	DAE により多重 UGE が起きたことを示す。単独 ADE の場合、MUGE_DAE が 0 にセットされる。DAE により多重 ADE が起きると、MUGE_DAE が 1 にセットされる。DAE 以外の要因による多重 ADE の場合は MUGE_DAE は変化しない。
1	MUGE_IAE	R	IAE により多重 UGE が起きたことを示す。単独 ADE の場合、MUGE_IAE が 0 にセットされる。IAE により多重 ADE が起きると、MUGE_IAE が 1 にセットされる。IAE 以外の要因による多重 ADE の場合は MUGE_IAE は変化しない。
0	MUGE_IUGE	R	I_UGE により多重 UGE が起きたことを示す。単独 ADE の場合、MUGE_IUGE が 0 にセットされる。I_UGE により多重 ADE が起きると、MUGE_IUGE が 1 にセットされる。I_UGE 以外の要因による多重 ADE の場合は MUGE_IUGE は変化しない。
Other	Reserved	R	常に 0。

P.4.2 async_data_error (ADE) トラップ発生時の処理

単独または多重 ADE が起きる条件は、P.2.2 で定義された通りである。この節では発生した際の処理方法を説明する。

- ADE が発生する条件は、以下のいずれかである。
 - ASI_ERROR_CONTROL.UGE_HANDLER = 0 で、I_UGEs と / または A_UGEs が検出された場合、単独 ADE 例外が通知される。
 - ASI_ERROR_CONTROL.UGE_HANDLER = 1 で、I_UGEs, IAE, DAE のひとつまたは複数 が検出された場合、多重 ADE 例外が通知される。
- 状態遷移、トラップハンドラのアドレス計算、TL の処理は以下の順で行われる。

a. 状態遷移

TL = MAXTL のときは、ADE 例外の動作を中断し、error_state に遷移する。

CPU が実行状態で TL = MAXTL - 1 のときは、RED_state に遷移する。

b. トラップハンドラのアドレス計算

CPU が実行ステート的时候は、TBA, TT, TL からアドレスを計算する。

それ以外、つまり RED_state では、RSTVaddr + A0₁₆ がセットされる。

c. TLに1を加算する。

3. TSTATE, TPC, TNPC, TXAR の更新。

ADE 例外が通知される直前の PSTATE, PC, NPC, XAR が TSTATE, TPC, TNPC, TXAR にコピーされる。元のレジスタに UE が含まれていても、そのままコピーされる。

4. その他のレジスタ値の更新。

以下の3種類のレジスタが更新される。

a. レジスタの自動検証。

ハードウェアにより以下のレジスタが更新される。

レジスタ	更新する条件	更新値
PSTATE	常に	AG = 1, MG = 0, IG = 0, IE = 0, PRIV = 1, AM = 0, PEF = 1, RED = 0 (CPU の状態によっては 1), MM = 00, TLE = 0, CLE = 0.
PC	常に	ADE トラップのアドレス。
nPC	常に	ADE トラップのアドレス +4。
CCR	レジスタのデータが訂正不能エラーを起こしているとき	0.

レジスタ	更新する条件	更新値
FSR, GSR	レジスタのデータが訂正不能エラーを起こしているとき	UE を保持するレジスタに 0 が書かれる。単独 ADE の場合、ASI_UGESR.IUG_%F に 1 がセットされる。
CWP, CANSVAE, CANRESTORE, OTHERWIN, CLEANWIN	レジスタのデータが訂正不能エラーを起こしているとき	UE を保持するレジスタに 0 が書かれる。単独 ADE の場合、ASI_UGESR.IUG_PSTATE に 1 がセットされる。
TICK	レジスタのデータが訂正不能エラーを起こしているとき	NPT = 1, Counter = 0.
TICK_COMPARE	レジスタのデータが訂正不能エラーを起こしているとき	INT_DIS = 1, TICK_CMPR = 0.
XAR	常に	0
XASR	レジスタのデータが訂正不能エラーを起こしているとき	0

書き込まれたレジスタに存在していたエラーは消去される。

上記以外のレジスタおよび TLB エントリに存在するエラーは保持されたままとなる。

b. ASI_UGESR の更新。

ビット	フィールド	単独 ADE トラップでの更新	多重 ADE トラップでの更新
63:6	エラー表示	すべてのビットが更新される。 検出されたすべての I_UGE, A_UGE が同時に表示される。	変更されない。
5:4	INSTEND	TPC が指す命令の終了方法が表示される	変更されない。
2	MUGE_DAE	0 がセットされる。	DAE で多重 ADE 例外が起きた場合、1 がセットされる。それ以外では変更されない。
1	MUGE_IAE	0 がセットされる。	IAE で多重 ADE 例外が起きた場合、1 がセットされる。それ以外では変更されない。
0	MUGE_IUGE	0 がセットされる。	I_UGE で多重 ADE 例外が起きた場合、1 がセットされる。それ以外では変更されない。

c. ASI_ERROR_CONTROL の更新。

単独 ADE 例外時、ASI_ERROR_CONTROL.UGE_HANDLER に 1 がセットされる。RETRY または DONE が実行されるまでは UGE_HANDLER は 1 のままで、ハードウェアにエラー処理中であることを伝える。

多重 ADE が起きると、ASI_ERROR_CONTROL.WEAK_ED が 1 にセットされ、CPU はエラー検出を弱めて動作する。

5. ASI_ERROR_CONTROL.UGE_HANDLER に 0 がセットされる。

RETRY または DONE 命令が実行されると、完了のときに UGE_HANDLER に 0 がセットされる。

P.4.3 ADE トラップ発生した時の命令の実行状況

SPARC64 VIIIfx では `async_data_error` 通知により終了させられた命令、つまり TPC が指す命令の終了状態は以下の 3 種類のいずれかになる。

- Precise
- Retryable but not precise (JPS1 定義外)
- Not retryable (JPS1 定義外)

単独 ADE 発生時は、TPC が指す命令の終了方法は、ASI_UGESR.INSTEND に表示される。

各終了方法の相違点を TABLE P-10 に示す。

TABLE P-10 `async_data_error` 通知時点の命令の実行状況

	Precise	Retryable But Not Precise	Not Retryable
ADE,IAE,DAE 発生から TPC が指す命令の直前までの命令	完了。 UGE が起きていない命令は、仕様通りに完了する。UGE を起こした命令の出力は不定となり、結果レジスタやメモリに不定値が書きこまれる。		
TPC が指す命令	未実行と同じ結果。	不完全な結果が出力される。 結果の一部だけを書き出したり、結果が壊れている場合がある。 命令とは無関係なレジスタ・メモリが壊れることはない。 以下の動作は行われない。 <ul style="list-style-type: none"> • キャッシュャブル領域へのストア (メモリ、キャッシュどちらも) • ノンキャッシュャブル領域へのストア • 命令の入力レジスタと出力レジスタが同じ場合の、出力レジスタ変更 	不完全な結果が出力される。 結果の一部だけを書き出したり、結果が壊れている場合がある。 命令とは無関係なレジスタ・メモリが壊れることはない。 無効なアドレスに対するストアは行われない (有効なアドレスの場合は実行されるかもしれない)。
TPC の次以降の命令の実行	未実行と同じ結果。	未実行と同じ結果。	未実行と同じ結果。

TABLE P-10 `async_data_error` 通知時点の命令の実行状況

	Precise	Retryable But Not Precise	Not Retryable
例外を通知されたプログラムが、単独 ADE で報告されたエラーでダメージを受けていない場合、実行を継続できるか。	できる。	できる。	できない。

P.4.4 ADE トラップハンドラの処理例

ADE トラップハンドラの例を擬似 C コードで示す。このコードでは以下のエラーの復旧を目的としている。

- CPU 内部の RAM やレジスタ
- 加算機
- CPU 内の一時レジスタやデータバス

```

void
expected_software_handling_of_ADE_trap()
{
    /*
     * ここから #1 地点までは、レジスタウィンドウを制御するレジスタ
     * が壊れているかもしれないので、%r0-%r7 レジスタのみを使う。
     * 可能ならば、単独 ADE のハンドラ全体で %r0-%r7 だけを使うのが
     * 望ましい。
     */

    ASI_SCRATCH_REGp ← %rX;      /* working register 1 */
    ASI_SCRATCH_REGq ← %rY;      /* working register 2 */
    %rX ← ASI_UGESR;

    if ((%rX && 0x07) ≠ 0) {
        /* 多重 ADE 例外が起きている */
        パニックルーチンに入り、ASI_ERROR_CONTROL.WEAK_ED == 1
        で可能な範囲でシステムダンプを採取；
    }

    if (%rX.IUG_%R == 1) {
        %rX と %rY 以外の r1-%r63 ← %r0;
        %y ← %r0;
        %tstate.pstate ← %r0;
        /* %tstate.pstate の asi がエラーしているかもしれないので */
    }
    else {

```

```

    %rX, %rY, ASI_SCRATCH_REGp, ASI_SCRATCH_REGq を使い
    作業に必要なレジスタを確保するため、%rX, %rY,
    ASI_SCRATCH_REGp, ASI_SCRATCH_REGq を使い %r1-%r7 を
    退避する ;

    /*
     * PSTATE.AG == 1 であるコンテキストでエラーが起き、
     * その処理に復旧するのならば、全 %r レジスタの退避と
     * 復元が必要である。
     */
}

if (ASI_UGESR.IUG_PSTATE == 1) {
    %tstate.pstate ← %r0;
    %tpc ← %r0;
    %pil ← %r0;
    %wstate ← %r0;
    レジスタウィンドウ中の全レジスタ ← %r0;
    レジスタウィンドウ制御レジスタ (CWP, CANSERVE,
    CANRESTORE, OTHERWIN, CLEANWIN) には適切な値を設定する ;
}

/*
 * Point#1
 * ここまででレジスタウィンドウ制御レジスタのエラー検証が完了して
 * いるので、これ以降 %r0-%r7 以外のウィンドウレジスタを使用可。
 */

if (ASI_UGESR.IAUG_CRE == 1
    || ASI_UGESR.IAUG_TSBCTXT == 1
    || ASI_UGESR.IUG_TSBP == 1
    || ASI_UGESR.IUG_TSTATE == 1
    || ASI_UGESR.IUG_%F==1) {

    これらのエラーを起こす可能性のあるレジスタをすべて検証する ;
}

if (ASI_UGESR.IUG_DTLB == 1) {
    DTLB に対し demap_all を実行する ;
    /*
     * fDTLB のロックされた TTE は demap_all では消去されない。
     * fDTLB のロックエントリで UE が起きた場合、そのエントリが
     * が検索されマッチした際に data_access_error 例外が通知される。
     */
}

if (ASI_UGESR.IUG_ITLB == 1) {

```

```

execute demap_all for ITLB;
ITLB に対し demap_all を実行する ;
/*
 * fITLB のロックされた TTE は demap_all では消去されない。
 * fITLB のロックエントリで UE が起きた場合、そのエントリが
 * が検索されマッチした際に data_access_error 例外が通知される。
 */
}

if (ASI_UGESR.bits<22:14> == 0 &&
    ASI_UGESR.INSTEND == 0 || ASI_UGESR.INSTEND == 1) {
    ++ADE_trap_retry_per_unit_of_time;
    if (ADE_trap_retry_per_unit_of_time < threshold)
        RETRY で例外が起きる前のコンテキストに復帰する ;
    else
        ADE 例外発生回数が閾値を越えたので、OS を停止する ;
} else if (ASI_UGESR.bits<22:18> == 0 &&
           ASI_UGESR.bits<15:14> == 0 &&
           ASI_UGESR.PRIV == 0) {
    ++ADE_trap_kill_user_per_unit_of_time;
    if (ADE_trap_kill_user_per_unit_of_time
        < threshold) {
        ユーザプロセスの実行を停止し、OS は処理を継続する ;
    } else {
        ADE 例外発生によるユーザプロセス中断回数が閾値を越え
        たので、OS を停止する ;
    }
} else {
    復旧不可能な緊急エラーが起きたので、OS を停止する。
}
}

```

P.5 Instruction Access Errors

Appendix F.5, “*Faults and Traps*” を参照。

P.6 Data Access Errors

Appendix F.5, “*Faults and Traps*” を参照。

P.7 抑止可能エラー

P.7.1 ASI_ASYNC_FAULT_STATUS (ASI_AFSR)

レジスタ名	ASI_ASYNC_FAULT_STATUS (ASI_AFSR)
ASI	4C ₁₆
VA	00 ₁₆
エラー検出	なし
フォーマット	TABLE P-11 参照
リセット後の初期値	ハード POR 時は、全てのフィールドが初期化される。 それ以外のリセットでは、値は変更されない。

ASI_ASYNC_FAULT_STATUS は、抑止可能エラーが発生した際その種類を表示するレジスタである。各ビットは 1 にセットされると、システムソフトウェアによって上書きされるまでその値を保持しつづける。TABLE P-11 に AFSR のフィールドを示す。各フィールドには抑止可能エラーの種類を表わす接頭語がついている。

- DG_ 縮退
- UE_ 訂正不能エラー

TABLE P-11 ASI_ASYNC_FAULT_STATUS のフィールドの説明

ビット	フィールド名	アクセス	説明
12	Reserved		
11	DG_U2\$	RW1C	CPU の U2 キャッシュが縮退した場合、1 がセットされる。
10	DG_D1\$sTLB	RW1C	I1 キャッシュ、D1 キャッシュ、sITLB、sDTLB が縮退した場合、1 がセットされる。
9	Reserved	R	読み出しには常に 0 が返り、書き込みは無視される。
3	UE_DST_BETO	RW1C	メモリ書き込みに対してバスエラーが返ってきた場合、1 がセットされる。
2	Reserved	R	読み出しには常に 0 が返り、書き込みは無視される。
1	UE_RAW_L2\$INSD	RW1C	L2 キャッシュでマークされていない UE が発見された場合、1 がセットされる。
0	UE_RAW_D1\$INSD	RW1C	D1 キャッシュでマークされていない UE が発見された場合、1 がセットされる。
その他	Reserved	R	読み出しには常に 0 が返り、書き込みは無視される。

Note – disrupting なバスエラーまたはタイムアウトは、AFSR.UE_DST_BETO, DSFSR.BERR, DSFSR.RTO のいずれか 1 つで報告される。

Note – 参照すると AFSR.UE_DST_BETO がセットされるような領域に対する書き込みの直後に同一アドレスを読み出すと、ストアバッファにあるデータが読み出され、*data_access_error* が発生しないことがある。AFSR.UE_DST_BETO は書き込みの実行後にセットされる。

P.7.2 抑止可能エラーに対するソフトウェア処理

すべての抑止可能エラーは、エラーを記録することが望ましい。この節では各抑止可能エラーに対して期待されるソフトウェアでの処理法を説明する。

- DG_L1\$, DG_U2\$ — 以下のような CPU の状態が報告される。
 - I1 キャッシュ, D1 キャッシュ, U2 キャッシュ, sITLB, sDTLB でウェイが縮退したので、性能低下の可能性を示す。
 - CPU の可用性が低下していることを示す。I1 キャッシュ, D1 キャッシュ, U2 キャッシュ, sITLB, sDTLB が 1 ウェイで動作している状態で、最後のウェイでもエラーが発生した場合は、*error_state* 遷移エラーとなる。
必要ならば、ソフトウェアはエラーを起こしている CPU の使用を止める。
- UE_DST_BETO — このエラーが起きるのは以下のどちらかの場合である。
 - DTLB に間違った TTE が存在する。
 - 物理アドレスアクセス ASI で、無効な領域にアクセスした。どちらの場合も、原因はシステムソフトウェアのバグである。エラー情報を元にシステムソフトウェアを修正する。
- UE_RAW_L2\$INSD, and UE_RAW_D1\$INSD — このエラーの処理は、
 - 可能ならば、UE を含むキャッシュラインに対し **BST with commit** を実行して、エラーを消去する。これによりキャッシュラインに載っていたデータは失われることに注意。
- *ECC_error* 例外が通知されたが、ASI_AFSR にエラーが記録されていない場合 — *ECC_error* 例外を無視する。
詳細は “エラー検出時の動作” (page 259) を参照。

P.8 レジスタで起きたエラーの処理方法

この節では、以下のレジスタで起きたエラーの処理方法について説明する。

- 特権、非特権レジスタ
- ASR レジスタ
- ASI レジスタ

P.8.1 特権・非特権レジスタの処理方法

TABLE P-12 内で使われる用語の定義は以下の通りである。

列	用語	意味
エラー検出条件	InstAccess	命令実行によりレジスタがアクセスされたときにエラーが検出される。
エラー訂正	W	レジスタ全体への書き込みでエラーが訂正される。
	ADE trap	ハードウェアが、 <code>async_data_error</code> 例外によるトラップ処理中にレジスタ全体への書き込みを行い、エラーが訂正される。

TABLE P-12 に、特権、非特権レジスタのエラー処理方法を示す。PC, nPC, PSTATE, CWP, ASI で緊急エラーが起きた場合、`async_data_error` トラップハンドラに処理が移った時点で、エラーも含めてそれぞれ TPC, TNPC, TSTATE にコピーされていることに注意。

TABLE P-12 特権・非特権レジスタのエラーの扱い (1 of 2)

レジスタ	RW	エラー保護	エラー検出条件	エラー種類	エラー訂正
%rn ¹	RW	パリティ	InstAccess	IUG_%R	W
%fn ¹	RW	パリティ	InstAccess	IUG_%F	W
PC	R	パリティ	Always	IUG_PSTATE	ADE trap
nPC	R	パリティ	Always	IUG_PSTATE	ADE trap
PSTATE	RW	パリティ	Always	IUG_PSTATE	ADE trap, W
TBA	RW	パリティ	PSTATE.RED = 0	error_state	W(OBP が行う)
PIL	RW	パリティ	PSTATE.IE = 1 InstAccess	IUG_PSTATE	W
CWP, CANSERVE, CANRESTORE, OTHERWIN, CLEANWIN	RW	パリティ	Always	IUG_PSTATE	ADE trap, W
TT	RW	なし	—	—	—
TL	RW	パリティ	PSTATE.RED = 0	error_state	W(OBP が行う)

TABLE P-12 特権・非特権レジスタのエラーの扱い (2 of 2)

レジスタ	RW	エラー保護	エラー検出条件	エラー種類	エラー訂正
TPC	RW	パリティ	InstAccess	IUG_TSTATE	W
TNPC	RW	パリティ	InstAccess	IUG_TSTATE	W
TSTATE	RW	パリティ	InstAccess	IUG_TSTATE	W
WSTATE	RW	パリティ	Always	IUG_PSTATE	ADE trap, W
VER	R	なし	—	—	—
FSR	RW	パリティ	Always	IUG_%F	ADE trap, W
Y	RW	パリティ	InstAccess	IUG_%R	W
CCR	RW	パリティ	Always	IUG_%R	ADE trap, W
ASI	RW	パリティ	Always	IUG_%R	ADE trap, W
TICK	RW	パリティ	AUG Always ²	IUG_COREERR	ADE trap ³ , W
FPRS	RW	パリティ	Always	IUG_%F	ADE trap, W

1.拡張レジスタを含む。

2.サスペンド中のスレッドには error_state 遷移エラーとして通知される。

3.訂正のために書く値は 0x8000_0000_0000_0000

P.8.2 ASR レジスタの処理方法

TABLE P-13 内で使われる用語の定義は以下の通りである。

列	用語	意味
エラー検出条件	AUG always	エラーは、ASI_ERROR_CONTROL.UGE_HANDLER = 0 かつ ASI_ERROR_CONTROL.WEAK_ED = 0 のときに検出される。
	InstAccess	命令実行によりレジスタがアクセスされたときに検出される。
エラー種類	(I)AUG_xxx	自律エラーが起き、ASI_UGESR.IAUG_xxx = 1 となった。
	I(A)UG_xxx	命令エラーが起き、ASI_UGESR.IAUG_xxx = 1 となった。
エラー訂正	W	レジスタ全体への書き込みでエラーが訂正される。
	ADE trap	ハードウェアが、 <i>async_data_error</i> 例外によるトラップ処理中にレジスタ全体への書き込みを行い、エラーが訂正される。

TABLE P-13 に、ASR レジスタのエラー処理方法を示す。

TABLE P-13 ASR レジスタのエラーの扱い

ASR Number	レジスタ	RW	エラー保護	エラー検出条件	エラー種類	エラー訂正
16	PCR	RW	なし	—	—	—
17	PIC	RW	なし	—	—	—
18	DCR	R	なし	—	—	—
19	GSR	RW	パリティ	Always	IUG_%F	ADE trap, W
20	SET_SOFTINT	W	なし	—	—	—
21	CLEAR_SOFTINT	W	なし	—	—	—
22	SOFTINT	RW	なし	—	—	—
23	TICK_COMPARE	RW	パリティ	AUG always ¹	IUG_COREERR	ADE trap, W
24	STICK	RW	パリティ	AUG always ¹ InstAccess	(I)AUG_CRE I(A)UG_CRE	W W
25	STICK_COMPARE	RW	パリティ	AUG always ¹ InstAccess	(I)AUG_CRE I(A)UG_CRE	W W
29	XAR	RW	パリティ	Always	IUG_COREERR	ADE trap, W
30	XASR	RW	パリティ	Always	IUG_COREERR	ADE trap, W
29	TXAR	RW	パリティ	InstAccess	IUG_TSTATE	W

1. サスペンド中のスレッドには error_state 遷移エラーとして通知される。

STICK Behavior upon Error

STICK でエラーが起きた場合、TABLE P-13 の検出条件とは関係なくカウントアップは停止する。

P.8.3 ASI レジスタの処理方法

TABLE P-14 内で使われる用語の定義は以下の通りである。

列	用語	意味
エラー保護	パリティ	パリティで保護されている。
	Triplets	レジスタが三重化されている。
	ECC	ECC で保護されている。
	Gecc	生成された ECC で保護されている。
	なし	保護なし

列	用語	意味
エラー検出条件	Always	エラーは常に検出される。
	AUG always	エラーは、ASI_ERROR_CONTROL.UGE_HANDLER = 0 かつ ASI_ERROR_CONTROL.WEAK_ED = 0 のときに検出される。
	LDXA	エラーはレジスタの読み出し時に検出される。
	ITLB write	エラーは、ITLB 書き込みまたは demap による更新時に検出される。
	DTLB write	エラーは、DTLB 書き込みまたは demap による更新時に検出される。
	Use for TLB	エラーは、TLB 検索の際に参照されたときに検出される。
	Enabled	エラーは、その機能が有効なときに検出される。
	intr_receive	エラーは、割り込みパケットを受信したときに検出される。受信パケットの中に UE があると、vector_interrupt 例外が通知されるが ASI_INTR_RECEIVE.BUSY は 0 にセットされる。ASI_INTR_RECEIVE.BUSY に 0 を書き込むと、新たなパケットが受信可能となる。
エラー種類	error_state	error_state 遷移エラー。
	(I)AUG_xxxx	自律エラーが発生し、エラー情報が ASI_UGESR.IAUG_xxxx = 1 に表示される。
	(A)UG_xxxx	命令エラーが発生し、エラー情報が ASI_UGESR.IAUG_xxxx = 1 に表示される。
	Others	ASI_UGESR の、エラーに対応するビットに 1 がセットされる。
エラー訂正	RED trap	RED_state トラップの発生時に値が更新されエラーが訂正される。
	W	ASI レジスタへの書き込みでエラーが訂正される。
	WotherI	以下のレジスタ全てを更新することでエラーが訂正される。 <ul style="list-style-type: none"> • ASI_IMMU_TAG_ACCESS • ASI_UGESR.IAUG_TSBCTXT = 1 で単独 ADE のときは ASI_IMMU_TSB_BASE, ASI_PRIMARY_CONTEXT, ASI_SECONDARY_CONTEXT, ASI_SHARED_CONTEXT
	WotherD	以下のレジスタ全てを更新することでエラーが訂正される。 <ul style="list-style-type: none"> • ASI_DMMU_TAG_ACCESS • ASI_UGESR.IAUG_TSBCTXT = 1 で単独 ADE のときは ASI_DMMU_TSB_BASE, ASI_PRIMARY_CONTEXT, ASI_SECONDARY_CONTEXT, ASI_SHARED_CONTEXT
	Interrupt receive	割り込みパケットの受信でエラーが訂正される。

TABLE P-14 に、ASI レジスタのエラー処理方法を示す。

TABLE P-14 ASI レジスタのエラーの扱い (1 of 2)

ASI	VA	レジスタ	RW	エラー保護	エラー検出条件	エラー種類	エラー訂正
45 ₁₆	00 ₁₆	DCU_CONTROL	RW	パリティ	Always	error_state	RED trap
	08 ₁₆	MEMORY_CONTROL	RW	パリティ	Always	error_state	RED trap
48 ₁₆	00 ₁₆	INTR_DISPATCH_STATUS	R	パリティ	LDXA またはレジスタ更新	I(A)UG_CRE (UE)	None
49 ₁₆	00 ₁₆	INTR_RECEIVE	RW	パリティ	LDXA	I(A)UG_CRE (UE)	None
4A ₁₆	—	SYS_CONFIG	R	なし	—	—	—
4B ₁₆	00 ₁₆	STICK_CNTL	RW	Triplets	Always	—	Always
4C ₁₆	00 ₁₆	ASYNC_FAULT_STATUS	RWIC	なし	—	—	—
4C ₁₆	08 ₁₆	URGENT_ERROR_STATUS	R	なし	—	—	—
4C ₁₆	10 ₁₆	ERROR_CONTROL	RW	パリティ	Always	error_state	RED trap
4C ₁₆	18 ₁₆	STCHG_ERROR_INFO	R, WIAC	なし	—	—	—
4F ₁₆	00 ₁₆ –38 ₁₆	SCRATCH_REGS	RW	パリティ	LDXA	IUG_COREERR	W
50 ₁₆	00 ₁₆	IMMU_TAG_TARGET	R	パリティ	LDXA	IUG_TSBP	WotherI
50 ₁₆	18 ₁₆	IMMU_SFSR	RW	なし	—	—	—
50 ₁₆	28 ₁₆	IMMU_TSB_BASE	RW	パリティ	LDXA	I(A)UG_TSBCTXT	W
50 ₁₆	30 ₁₆	IMMU_TAG_ACCESS	RW	パリティ	LDXA	IUG_TSBP	W (WotherI)
50 ₁₆	60 ₁₆	IMMU_TAG_ACCESS_EXT	RW	パリティ	LDXA	IUG_TSBP	W
50 ₁₆	78 ₁₆	IMMU_SFPAR	RW	パリティ	LDXA	I(A)UG_CRE	W
53 ₁₆	—	SERIAL_ID	R	なし	—	—	—
54 ₁₆	—	ITLB_DATA_IN	W	パリティ	ITLB 書き込み	IUG_ITLB	DemapAll
55 ₁₆	—	ITLB_DATA_ACCESS	RW	パリティ	LDXA ITLB 書き込み	IUG_ITLB IUG_ITLB	DemapAll DemapAll
56 ₁₆	—	ITLB_TAG_READ	R	パリティ	LDXA	IUG_ITLB	DemapAll
57 ₁₆	—	IMMU_DEMAP	W	パリティ	ITLB 書き込み	IUG_ITLB	DemapAll
58 ₁₆	00 ₁₆	DMMU_TAG_TARGET	R	パリティ	LDXA	IUG_TSBP	WotherD
58 ₁₆	08 ₁₆	PRIMARY_CONTEXT	RW	パリティ	LDXA Use for TLB AUG always	I(A)UG_TSBCTXT I(A)UG_TSBCTXT (I)AUG_TSBCTXT	W W W
58 ₁₆	10 ₁₆	SECONDARY_CONTEXT	RW	パリティ	= P_CONTEXT	IAUG_TSBCTXT	W
58 ₁₆	18 ₁₆	DMMU_SFSR	RW	なし	—	—	—
58 ₁₆	20 ₁₆	DMMU_SFAR	RW	パリティ	LDXA	IAUG_CRE	W
58 ₁₆	28 ₁₆	DMMU_TSB_BASE	RW	パリティ	LDXA	I(A)UG_TSBCTXT	W
58 ₁₆	30 ₁₆	DMMU_TAG_ACCESS	RW	パリティ	LDXA	IUG_TSBP	W (WotherD)
58 ₁₆	38 ₁₆	DMMU_WATCHPOINT	RW	パリティ	Enabled LDXA	(I)AUG_CRE I(A)UG_CRE	W W

TABLE P-14 ASI レジスタのエラーの扱い (2 of 2)

ASI	VA	レジスタ	RW	エラー保護	エラー検出条件	エラー種類	エラー訂正
58 ₁₆	60 ₁₆	DMMU_TAG_ACCESS_EXT	RW	パリティ	LDXA	IUG_TSBP	W
58 ₁₆	68 ₁₆	SHARED_CONTEXT	RW	パリティ	= P_CONTEXT	(I)AUG_TSBCTXT	W
58 ₁₆	78 ₁₆	DMMU_SFPAR	RW	パリティ	LDXA	I(A)UG_CRE	W
5C ₁₆	—	DTLB_DATA_IN	W	パリティ	DTLB 書き込み	IUG_DTLB	DemapAll
5D ₁₆	—	DTLB_DATA_ACCESS	RW	パリティ	LDXA	IUG_DTLB	DemapAll
					DTLB 書き込み	IUG_DTLB	DemapAll
5E ₁₆	—	DTLB_TAG_READ	R	パリティ	LDXA	IUG_DTLB	DemapAll
5F ₁₆	—	DMMU_DEMAP	W	パリティ	DTLB 書き込み	IUG_DTLB	DemapAll
60 ₁₆	—	I IU_INST_TRAP	RW	パリティ	LDXA	No match at error	W
67 ₁₆	—	FLUSH_L1I	W	なし	—	—	—
6D ₁₆	00 ₁₆ -58 ₁₆	BARRIER_INIT	RW	パリティ	Always(割り当てられているとき) または LDXA	Fatal Error	—
6E ₁₆	00 ₁₆	EIDR	RW	パリティ	Always ¹	IAUG_CRE	W
6F ₁₆	00 ₁₆ -58 ₁₆	BARRIER_ASSIGN	RW	パリティ	Always(割り当てられているとき)	Fatal Error	—
74 ₁₆	addr	CACHE_INV	W	なし	—	—	—
77 ₁₆	40 ₁₆ -50 ₁₆	INTR_DATA0:2_W	W	Gecc	None	—	W
77 ₁₆	70 ₁₆	INTR_DISPATCH_W	W	Gecc	store	(I)AUG_CRE	W
7F ₁₆	40 ₁₆ -50 ₁₆	INTR_DATA0:2_R	R	ECC	LDXA intr_receive	IAUG_CRE BUSY = 0	Interrupt Receive
E7 ₁₆	00 ₁₆	SCCR	RW	パリティ	Always	IUG_COREERR	W
FE ₁₆	00 ₁₆ -58 ₁₆	LBSY, BST	RW	パリティ	Always(割り当てられているとき)	Fatal Error	—

1. サスペンドステートでは error_state で報告される。

P.9 キャッシュで起きたエラーの処理方法

この節では、キャッシュタグ、キャッシュデータのエラー対処について説明する。

P.9.1 キャッシュタグで起きたエラーの処理方法

II キャッシュタグ、D1 キャッシュタグのエラー

U2 キャッシュは、II キャッシュタグと D1 キャッシュタグのコピーを保持している。II キャッシュタグとそのコピー、D1 キャッシュタグとそのコピーはいずれもパリティで保護されている。

D1 キャッシュタグまたは D1 キャッシュタグのコピーでエラーが検出されると、ハードウェアは自動的にエラーが起きていない方から起きている方へコピーを行う。この処理でエラーが修復されたときは、プログラムの実行には影響を与えない。

同様に、II キャッシュタグまたは II キャッシュタグのコピーでエラーが検出されると、ハードウェアは自動的にエラーが起きていない方から起きている方へコピーを行う。この処理でエラーが修復されたときは、プログラムの実行には影響を与えない。

上記の動作でエラーが修復されないときは、タグコピーが繰り返される。固定故障によるエラーの場合、最終的にウォッチドッグタイムアウトかフェイタルエラーが検出される。

U2 キャッシュタグのエラー

U2 キャッシュタグは ECC により保護され、1 ビットエラーの訂正と 2 ビットエラーの検出ができる。

U2 キャッシュタグで訂正可能なエラーが発見された場合、ハードウェアは自動的に正しいデータを上書きしデータを修復する。エラーはシステムソフトウェアには報告されない。

U2 キャッシュタグで訂正不可能なエラーが発見された場合、致命的エラーとして通知され、CPU はフェイタルエラー状態に遷移する。

P.9.2 II キャッシュデータで起きたエラーの処理方法

II キャッシュデータは、8 バイト単位でパリティ保護されている。

命令フェッチ中、II キャッシュデータにパリティエラーが発見されると、ハードウェアは以下の順序で処理を行う。

1. パリティエラーを含むキャッシュラインを U2 キャッシュから読み出す。

U2 キャッシュから読み出されたデータは、UE を含まないデータか、マーク済 UE を含むデータのどちらかである。なぜなら、エラーマークは U2 キャッシュから外に出て行く (outgoing) データにのみ行われるからである。

2. U2 キャッシュから読み出された 8 バイトごとに、

- a. その 8 バイトに UE がなければ、I1 キャッシュに保存し、必要なら命令フェッチ部に供給する。

I1 キャッシュ再コピーの際にエラー訂正が行われても、直接システムソフトウェアに報告は上がらない。

- b. その 8 バイトにマーク済 UE があるときは、I1 キャッシュデータの当該 8 バイトに対するパリティビットを、パリティエラーを示すように設定する。必要なら命令フェッチ部にデータを供給する。

3. フェッチ部でのエラーのある命令の扱いは、

パリティエラーしている命令をフェッチしたが、その命令は実行されず、ソフトウェアから見える状態が変わらないとき、その命令は単に捨てられる。

フェッチした命令が実行され完了したときは、*instruction_access_error* 例外が通知され、ASI_ISFSR にマーク済 UE を検出したことと、その ERROR_MARK_ID が表示される。

P.9.3 D1 キャッシュデータで起きたエラーの処理方法

D1 キャッシュデータは 8 バイト単位で ECC により保護され、1 ビットエラーの訂正と 2 ビットエラーの検出ができる。

D1 キャッシュデータの訂正可能エラー

D1 キャッシュデータで訂正可能エラーが発見された場合、データはハードウェアにより自動的に訂正される。訂正可能エラーはシステムソフトウェアには報告しない。

D1 キャッシュデータのマーク済 UE

D1 キャッシュから U2 キャッシュへのライトバック中に、D1 キャッシュデータでマーク済 UE が発見されると、D1 キャッシュデータと ECC は変更なしで U2 キャッシュに書き戻される。つまり、D1 キャッシュのマーク済 UE は U2 キャッシュに引き継がれる。この書き戻しはシステムソフトウェアには報告されない。

D1 キャッシュのマーク済 UE に対するロード、ストア命令 (8 バイトストアを除く) には、*data_access_error* 例外が通知される。この例外通知は *precise* で、ASI_DSFSR にはマークの ERROR_MARK_ID が表示される。

D1 キャッシュ上のマークしていない UE の U2 への書き戻し

D1 キャッシュから U2 への書き戻し時にマークしていない UE が発見されると、エラーを含む 8 バイトにマーキングが行われる。このときの `ERROR_MARK_ID` には `ASI_EIDR` の値が使われる。U2 キャッシュに書き戻されるのは、訂正済みかマーク済みのデータのみである。

訂正が行われると `ASI_AFSR.UE_RAW_D1$INSD` に 1 がセットされる。

D1 キャッシュ上のマークしていない UE の命令による読み出し

D1 キャッシュ上のマークしていない UE の命令に対する、メモリアクセス命令の読み出しに対し、ハードウェアは以下の順に処理を行う。

1. 一旦 D1 キャッシュから U2 に書き戻し、再度 U2 キャッシュから読み込む。

D1 キャッシュのデータは、U2 のデータと同じであるか更新されているかに係わらず書き戻される。この書き戻しの際にエラーマーキングが行われる。このときの `ERROR_MARK_ID` には `ASI_EIDR` の値が使われる。D1 キャッシュラインは U2 キャッシュから読み出され、`ASI_AFSR.UE_RAW_D1$INSD` に 1 がセットされる。

2. 通常は 1 でマークされていないエラーはマーク済になるが、この操作の途中で同一の 8 バイトに新たな UE が起きることがある。この場合 1 の処理が繰り返される。この動作は D1 キャッシュウェイが縮退するまで行われる。
3. ここまでの操作で、ハードウェアは D1 キャッシュデータのマークされていない UE をマーク済にする。この後メモリアクセス命令はマーク済の UE をアクセスするが、このときの動作は“D1 キャッシュデータのマーク済 UE” (page 290) を参照。

P.9.4 U2 キャッシュデータで起きたエラーの処理方法

U2 キャッシュデータは 8 バイト単位で ECC により保護され、1 ビットエラーの訂正と 2 ビットエラーの検出ができる。

U2 キャッシュデータの訂正可能エラー

メモリから U2 キャッシュへ読み込まれたデータに訂正可能エラーが発見されると、ハードウェアが自動的にエラーを訂正する。例外は通知されない。

U2 キャッシュから I1 キャッシュ、D1 キャッシュへの読み込みや、メモリや他キャッシュへの書き出し時に、転送データや元データに訂正可能エラーが発見された場合、ハードウェアが自動的にエラーを訂正する。このエラーはシステムソフトウェアには報告されない。

U2 キャッシュデータのマーク済 UE

U2 キャッシュデータ上にある、マーク済 UE の 8 バイトデータは、訂正済みデータと同等に扱われる。マーク済 UE が U2 キャッシュデータ上で発見されても、エラー報告はあがらない。

メモリから U2 キャッシュへ読み込まれたデータにマーク済 UE が発見されても、変更されずそのまま U2 キャッシュに書き込まれる。

D1 キャッシュから U2 キャッシュへの書き戻しの際にマーク済 UE が発見されても、変更されずそのまま U2 キャッシュに書き込まれる。なお、マークしていない UE を書き戻すことはない。詳細は“D1 キャッシュ上のマークしていない UE の U2 への書き戻し” (page 291) を参照。

U2 キャッシュから I1 キャッシュ、D1 キャッシュへの読み込みや、メモリや他キャッシュへの書き出し時に、転送データや元データにマーク済 UE が発見されても、変更されずそのまま転送される。

U2 キャッシュデータのマークされていない UE

メモリから U2 キャッシュへ読み込まれたデータにマークされていない UE が発見されると、エラーを含む 8 バイト単位でエラーマーキングが行われる。このとき `ERROR_MARK_ID` は 0 でマーキングされる。当該 8 バイトと ECC がマーク済データに置き換えられ、U2 キャッシュに書き込まれる。例外は通知されない。

U2 キャッシュからの読み出し (I1 キャッシュや D1 キャッシュへの読み込み、メモリや他キャッシュへの書き出し) 時に、マークされていない UE が発見されると、エラーを含む 8 バイト単位でエラーマーキングが行われる。このとき `ERROR_MARK_ID` には `ASI_EIDR` が使われる。`ASI_AFSR.UE_RAW_L2$INSD` に 1 がセットされる。

P.9.5 I1,D1,U2 キャッシュの自動ウェイ縮退

I1,D1,U2 キャッシュでエラーが頻発すると、ハードウェアはキャッシュデータの一意性を保ちながら、ウェイを縮退させる。

ウェイ縮退の条件

ハードウェアは、各キャッシュのウェイ毎に、以下のエラー発生回数の合計を計測している。

- I1 キャッシュの各ウェイについて
 - I1 キャッシュタグと I1 キャッシュタグコピーのパリティエラー
 - I1 キャッシュデータのパリティエラー
- D1 キャッシュの各ウェイについて
 - D1 キャッシュタグと D1 キャッシュタグコピーのパリティエラー

- D1 キャッシュデータの訂正可能エラー
- D1 キャッシュデータのマークされていない UE
- U2 キャッシュの各ウェイについて
 - U2 キャッシュタグの訂正可能エラーと UE
 - U2 キャッシュデータの訂正可能エラー
 - U2 キャッシュデータのマークされていない UE

あるキャッシュウェイのカウンタが、一定時間内に定められた閾値を越えると、ハードウェアはそのキャッシュウェイを縮退させる。その手順は以下の通り。

I1 キャッシュのウェイ縮退

I1 キャッシュのウェイ w を縮退させる手順は、

1. すでに 1 ウェイ縮退している場合は、エラー箇所のみを無効化する。
2. それ以外では、
 - ウェイ w の全データが無効化され、これ以降ウェイ w への読み込みは行われない。
 - `ASI_AFSR.DG_D1$STLB` に 1 がセットされ、抑止可能エラーが通知される。

D1 キャッシュのウェイ縮退

D1 キャッシュのウェイ w を縮退させる手順は、

1. すでに 1 ウェイ縮退している場合は、エラー箇所のみ U2 にライトバックし、エラー箇所のみを無効化する。
2. それ以外では、
 - ウェイ w の全データが無効化され、これ以降ウェイ w への読み込みは行われない。U2 キャッシュデータから変更されているデータについては、U2 キャッシュへライトバックされる。
 - `ASI_AFSR.DG_D1$STLB` に 1 がセットされ、抑止可能エラーが通知される。

U2 キャッシュのウェイ縮退

U2 キャッシュの縮退は、`DCUCR.WEAK_SPCA = 0` のときはすぐに行われるが、`DCUCR.WEAK_SPCA = 1` のときはペンディングされ、`DCUCR.WEAK_SPCA = 0` になったときに開始される。

U2 キャッシュのウェイ w を縮退させる手順は、

1. すでに他のウェイは縮退して、1 ウェイしか残っていない場合は、
 - U2 キャッシュのウェイ w の全データが一斉に無効化されるが、ウェイ w は引き続き使用される。システム全体のデータ一意性を保つため、U2 キャッシュ上のデータは破棄される。

- ASI_AFSR.DG_U2 に 1 がセットされ、抑止可能エラーが通知される。エラー通知は、キャッシュ構成の変化によらず行われる。
2. それ以外では、
- システム全体のデータ一意性を保つため、ウェイ w を含む全ウェイの全データが無効化される。
 - これ以降ウェイ w は使用されない。
 - ASI_AFSR.DG_U2 に 1 がセットされ、抑止可能エラーが通知される。

P.10 TLB で発生したエラー

この節では、TLB エントリのエラー処理方法と sTLB のウェイ縮退について説明する。

P.10.1 TLB エラーの処理

SPARC64 VIIIfx の各 TLB のエラー保護を TABLE P-15 に示す。

TABLE P-15 TLB エントリのエラー保護と検出方法

TLB 種類	フィールド	エラー保護	検出できるエラー
sITLB, sDTLB	タグ	パリティ	パリティエラー (訂正不可能)
	データ	パリティ	パリティエラー (訂正不可能)
fITLB, fDTLB	ロックビット	三重化	なし。値は多数決で決定される。
	ロックビット以外	パリティ	パリティエラー (二重化しており訂正可能)
	データ	パリティ	パリティエラー (二重化しており訂正可能)

TLB のエラーは、メモリアクセス時のアドレス変換と ASI レジスタ経由で直接アクセスする際に発見される。

ASI レジスタ経由でアクセスする際に発見されたエラー

DTLB に ASI_DTLB_DATA_ACCESS または ASI_DTLB_TAG_ACCESS でエラーが発見されると、ASI_UGESR.IUG_DTLB に 1 をセットし、命令緊急エラーを通知する。

ITLB に ASI_ITLB_DATA_ACCESS または ASI_ITLB_TAG_ACCESS でエラーが発見されると、ASI_UGESR.IUG_ITLB に 1 をセットし、命令緊急エラーを通知する。

アドレス変換の際に sTLB で発見されたエラー

アドレス変換の際に sTLB でエラーが発見されると、そのエントリを無効にする。システムソフトウェアには報告されない。

アドレス変換の際に fTLB で発見されたエラー

fTLB はアドレスもデータも二重化されているので、アドレス変換の際に fTLB でパリティエラーが発見されると、正しいほうからコピーして自動訂正する。システムソフトウェアには報告されない。両方のエントリでパリティエラーが発見されると、致命的エラーとなる。

Performance Instrumentation

この章では、SPARC64 VIIIfx の性能計測カウンタ (Performance Counter:PA) について説明する。

Q.1 PA 概要

PA カウンタの定義については、“*Performance Control Register (PCR) (ASR 16)*” (page 26) および “*Performance Instrumentation Counter (PIC) Register (ASR 17)*” (page 28) を参照。

Q.1.1 サンプル擬似コード

カウンタのセットとクリア

PIC は読み書き可能なレジスタである。0 を書くとカウンタがクリアされ、それ以外の値を書けばそれがカウンタにセットされる。以下の擬似コードは、すべての PIC カウンタをクリアする例である。

```
/* SU/SL の設定を変更せずに PIC をクリアする */
pic_init = 0x0;
pcr = rd_pcr();
pcr.ulro = 0x1;          /* 書き込み時に su/sl を変更しない */
pcr.ovf = 0x0;          /* オーバーフロービットをクリアする */
pcr.ut = 0x0;
pcr.st = 0x0;          /* 正確な計測のためにカウンタを停止する */
for (i=0; i<=pcr.nc; i++) {
    /* 書き込む PIC を選択する */
    pcr.sc = i;
    wr_pcr(pcr);
}
```

```

    wr_pic(pic_init); /* PIC[i] をクリア */
}

```

計測項目の選択と計測開始

計測項目は PCR.SC と PCR.SU/PCR.SL で選択する。以下のコードは項目の選択と計測開始のサンプルである（特権アクセス可能な場合）

```

pcr.ut = 0x0;          /* ユーザイベント計測を停止 */
pcr.st = 0x0;          /* システムイベント計測も停止 */
pcr.ulro = 0x0;        /* SU/SL を変更可能にする */
pcr.ovro = 0x1;        /* オーバーフロービットは変更しない */
/* 計測せずにイベントを選択する */
for(i=0; i<=pcr.nc; i++) {
    pcr.sc = i;
    pcr.sl = select an event;
    pcr.su = select an event;
    wr_pcr(pcr);
}
/* 計測開始 */
pcr.ut = 0x1;
pcr.st = 0x1;
pcr.ulro = 0x1;        /* SU/SL ビットを変更しない */
/* 必要ならオーバーフロービットをここでクリアする */
wr_pcr(pcr);

```

計測停止と読みだし

以下のコードは計測停止と読みだしのサンプルである（特権アクセス可能な場合）

```

pcr.ut = 0x0;          /* ユーザイベント計測を停止 */
pcr.st = 0x0;          /* システムイベント計測も停止 */
pcr.ulro = 0x1;        /* SU/SL をリードオンリーにする */
pcr.ovro = 0x1;        /* オーバーフロービットは変更しない */
for(i=0; i<=pcr.nc; i++) {
    pcr.sc = i;
    wr_pcr(pcr);
    pic = rd_pic();
    picl[i] = pic.picl;
    picu[i] = pic.picu;
}

```

Q.2 PA イベントの説明

PA カウンタは以下のグループに大別される。

1. 命令種類、トラップ種類毎の統計情報
2. MMU と L1 キャッシュ関連のイベント計測
3. L2 キャッシュ関連のイベント計測
4. バストランザクションの計測

PA カウンタで計測できるイベントには公開、準公開の 2 種類がある。

公開イベントは、正確に動作することが検証されており、SPARC64 VIIIfx の将来の版でも互換性を保証する¹ イベントである。

準公開イベントは、主としてハードウェアのデバッグ用のイベントである。

- 準公開イベント必ずしも検証されているとは限らないので、このドキュメントで書かれている通りに動かないかもしれない。
- 定義は予告なしに変更されることがある。SPARC64 VIIIfx の将来の版での互換性は保証しない。

SPARC64 VIIIfx で定義されている全 PA イベントを TABLE Q-1 に示す。網掛けのイベントは準公開イベントである。各イベントの計測内容は次節以降で解説する。特に断りない限り、投機命令による事象も PA イベントの計測対象となる。

1. デザイン変更により該当する機能がなくなった場合はこの限りではない。

TABLE Q-1 PA カウンタのイベント番号と PIC

Counter							
Encoding	picu0	picu1	picu2	picu3	picu4	picu5	
0000000	cycle_counts						
0000001	instruction_counts						
0000010	instruction_flow_counts	Reserved	instruction_flow_counts	Reserved	Reserved	xma_inst	
0000011	iwr_empty	Reserved	iwr_empty	Reserved	Reserved	Reserved	
0000100	Reserved						
0000101	op_stv_wait						
0000110	effective_instruction_counts						
0000111	SIMD_load_store_instructions	SIMD_fma_instructions	sxar1_instructions	sxar2_instructions	unpack_sxar1	unpack_sxar2	
0001000	load_store_instructions						
0001001	branch_instructions						
0001010	floating_instructions						
0001011	fma_instructions						
0001100	prefetch_instructions						
0001101	Reserved	ex_load_instructions	ex_store_instructions	fl_load_instructions	fl_store_instructions	SIMD_fl_load_instructions	
0001110	Reserved						
0001111	Reserved						
0010000	Reserved						
0010001	Reserved						
0010010	rs1	flush_rs	Reserved	4iid_use	Reserved	regwin_intlk	
0010011	liid_use	2iid_use	3iid_use	4iid_use	Reserved	sync_intlk	
0010100	Reserved						
0010101	Reserved	toq_rsb_r_phantom	Reserved	flush_rs	Reserved	rs1	
0010110	trap_all	trap_int_vector	trap_int_level	trap_spill	trap_fill	trap_trap_inst	
0010111	Reserved	trap_SIMD_load_across_pages					
0011000	Reserved						
0011001	Reserved						
0011010	Reserved						
0011011	Reserved						
0011100	Reserved						
0011101	Reserved						
0011110	Reserved						
0011111	Reserved						
0100000	Reserved						
0100001	Reserved						
0100010	Reserved						
0100011	Reserved						
0100100	Reserved						
0100101	Reserved						
0100110	Reserved						
0100111	Reserved						
0101000	Reserved						
0101001	Reserved						
0101010	Reserved						
0101011	Reserved						
0101100	Reserved						
0101101	Reserved						
0101110	Reserved						
0101111	Reserved						
0110000	Reserved						
0110001	Reserved						
0110010	Reserved						
0110011	Reserved						
0110100	Reserved						
0110101	Reserved						
0110110	Reserved						
0110111	Reserved						
0111000	Reserved						
0111001	Reserved						
0111010	Reserved						
0111011	Reserved						
0111100	Reserved						
0111101	Reserved						
0111110	Reserved						
0111111	Reserved						

TABLE Q-1 PA カウンタのイベント番号と PIC (Continued)

Encoding	Counter									
	pic0	pic1	pic11	picu2	picu3	pic2	picu3	pic3	suspend_state	decall_intlk
0011010	Reserved									
0011011	Reserved									
0011100	Reserved		0lid_use	flush_rs		Reserved				
0011101	op_stv_wait_pfp_busy_ex	op_stv_wait_sx_miss_ex	op_stv_wait_nc_pend	cse_window_empty_sp_full	op_stv_wait_pfp_busy	Reserved				
0011110	cse_window_empty	eu_comp_wait_ait	branch_comp_w_ait	op_stv_wait_ex	fl_comp_wait	Reserved	1endop		2endop	
0011111	inh_cmit_gpr_2_write	Reserved		3endop		Reserved	sleep_cycle		op_stv_wait_sw_pf	
0100000	uTLB_miss2	uTLB_miss	uTLB_miss	L1L_miss	L1L_miss	L1D_miss	L1L_wait_all		L1D_wait_all	
0100001	Reserved									
0100010	Reserved									
0100011	l1L_thrashing	l1D_thrashing	Reserved							
0100100	swpf_success_all	swpf_fail_all	Reserved	swpf_lbs_hit		Reserved				
0100101	Reserved									
0100110	Reserved									
0100111	Reserved									
0110000	Reserved		L2_miss_dm	L2_miss_pf	L2_read_dm	L2_read_pf	L2_wb_dm	L2_wb_pf		
0110001	bi_count	Reserved		cpd_count	cpu_mem_read_count	cpu_mem_write_count	IO_mem_read_count	IO_mem_write_count		
0110010	L2_miss_wait_dm_bank0	L2_miss_wait_p_bank0	L2_miss_count_dm_bank0	L2_miss_count_pf_bank0	L2_miss_wait_dm_bank1	L2_miss_wait_p_bank1	L2_miss_count_dm_bank1	L2_miss_count_pf_bank1		
0110011	L2_miss_count_dm_bank2	L2_miss_count_pf_bank2	L2_miss_wait_dm_bank2	L2_miss_wait_pf_bank2	L2_miss_count_dm_bank3	L2_miss_count_pf_bank3	L2_miss_wait_dm_bank3	L2_miss_wait_pf_bank3		
0110100	lost_pf_pfp_full	lost_pf_by_abort	IO_pst_count	Reserved						
0110101	Reserved									
0110110	Reserved									
0111111	Disabled (No PIC is counted up)									
1111111	Disabled (No PIC is counted up)									

Q.2.1 命令種類、トラップ種類毎の統計情報

公開 PA 項目

1 *cycle_counts*

CPU サイクル数を計測する。TICK レジスタと同じサイクルを計測するが、*cycle_counts* は PCR.UT, PCR.ST の設定によりユーザ、システム個別に計測することができる。

2 *instruction_counts* (Non-Speculative)

完了した命令数を計測する。この命令数には SXAR1, SXAR2 が含まれる。

SPARC64 VIIIfx は 1 サイクルで最大 4 命令ずつ実行完了することができるが、SXAR1, SXAR2 は通常、この完了命令数には含まれない。このため、*instruction_counts* / *cycle_counts* は 4 より大きな値になることがある。

3 *effective_instruction_counts* (Non-Speculative)

完了した実効命令数を計測する。この命令数には SXAR1, SXAR2 は含まれない。*cycle_counts* と組み合わせることで、サイクルあたりの実行命令数 IPC が導出される。

$$\text{IPC} = \text{effective_instruction_counts} / \text{cycle_counts}$$

ユーザ、システムそれぞれの *effective_instruction_counts* と *cycle_counts* からは、ユーザ、システム毎の IPC が得られる。

4 *load_store_instructions* (Non-Speculative)

完了した整数、浮動小数点数のロード、ストア命令数を計測する。アトミック命令もカウントされる。

SIMD load, SIMD store は計測対象ではなく、別のイベントで計測される。

5 *branch_instructions* (Non-Speculative)

完了した分岐命令数を計測する。CALL, JMPL, RETURN 命令もカウントされる。

6 *floating_instructions* (Non-Speculative)

完了した 1 演算の浮動小数点演算命令数を計測する。計測対象は FPop1 (TABLE E-5), FPop2 (TABLE E-6) のほか、IMPDEP1 の $\text{opf}<8:4> = 16_{16}$ または 17_{16} の命令である。SIMD 演算は計測対象ではなく、別のイベントでカウントされる。

Compatibility Note – SPARC64 VII までの CPU では、このイベントの計測対象は FPop1, FPop2 のみだった。

7 *fma_instructions* (Non-Speculative)

完了した浮動小数点積和演算命令の命令数を計測する。計測対象命令は FM{ADD,SUB}{s,d}, FNM{ADD,SUB}{s,d}, FTRIMADDd である。SIMD 演算は計測対象ではなく、別のイベントでカウントされる。

Compatibility Note – SPARC64 VII までの CPU では、このイベントは *imdep2_instructions* という名前で、計測対象は浮動小数点積和演算のみだった。

計測対象命令の命令当たりの演算数は 2 なので、演算数を求める際は 2 倍する。

8 *prefetch_instructions* (Non-Speculative)

完了したプリフェッチ命令数を計測する。

9 *SIMD_load_store_instructions* (Non-Speculative)

完了した浮動小数点数の SIMD ロード、SIMD ストア命令数を計測する。

10 *SIMD_floating_instructions* (Non-Speculative)

計測対象は *floating_instructions* と同じだが、SIMD 実行し完了した命令数を計測する。

計測対象命令の SIMD 実行時の命令当たりの演算数は 2 なので、演算数を求める際は 2 倍する。

11 *SIMD_fma_instructions* (Non-Speculative)

計測対象は *fma_instructions* と同じだが、SIMD 実行し完了した命令数を計測する。

計測対象命令の SIMD 実行時の命令当たりの演算数は 4 なので、演算数を求める際は 4 倍する。

12 *SXAR1_instructions* (Non-Speculative)

完了した SXAR1 命令数を計測する。

13 *SXAR2_instructions* (Non-Speculative)

完了した SXAR2 命令数を計測する。

14 *trap_all* (Non-Speculative)

すべてのトラップの回数を計測する。これは他のトラップイベントの合計に等しい。

15 *trap_int_vector* (Non-Speculative)

interrupt_vector_trap が通知された回数を計測する。

16 *trap_int_level* (Non-Speculative)

interrupt_level_n が通知された回数を計測する。

17 *trap_spill* (Non-Speculative)

spill_n_normal, *spill_n_other* が通知された回数を計測する。

18 *trap_fill* (Non-Speculative)

fill_n_normal, *fill_n_other* が通知された回数を計測する。

19 *trap_trap_inst* (Non-Speculative)

trap_instruction が通知された回数を計測する。

20 *trap_IMMU_miss* (Non-Speculative)

fast_instruction_access_MMU_miss が通知された回数を計測する。

21 *trap_DMMU_miss* (Non-Speculative)

fast_data_instruction_access_MMU_miss が通知された回数を計測する。

22 *trap_SIMD_load_acorss_pages* (Non-Speculative)

SIMD_load_acorss_pages が通知された回数を計測する。

準公開 PA 項目

23 *xma_inst* (Non-Speculative)

完了した FPMADDX, FPMADDXHI 命令数を計測する。

24 *unpack_SXAR1* (Non-Speculative)

完了した SXAR1 のうち、パックされなかった命令数を計測する。

25 *unpack_SXAR2* (Non-Speculative)

完了した *SXAR2* のうち、パックされなかった命令数を計測する。

26 *instruction_flow_counts* (Non-Speculative)

完了した命令数を計測する。SPARC64 VIIIfx では、いくつかの命令は内部的に複数の命令に分けて実行する。*instruction_flow_counts* が計測するのはこの内部的な命令数である。この命令数にはパックされた *SXAR1*, *SXAR2* は含まれない。

27 *ex_load_instructions* (Non-Speculative)

完了した整数ロード命令の命令数を計測する。対象となる命令は *LD(S,U)B{A}*, *LD(S,U)H{A}*, *LD(S,U)W{A}*, *LDD{A}*, *LDX{A}* である。

28 *ex_store_instructions* (Non-Speculative)

完了した整数ストア命令およびアトミック命令の命令数を計測する。対象となる命令は *STB{A}*, *STH{A}*, *STW{A}*, *STD{A}*, *STX{A}*, *LDSTUB{A}*, *SWAP{A}*, *CAS{X}A* である。

29 *fl_load_instructions* (Non-Speculative)

完了した浮動小数点ロード命令の命令数を計測する。対象となる命令は *LDF{A}*, *LDDF{A}*, *LD{X}FSR* である。

SIMD ロード命令および *LDQF{A}* はこのイベントでは計測されない。

30 *fl_store_instructions* (Non-Speculative)

完了した浮動小数点ストア命令の命令数を計測する。対象となる命令は *STF{A}*, *STDF{A}*, *STFR*, *STDFR*, *ST{X}FSR* である。

SIMD ストア命令および *STQF{A}* はこのイベントでは計測されない。

31 *SIMD_fl_load_instructions* (Non-Speculative)

完了した *SIMD* 浮動小数点ロード命令の命令数を計測する。対象となる命令は *SIMD* で実行された *LDF{A}*, *LDDF{A}* である。

32 *SIMD_fl_store_instructions* (Non-Speculative)

完了した *SIMD* 浮動小数点ストア命令の命令数を計測する。対象となる命令は *SIMD* で実行された *STF{A}*, *STDF{A}*, *STFR*, *STDFR* である。

33 *iwr_empty*

IWR (Issue Word Register) が空であるサイクル数を計測する。*IWR* はデコード時に命令を保持する 4 エントリのバッファで、*IWR* が空という状態は、命令フェッチがキャッシュミスによりできないときなどに起こりうる。

34 *rs1* (Non-Speculative)

以下の要因で命令実行が停止したサイクル数を計測する。

- トラップ、インタラプト
- 特権レジスタの更新
- メモリオーダリング保証
- ハードウェア内部での再実行 (RAS 起因)

35 *flush_rs* (Non-Speculative)

分岐予測ミスによるパイプラインフラッシュが起きた回数を計測する。
SPARC64 VIIIfx は投機実行を行うので、分岐予測ミスにより実際には実行されない命令をパイプラインに投入することがある。このような命令は、分岐方向がはっきりし間違ったパスであることが確定した時点でキャンセルされる。パイプラインフラッシュはこのときに起きる。

$\text{mis-prediction rate} = \text{flush_rs} / \text{branch_instructions}$

36 *Oiid_use*

ある CPU サイクルの命令発行数が 0 である回数を計測する。SPARC64 VIIIfx は最大 4 命令を発行することができるが、発行命令数が 0 のとき、*Oiid_use* が 1 加算される。SPARC64 VIIIfx では、いくつかの命令は内部的に複数の命令に分けて実行するが、*Oiid_use* この個々の命令に対して計測される。SXAR も計測する。

37 *1iid_use*

ある CPU サイクルの命令発行数が 1 である回数を計測する。計測条件は *Oiid_use* を参照。

38 *2iid_use*

ある CPU サイクルの命令発行数が 2 である回数を計測する。計測条件は *Oiid_use* を参照。

39 *3iid_use*

ある CPU サイクルの命令発行数が 3 である回数を計測する。計測条件は *Oiid_use* を参照。

40 *4iid_use*

ある CPU サイクルの命令発行数が 4 である回数を計測する。計測条件は *Oiid_use* を参照。

41 *sync_intlk*

パイプラインの *sync* により命令発行ができなかったサイクル数を計測する。

42 *regwin_intlk*

レジスタウィンドウの切り替えにより命令発行ができなかったサイクル数を計測する。

43 *decall_intlk*

命令デコード時のインタロックにより命令発行ができなかったサイクル数を計測する。*decall_intlk* は *sync_intlk* と *regwin_intlk* を含むが、動的に変化する要因 (リザーベーションステーションの枯渇など) によるインタロックは計測対象ではない。

44 *rsf_pmmi* (Non-Speculative)

単精度の浮動小数点演算と倍精度の浮動小数点演算が混ざったため、命令発行ができなかったサイクル数を計測する。

45 *toq_rsbr_phantom*

分岐すると予測した命令が実際には分岐命令ではなかった回数を計測する。SPARC64 VIIIfx の分岐予測機構は命令デコードより前に分岐予測を行うので、分岐命令かどうかとは無関係に分岐するかしないかを予測する。*toq_rsbr_phantom* は、このような間違っただ命令に対する予測のうち、分岐すると予測したものの回数を計測する。

46 *op_stv_wait* (Non-Speculative)

実行中の命令の中で一番古い命令が、メモリアクセスによるデータ待ちのため、完了命令数が 0 であるサイクル数を計測する。*op_stv_wait* はストア命令によるデータ待ちは計測しない (アトミック命令は計測する)。

op_stv_wait はすべてのキャッシュミスレイテンシを計測しているのではないことに注意。先行の未完了命令がある場合、*op_stv_wait* は計測されない。

47 *op_stv_wait_nc_pend* (Non-Speculative)

ノンキャッシュブルアクセスによる *op_stv_wait* を計測する。

48 *op_stv_wait_ex* (Non-Speculative)

整数のメモリアクセス命令による *op_stv_wait* を計測する。L1 キャッシュか L2 キャッシュかは区別しない。

49 *op_stv_wait_sxmiss* (Non-Speculative)

L2 キャッシュミスによる *op_stv_wait* を計測する。整数ロードか浮動小数点ロードかは区別しない。

50 *op_stv_wait_sxmiss_ex* (Non-Speculative)

整数ロードの L2 キャッシュミスによる *op_stv_wait* を計測する。

51 *op_stv_wait_pfp_busy* (Non-Speculative)

プリフェッチ用の空きポートがないため、メモリアクセス命令が実行できないことによる *op_stv_wait* を計測する。

52 *op_stv_wait_pfp_busy_ex* (Non-Speculative)

プリフェッチ用の空きポートがないため、整数メモリアクセス命令が実行できないことによる *op_stv_wait* を計測する。

53 *op_stv_wait_swpf* (Non-Speculative)

プリフェッチ用の空きポートがないため、プリフェッチ命令が実行できないことによる *op_stv_wait* を計測する。

54 *cse_window_empty_sp_full* (Non-Speculative)

CSE が空でストアポートがフルのため、完了命令数が 0 であるサイクル数を計測する。

55 *cse_window_empty* (Non-Speculative)

CSE が空のため、完了命令数が 0 であるサイクル数を計測する。

56 *branch_comp_wait* (Non-Speculative)

実行中の命令の中で一番古い命令が、実行中の分岐命令で、完了命令数が 0 であるサイクル数を計測する。*branch_comp_wait* の計測は *eu_comp_wait* より優先度が低い。

57 *eu_comp_wait* (Non-Speculative)

実行中の命令の中で一番古い命令が、整数または浮動小数点数の演算実行中で、完了命令数が 0 であるサイクル数を計測する。*eu_comp_wait* の計測は *branch_comp_wait* より優先度が高い。

58 *fl_comp_wait* (Non-Speculative)

実行中の命令の中で一番古い命令が、浮動小数点数の演算実行中で、完了命令数が0であるサイクル数を計測する。

59 *0endop* (Non-Speculative)

完了命令数が0であるサイクル数を計測する。

60 *1endop* (Non-Speculative)

完了命令数が1であるサイクル数を計測する。

61 *2endop* (Non-Speculative)

完了命令数が2であるサイクル数を計測する。

62 *3endop* (Non-Speculative)

完了命令数が3であるサイクル数を計測する。

63 *inh_cmit_gpr_2write* (Non-Speculative)

整数レジスタを2個更新しているため、4命令完了できなかったサイクル数を計測する。

64 *suspend_cycle* (Non-Speculative)

SUSPEND 命令、SLEEP 命令により命令制御部が停止しているサイクル数。

65 *sleep_cycle* (Non-Speculative)

SLEEP 命令により命令制御部が停止しているサイクル数。

Q.2.2 MMU と L1 キャッシュ関連のイベント計測

公開 PA 項目

1 *uTLB_miss*

命令フェッチの uTLB ミスが起きた回数を計測する。

2 *uDTLB_miss*

データアクセスの uTLB ミスが起きた回数を計測する。

Note – メイン TLB のミス回数は *trap_IMMU_miss*, *trap_DMMU_miss* で計測できる。

3 *L1L_miss*

L1 命令キャッシュのミス回数を計測する。

4 *L1D_miss*

L1 データキャッシュのミス回数を計測する。

5 *L1L_wait_all*

L1 命令キャッシュミスの処理にかかる時間 (ミスレイテンシ) を計測する。
SPARC64 VIIIfx の L1 命令キャッシュはノンブロッキングキャッシュなので、同時に複数のキャッシュミス进行处理することができるが、*if_wait_all* が計測するのは一つのミスレイテンシだけである。

6 *L1D_wait_all*

L1 データキャッシュミスの処理にかかる時間 (ミスレイテンシ) を計測する。
SPARC64 VIIIfx の L1 データキャッシュはノンブロッキングキャッシュなので、同時に複数のキャッシュミス进行处理することができるが、*op_wait_all* が計測するのは一つのミスレイテンシだけである。

準公開 PA 項目

7 *uITLB_miss2*

命令フェッチの uTLB ミスが起き、fITLB から読み出した回数を計測する。

8 *uDTLB_miss2*

データアクセスの uTLB ミスが起き、fDTLB から読み出した回数を計測する。

9 *swpf_success_all*

SU でロストせず SX に送られた PREFETCH 命令の数。

10 *swpf_fail_all*

SU でロストした PREFETCH 命令の数。

11 swpf_lbs_hit

L1 キャッシュにヒットした PREFETCH 命令の数。

SU に送られた PREFETCH 命令の総数

12 L1I_thrashing

リードポートが獲得されてから解放されるまでの間に、L2 の読み出し要求が 2 回発行された回数。命令フェッチが L1I キャッシュをミスし、そのデータが L1I キャッシュに書き込まれたが、読み出される前にキャッシュから追い出された場合、このカウンタで計測される。

リードポートが獲得されてから解放されるまでの間に、L2 の読み出し要求が 2 回発行された回数。メモリアクセス命令が L1D キャッシュをミスし、そのデータが L1D キャッシュに書き込まれたが、読み出される前にキャッシュから追い出された場合、このカウンタで計測される。

Q.2.3 L2 キャッシュ関連のイベント計測

L2 キャッシュ関連のイベントには、CPU コアの動作により起きる事象と、CPU チップ外部からの要求に起きる事象がある。前者はコア毎に個別に計測され、後者はすべてのコアで計測される。

大部分の L2 キャッシュ関連のイベントには、**dm** (デマンド)、**pf** (プリフェッチ) の区別がある。しかしこれは、それぞれロード・ストア・アトミック命令とプリフェッチ命令に対応しているわけではない。その理由は、

- L1 キャッシュのリソースが不足しているとき、ロード・ストア・アトミック命令は L2 キャッシュプリフェッチとして処理されることがあるため。
- ハードウェアプリフェッチ機構がプリフェッチを生成するため。
- L1 キャッシュに対するプリフェッチ命令はデマンド要求として処理しようとするため。

したがって、L2 キャッシュ関連の PA イベントのデマンド (**dm**)、プリフェッチ (**pf**) で計測される事象は以下ようになる。

- L2 キャッシュをデマンド (**dm**) でアクセスするのは、命令フェッチ、ロード・ストア・アトミック命令、L1 プリフェッチ命令のうち、メモリアクセスに必要な資源が獲得できたもの。
- L2 キャッシュをプリフェッチ (**pf**) でアクセスするのは、命令フェッチ、ロード・ストア・アトミック命令、L1 プリフェッチ命令のうち、メモリアクセスに必要な資源が獲得できなかったもの、およびハードウェアプリフェッチ。

公開 PA 項目

1 *L2_read_dm*

デマンド要求の L2 キャッシュ参照回数を計測する。ブロックロード、ブロックストア命令は一命令で 8 回の参照回数として計測される。

CPU チップ外部からのキャッシュ参照要求は計測されない。

2 *L2_read_pf*

プリフェッチ要求の L2 キャッシュ参照回数を計測する。ブロックロード、ブロックストア命令は一命令で 8 回の参照回数として計測される。

3 *L2_miss_dm*

デマンド要求の L2 キャッシュミス回数を計測する。

このカウンタは、*L2_miss_count_dm_bank{0,1,2,3}* の合計を計測する。

4 *L2_miss_pf*

プリフェッチ要求の L2 キャッシュミス回数を計測する。

このカウンタは、*L2_miss_count_pf_bank{0,1,2,3}* の合計を計測する。

5 *L2_miss_count_dm_bank{0,1,2,3}*

デマンド要求が L2 キャッシュをミスした回数を計測する。L2 キャッシュのバンク毎に個別に計測する。

Note – あるアドレスに対して先行してプリフェッチが出され、L2 キャッシュをミスしてメモリアクセス要求を発行し、そのデータが戻ってくる前にデマンド要求がきた場合、後続のデマンド要求はミス回数には計上されない。

6 *L2_miss_count_pf_bank{0,1,2,3}*

プリフェッチ要求が L2 キャッシュのバンク 0 をミスした回数をバンク毎に計測する。

7 *L2_miss_wait_dm_bank{0,1,2,3}*

デマンド要求が L2 キャッシュをミスしたときの処理にかかる時間 (ミスレイテンシ) を、バンク毎に計測する。計測は個々のメモリアクセス要求について行われる。

Note – あるアドレスに対して先行してプリフェッチが出され、L2 キャッシュをミスしてメモリアクセス要求を発行し、そのデータが戻ってくる前にデマンド要求がきた場合、それ以降データが戻ってくるまでのサイクル数は、`L2_miss_wait_dm_bank{0,1,2,3}` で計測される。

8 `L2_miss_wait_pf_bank{0,1,2,3}`

プリフェッチ要求が L2 キャッシュをミスしたときの処理にかかる時間 (ミスレイテンシ) を、バンク毎に計測する。計測は個々のメモリアクセス要求について行われる。

`L2_miss_wait_*` を `L2_miss_count_*` で割ることで、L2 キャッシュミスレイテンシを求めることができる。

Note – `L2_miss_count_*` と `L2_miss_wait_*` から L2 キャッシュミスレイテンシを求めることができる。プリフェッチ要求を処理中に後続のデマンド要求が到着した場合の PA 測定の特性から、プリフェッチとデマンドを分けて求めると、デマンド要求のレイテンシが大きく見えることがある。

9 `L2_wb_dm`

デマンド要求の L2 キャッシュミスによるライトバック回数を計測する。

10 `L2_wb_pf`

プリフェッチ要求の L2 キャッシュミスによるライトバック回数を計測する。

準公開 PA 項目

11 `lost_pf_pfp_full`

PF ポートフルによりプリフェッチ要求がロストした回数を計測する。

12 `lost_pf_by_abort`

SX パイプラインアボートによりプリフェッチ要求がロストした回数を計測する。

Q.2.4 バストランザクションの計測

公開 PA 項目

1 *cpu_mem_read_count*

CPU からの要求により、メモリ読み出し要求を発行した回数を計測する。

2 *cpu_mem_write_count*

CPU からの要求により、メモリ書き込み要求を発行した回数を計測する。

3 *IO_mem_read_count*

I/O からの要求により、メモリ読み出し要求を発行した回数を計測する。

4 *IO_mem_write_count*

I/O からの要求により、メモリ書き込み要求を発行した回数を計測する。

この項目で計測するのは、ICC-FST のみ。ICC-PST は *IO_pst_count* で計測できる。

5 *bi_count*

CPU チップが外部からキャッシュ無効化要求を受けた回数を計測する。計測対象は、キャッシュの状態によらず無効化する要求である。

この項目は、すべてのコアで同じ値が計測される。

6 *cpi_count*

CPU チップが外部からキャッシュ書き出しと無効化要求を受けた回数を計測する。計測対象は、キャッシュ上のデータが更新されていればメモリに書き出して無効化し、キャッシュ上のデータとメモリの内容が一致していれば無効化する要求である。

この項目は、すべてのコアで同じ値が計測される。

Implementation Note – SPARC64 VIIIfx ではこの PA イベントは存在しない。項目は互換性のために残してある。

7 *cpb_count*

CPU チップが外部からキャッシュ書き出しと要求を受けた回数を計測する。計測対象は、キャッシュ上の更新されているデータをメモリに書き出す要求である。

この項目は、すべてのコアで同じ値が計測される。

Implementation Note – SPARC64 VIIIfx ではこの PA イベントは存在しない。項目は互換性のために残してある。

8 *cpd_count*

CPU チップが外部からキャッシュ内容の読み出し要求を受けた回数を計測する。計測対象は、DMA 読み出しなど、キャッシュ上の更新されているデータを読み出し、メモリに書き出さない要求である。

この項目は、すべてのコアで同じ値が計測される。

準公開 PA 項目

9 *IO_pst_count*

I/O からの要求により、メモリ書き込み要求 (ICC-PST) を発行した回数を計測する。

Q.3 サイクルアカウンティング

サイクルアカウンティングとは、性能ボトルネック要因分析の手法である。ある命令列を実行するためにかかった総時間 (CPU サイクル数) を、CPU の動作状態 (命令実行中である、メモリアクセス待ちである、演算完了待ちである、など) で分類し、命令列を実行した時、CPU 内のどの部分にボトルネックがあるかを把握することで、性能分析や改善を行うことができる。SPARC64 VIIIfx は豊富な PA イベントを備えており、CPU の動作状態に関する詳細な情報が取得できるので、詳細なサイクルアカウンティングが作成でき、効率的なボトルネック分析や性能向上チューニングに役立つことができる。

SPARC64 VIIIfx は複数の演算器を持ち、アウトオブオーダーで実行する CPU である。このため、ある命令がメモリからのデータ待ち状態であっても、別の命令は浮動小数点乗算の実行中で、さらにまた別の命令は分岐方向の確定待ちにあるなど、実行中と実行待ちの命令が複数入り乱れた状態にある。このような状態で個々の命令の待ち要因を分析するのは意味がないので、インオーダーで行われる命令完了に着目し、計測期間の総サイクル数を、1 サイクルあたりの命令完了数で大きく分類し、命令完了がないサイクルについてはさらにその要因により細分類したものをサイクルアカウンティングと呼んでいる。

SPARC64 VIIIfx は 1 サイクルに最大 4 命令まで完了することができるので、4 命令完了しているサイクル数の割合が多いほど実行効率が高いことになる。命令完了できなかったサイクルは、性能に与える悪影響が極めて大きいので、詳細に分析する必要がある。主な原因として、

- メモリアクセスのデータが帰ってくるのを待っている
- 演算の完了を待っている
- 命令フェッチが間に合わず、パイプラインに命令が供給されていない

が考えられる。サイクルアカウンティングに使える PA イベントの一覧とその計算方法を TABLE Q-2 に示す。

また、FIGURE Q-1 はメモリアクセス待ちの PA イベント群 *op_stv_wait_** 間の関係を図示したものである。なお、表や図中で † がついた PA イベントは、計算によって求められる架空の PA イベントである。

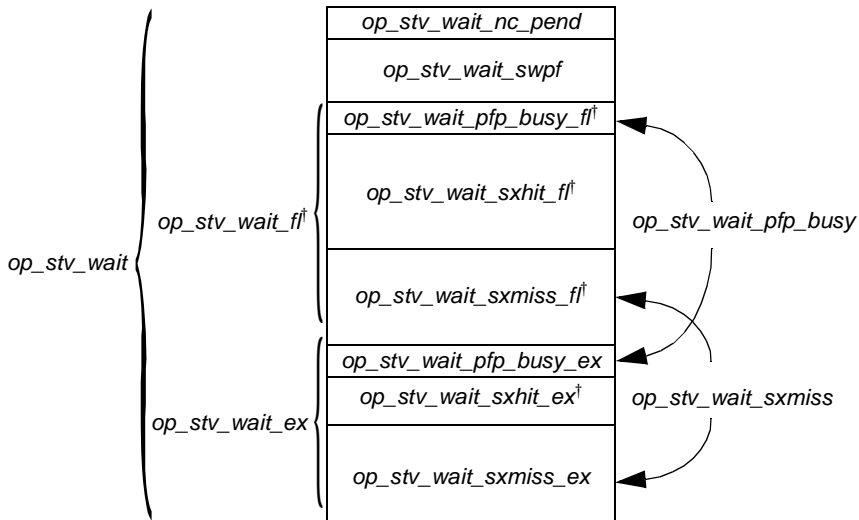


FIGURE Q-1 *op_stv_wait* の内訳

TABLE Q-2 サイクルアカウンティングに有用な PA イベント

CPU サイクルあたりのコミット数	総CPU サイクル数	備考
4	<i>cycle_counts</i> - <i>3endop</i> - <i>2endop</i> - <i>1endop</i> - <i>0endop</i>	N/A (最大コミット数に達している)
3	<i>3endop</i>	次の命令をコミットできなかった要因のひとつは <i>inh_cmit_gpr_2write</i> で計測される。
2	<i>2endop</i>	
1	<i>1endop</i>	
0	命令実行待ち: <i>eu_comp_wait</i> + <i>branch_comp_wait</i>	<i>eu_comp_wait</i> = <i>ex_comp_wait</i> [†] + <i>fl_comp_wait</i>
	命令フェッチ待ち: <i>cse_window_empy</i>	<i>cse_window_empty</i> = <i>cse_window_empty_sp_full</i> + <i>sleep_state</i> + <i>misc</i> . [†]
	L1D キャッシュアクセス待ち: <i>op_stv_wait</i> - L2 キャッシュミス (下記参照)	
	L2 キャッシュミス: <i>op_stv_wait_sxmiss</i> + <i>op_stv_wait_nc_pend</i>	
	その他: <i>0endop</i> - <i>op_stv_wait</i> - <i>cse_window_empy</i> - <i>eu_comp_wait</i> - <i>branch_comp_wait</i> - (<i>instruction_flow_counts</i> - <i>instruction_counts</i>)	

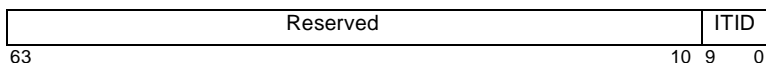
System Programmer's Model

この章では、これまでの章で触れられていない CPU 内のコンポーネント、およびノンキャッシュブル領域にある CPU レジスタについて定義する。

なお、サービスプロセッサから CPU を制御するための仕様は本仕様書の範囲外である。

R.1 System Config Register

レジスタ名	ASI_SYS_CONFIG
ASI	4A ₁₆
VA	—
アクセス種別	Supervisor read/write(書き込みは無視される)



ビット	フィールド名	アクセス	説明
63:10	TBD	TBD	TBD
9:0	ITID	R	スレッドの ITID (Interrupt Target ID)。

R.2 STICK Control Register

レジスタ名	ASI_STICK_CNTL
ASI	4B ₁₆
VA	00 ₁₆
アクセス種別	Supervisor read/write

Reserved	stop
63	1 0

ビット	フィールド名	アクセス	説明
63:1	—		
0	stop	RW	stopに1を設定するとSTICKのカウンタアップは停止し、stopに0設定するとSTICKのカウンタアップが再開する。

STICK_CNTL は、STICK のカウンタアップを有効 / 無効を制御するレジスタである。STICK_CNTL は全コアで共有されており、どのコアから操作しても、全コアの STICK に対して同時に作用する。

STICK.stop = 1 の間は STICK のカウンタアップが停止している。その影響は、

- STICK_CMPR をセットしていてもタイマ割り込みがかからない。
- SLEEP 命令を実行してスリープ中のコアは、命令実行状態に復帰しない。

STICK_CNTL の操作はひとつずつ処理されるが、複数のコアからの要求をどの順番で処理するかはハードウェアの実装に依存する。

Programming Note – STICK_CNTL の操作はあるひとつのコアから行うこと。

STICK_CNTL の書き込み後の STICK の書き込み / 読み出しは、STICK_CNTL の書き込み処理の完了を待って FLUSH 命令を実行してから行うこと。完了までの時間は未定義。完了確認は、STICK_CNTL への書き込みを行ったコアから STICK_CNTL を読み出すことで行える。STICK_CNTL の書き込みが完了する前に STICK を書き込み / 読み出した場合、値は保証されない。

Summary of Specification Differences

この章では、SPARC V9, SPARC JPS1, SPARC64 VII 仕様と SPARC64 VIIIfx 仕様の相違点を総括する。この章は読者の便宜を図る目的で書かれており、論理仕様の定義ではない。正確な定義は各項目を参照されたい。

TABLE S-1 に、SPARC V9, SPARC JPS1, SPARC64 VII 各仕様と SPARC64 VIIIfx 仕様との相違点をまとめた。前方互換性の欄は、SPARC V9, SPARC JPS1, SPARC64 VII 各仕様に準拠したソフトウェアが、SPARC64 VIIIfx 仕様の CPU で動作するかどうかを示している¹。

1. SPARC V9, SPARC JPS1, SPARC64 VII 各仕様で *reserved* の部分を使っているソフトウェアは動作非互換になるが、TABLE S-1 は *reserved* については言及しない。

TABLE S-1 仕様差分サマリ (1 of 4)

項目	仕様				前方互換性			ページ
	V9	JPS1	SPARC64 VII	SPARC64 VIIIfx	V9	JPS1	SPARC64 VII	
アーキテクチャ								
コア、スレッド	未定義		4 コア、コア当たり 2 スレッド	8 コア、コア当たり 1 スレッド			非互換	10
整数レジスタ	160 本			192 本				20
浮動小数点レジスタ	単精度 32 本 倍精度 32 本			単精度 32 本 倍精度 256 本 倍精度レジスタを単精度レジスタとしても利用できる。				20
ASR	未定義	%pcr, %pic, %dcr, %gsr, %softint, %tick_cmpr, %stick, %stick_cmpr		%pcr, %pic, %dcr, %gsr, %softint, %tick_cmpr, %stick, %stick_cmpr, %xar, %xasr, %txar				26
物理アドレス	未定義	43 ビット以上	47 ビット	41 ビット			非互換	170, 176
RSTVaddr	未定義	実装依存	PA = 7fff f000 0000 ₁₆	PA = 1ff f000 0000 ₁₆			非互換	43
キャッシュ	未定義		<ul style="list-style-type: none"> L1: 64KB/2way(I), 64KB/2way(D), 64byte line L2: 6MB/12way, 256byte line/4sublines 	<ul style="list-style-type: none"> L1: 32KB/2way(I), 32KB/2way(D), 128byte line セクタあり L2: 5MB/10way, 128byte line インデクスハッシュ・セクタ機能あり 			非互換 (インデクスハッシュ)	12, 12, 224, 225
SXflush	未定義		あり	なし			非互換	—
TLB	未定義		32(ftLB)+2048/4way(sTLB), I,D とも。 ftLB は sTLB の victim cache でもある。	16(ftLB)+256/4way(sITLB), 512/4way(sDTLB) victim cache の機能なし。 エラー注入機能削除。			非互換	167, 185
ページサイズ	未定義	8KB, 64KB, 512KB, 4MB	8KB, 64KB, 512KB, 4MB, 32MB, 256MB	8KB, 64KB, 512KB, 4MB, 32MB, 256MB, 2GB				169
TSB	未定義	TLBmiss 時、ハードウェアが TSBptr を計算する。	ハードウェアが TSBptr を計算	ハードウェアのサポートなし。 以下の ASI は削除： <ul style="list-style-type: none"> I/D TSB Primary Extension D TSB Secondary Extension I/D TSB Nuclues Extension I/D TSB 8KB ptr I/D TSB 64KB ptr D TSB Direct ptr TSBbase は残してあるが split フィールドを削除。			非互換	171, 178, 186
バリア	未定義		BPU 2, BB 12/BPU, BST 24bit/BPU	BPU なし、BB 12, BST 8bit/BB			非互換	216

TABLE S-1 仕様差分サマリ (2 of 4)

項目	仕様				前方互換性			ページ
	V9	JPS1	SPARC64 VII	SPARC64 VIIIfx	V9	JPS1	SPARC64 VII	
ハードウェアプリフェッチ	未定義		あり。ソフトウェアで制御できないため、仕様書には記載されていない。	あり。ソフトウェアで制御できる。				232
インタラプトレジスタ	未定義	8本		3本		非互換		238
命令								
impdep1	未定義	VIS	VIS, SLEEP, SUSPEND	SLEEP, SUSPEND, FCMP(EQ,LE,LT,NE,GT,GE)E(s,d), FCMP(EQ,NE){s,d}, FMAX(s,d), FMIN(s,d), FRCPA(s,d), FSQRTA(s,d), FTRISSELD, FTRISMULD				76, 77, 113, 115, 117, 122
impdep2	未定義	未定義	F{N}M(ADD,SUB)(s,d), FPMADDX{HI}	F{N}M(ADD,SUB)(s,d), FPMADDX{HI}, FTRIMADDd, FSELMOV(s,d)				70, 78, 121
load/store			QUAD_LDD_PHYS	QUAD_LDD_PHYS, ST{D}FR, XFILL				88, 121, 128
その他			POPC	POPC, SXAR	V8 ¹			94, 126
SIMD	なし			あり				
block load, block store 動作	未定義	<ul style="list-style-type: none"> bst commit はキャッシュ上のデータを無効化し、メモリに書く。 レジスタ依存を無視する。 	<ul style="list-style-type: none"> bst commit はキャッシュ上のデータを無効化し、メモリに書く。 レジスタ依存は検出する。 メモリモデルは、bld/bst 内部は RMO、前後命令とは V9 非準拠。 bld/bst 中に TTE が無効化されると fast_data_access_MMU_miss 発生。 	<ul style="list-style-type: none"> bst commit はキャッシュにストアする。 内部も前後命令とも TSO 遵守。 		非互換		66
load 例外時の rd 更新	impdep. #44		更新しない。	non-SIMD は更新しない。SIMD では更新されることがある。				81, 85
LDDF/STDF_memory_addresses_not_aligned	impdep. #109, #110		例外通知する。	non-SIMD では例外通知する。SIMD では通知しない。				81, 85, 100, 103

TABLE S-1 仕様差分サマリ (3 of 4)

項目	仕様				前方互換性			ページ
	V9	JPS1	SPARC64 VII	SPARC64 VIIIfx	V9	JPS1	SPARC64 VII	
命令属性	なし			SIMD, セクタキャッシュおよびハードウェアプリフェッチ無効が指定できる。				29
トラップ								
種類			<i>async_data_error</i>	<i>async_data_error, illegal_action, SIMD_load_across_pages</i>				50
優先順位			<i>async_data_error</i> が 2。	<i>async_data_error</i> が 2, <i>illegal_action</i> が 8.5, <i>SIMD_load_across_pages</i> が 12, <i>fp_exception_other</i> (ftt = <i>unimplemented_FPop</i>) が 8.2。 SIMD で <i>fp_exception_ieee754</i> と <i>fp_exception_other</i> (ftt = <i>unfinished_FPop</i>) が同時に起きたときは、 <i>fp_exception_other</i> が優先される。			<i>fp_exception_other</i> が異なるが互換性には問題ない。	48
レジスタセーブ				追加レジスタに関して、 • トラップ時 TXAR[TL] ← XAR XAR ← 0 • DONE/RETRY 時 XAR ← TXAR[TL] TXAR[TL] は変化しない				49
レジスタ機能								
%ver.impl			7	8			非互換	26
%fsr.cexc 更新	高々 1 ビットがセットされる。			SIMD 演算では 2 ビットセットされることがある。				24
PA イベント種類			6 ビット	7 ビット				26, 300
watchpoint		VA, PA 独立に指定可能。		VA, PA でレジスタ共有。		非互換		36
AFAR		オプション	0 固定で読み出し可。	削除。			非互換	—
EIDR			bit<13:0> が有効。 bit<13:12> にはソフトウェアが 10 ₀₂ をセットする。エラーマーク ID に使われる。	bit<2:0> が有効。 エラーマーク ID はハード固定で 10 ₀₂ 。				266
SYS_CONFIG			JB_CONFIG_REGISTER UC_S, UC_SW, CLK_MODE, ITID が定義されている。	SYS_CONFIG ITID のみ定義されている。			非互換	319

TABLE S-1 仕様差分サマリ (4 of 4)

項目	仕様				前方互換性			ページ
	V9	JPS1	SPARC64 VII	SPARC64 VIIIfx	V9	JPS1	SPARC64 VII	
その他								
致命的エラーの要因表示			STCHG_ERROR_INFOで要因識別可能。	致命的エラー要因は表示されない。			非互換	268
STICK start/stop			なし (SC で制御)。	あり。			非互換	320

1.SXAR は V8 仕様と非互換。

Index

A

- A_UGE
 - specification of, 254
- address mask (AM) field of PSTATE register, 68, 80
- address space identifier (ASI)
 - complete list, 208
 - load floating-point instructions, 82, 101
- ADE
 - async_data_error* を参照
- ASI
 - Bypass, 208
 - Nontranslating, 208
 - Translating, 208
- ASI_AFAR, 210
- ASI_AFSR, 210
- ASI_AFSR, see ASI_ASYNC_FAULT_STATUS
- ASI_AIUP, 209
- ASI_AIUPL, 209
- ASI_AIUS, 209
- ASI_AIUSL, 209
- ASI_AS_IF_USER_PRIMARY, 209
- ASI_AS_IF_USER_PRIMARY_LITTLE, 209
- ASI_AS_IF_USER_SECONDARY, 209
- ASI_AS_IF_USER_SECONDARY_LITTLE, 209
- ASI_ASYNC_FAULT_ADDR, 210
- ASI_ASYNC_FAULT_STATUS, 210, 257, 281, **281**, 287
- ASI_ATOMIC_QUAD_LDD_PHYS, 88, 196, 210
- ASI_ATOMIC_QUAD_LDD_PHYS_LITTLE, 88, 196, 210
- ASI_BARRIER_ASSIGN, 211
- ASI_BARRIER_INIT, 211
- ASI_BLK_AIUP, 211
- ASI_BLK_AIUPL, 212
- ASI_BLK_AIUS, 211
- ASI_BLK_AIUSL, 212
- ASI_BLK_COMMIT_P, 213
- ASI_BLK_COMMIT_S, 213
- ASI_BLK_P, 213
- ASI_BLK_PL, 213
- ASI_BLK_S, 213
- ASI_BLK_SL, 213
- ASI_BLOCK_AS_IF_USER_PRIMARY, 211
- ASI_BLOCK_AS_IF_USER_PRIMARY_LITTLE, 212
- ASI_BLOCK_AS_IF_USER_SECONDARY, 211
- ASI_BLOCK_AS_IF_USER_SECONDARY_LITTLE, 212
- ASI_BLOCK_COMMIT_PRIMARY, 213
- ASI_BLOCK_COMMIT_SECONDARY, 213
- ASI_BLOCK_PRIMARY, 213
- ASI_BLOCK_PRIMARY_LITTLE, 213
- ASI_BLOCK_SECONDARY, 213
- ASI_BLOCK_SECONDARY_LITTLE, 213
- ASI_BST, 213
- ASI_CACHE_INV, 212
- ASI_DCU_CONTROL_REGISTER, 210
- ASI_DCUCR, 210
- ASI_DMMU_DEMAP, 211
- ASI_DMMU_PA_WATCHPOINT_REG, 211
- ASI_DMMU_SFAR, 211, 257
- ASI_DMMU_SFPAR, 211
- ASI_DMMU_SFSR, 211, 257
- ASI_DMMU_TAG_ACCESS, 211, 272
- ASI_DMMU_TAG_ACCESS_EXT, 211
- ASI_DMMU_TAG_TARGET, 272
- ASI_DMMU_TAG_TARGET_REG, 211
- ASI_DMMU_TSB_64KB_PTR_REG, 211

ASI_DMMU_TSB_8KB_PTR_REG, 211
 ASI_DMMU_TSB_BASE, 211, 272
 ASI_DMMU_TSB_DIRECT_PTR_REG, 211
 ASI_DMMU_TSB_NEXT_REG, 211
 ASI_DMMU_TSB_PEXT_REG, 211
 ASI_DMMU_TSB_SEXT_REG, 211
 ASI_DMMU_VA_WATCHPOINT_REG, 211
 ASI_DMMU_WATCHPOINT_REG, 211
 ASI_DTLB_DATA_ACCESS, 294
 ASI_DTLB_DATA_ACCESS_REG, 211
 ASI_DTLB_DATA_IN_REG, 211
 ASI_DTLB_TAG_ACCESS, 294
 ASI_DTLB_TAG_READ_REG, 211
 ASI_ECR, 210, 266
 ASI_EIDR, 211, 257, 266, 269, 272, 288
 ASI_ERROR_CONTROL, 210, 257, 266, 267
 UGE_HANDLER, 274
 update after ADE, 276
 WEAK_ED, 253
 ASI_ERROR_IDENT, 211
 ASI_FL16_P, 213
 ASI_FL16_PL, 213
 ASI_FL16_PRIMARY, 213
 ASI_FL16_PRIMARY_LITTLE, 213
 ASI_FL16_S, 213
 ASI_FL16_SECONDARY, 213
 ASI_FL16_SECONDARY_LITTLE, 213
 ASI_FL16_SL, 213
 ASI_FL8_P, 213
 ASI_FL8_PL, 213
 ASI_FL8_PRIMARY, 213
 ASI_FL8_PRIMARY_LITTLE, 213
 ASI_FL8_S, 213
 ASI_FL8_SECONDARY, 213
 ASI_FL8_SECONDARY_LITTLE, 213
 ASI_FL8_SL, 213
 ASI_FLUSH_L1I, 211, 224, 288
 ASI_IIU_INST_TRAP, 211
 ASI_IMMU_DEMAP, 211
 ASI_IMMU_SFSR, 210, 257
 ASI_IMMU_TAG_ACCESS, 272
 ASI_IMMU_TAG_TARGET, 210, 272
 ASI_IMMU_TSB_64KB_PTR_REG, 210
 ASI_IMMU_TSB_BASE, 272
 ASI_INTR_DATA0_R, 212
 ASI_INTR_DATA0_W, 212
 ASI_INTR_DATA1_R, 212
 ASI_INTR_DATA1_W, 212
 ASI_INTR_DATA2_R, 212
 ASI_INTR_DATA2_W, 212
 ASI_INTR_DATA3_R, 212
 ASI_INTR_DATA3_W, 212
 ASI_INTR_DATA4_R, 212
 ASI_INTR_DATA4_W, 212
 ASI_INTR_DATA5_R, 212
 ASI_INTR_DATA5_W, 212
 ASI_INTR_DATA6_R, 212
 ASI_INTR_DATA6_W, 212
 ASI_INTR_DATA7_R, 212
 ASI_INTR_DATA7_W, 212
 ASI_INTR_DISPATCH_STATUS, 236
 ASI_INTR_DISPATCH_W, 272
 ASI_INTR_R, 237, 272
 ASI_INTR_RECEIVE, 210, 237
 ASI_INTR_W, 235, 236, 237
 ASI_ITLB_DATA_ACCESS_REG, 211
 ASI_ITLB_DATA_IN_REG, 211
 ASI_ITLB_TAG_READ_REG, 211
 ASI_L2_CTRL, 178, 181, 182, 184, 195, 218, 220, 221,
 227, 228, 320
 ASI_LBSY, 213
 ASI_MCNTL, 177, 210
 ASI_MEMORY_CONTROL_REG, 210
 ASI_MONDO_RECEIVE_CTRL, 210
 ASI_MONDO_SEND_CTRL, 210
 ASI_N, 209
 ASI_NL, 209
 ASI_NUCLEUS, 95, 188, 209
 ASI_NUCLEUS_LITTLE, 95, 209
 ASI_NUCLEUS_QUAD_LDD_L, 210
 ASI_NUCLEUS_QUAD_LDD_LITTLE, 210
 ASI_P, 212
 ASI_PA_WATCH_POINT, 269
 ASI_PHYS_BYPASS_EC_WITH_E_BIT, 225
 ASI_PHYS_BYPASS_EC_WITH_E_BIT_LITTLE, 22
 5
 ASI_PHYS_BYPASS_EC_WITH_EBIT, 209
 ASI_PHYS_BYPASS_EC_WITH_EBIT_L, 209
 ASI_PHYS_BYPASS_EC_WITH_EBIT_LITTLE, 209
 ASI_PHYS_BYPASS_WITH_EBIT, 40
 ASI_PHYS_USE_EC, 209
 ASI_PHYS_USE_EC_L, 209
 ASI_PHYS_USE_EC_LITTLE, 209
 ASI_PL, 212
 ASI_PNF, 212
 ASI_PNFL, 212
 ASI_PRIMARY, 95, 188, 191, 212
 ASI_PRIMARY_AS_IF_USER, 95

ASI_PRIMARY_AS_IF_USER_LITTLE, 95
 ASI_PRIMARY_CONTEXT, 272
 ASI_PRIMARY_CONTEXT_REG, 211
 ASI_PRIMARY_LITTLE, 95, 212
 ASI_PRIMARY_NO_FAULT, 212
 ASI_PRIMARY_NO_FAULT_LITTLE, 212
 ASI_PST16_P, 212
 ASI_PST16_PL, 213
 ASI_PST16_PRIMARY, 212
 ASI_PST16_PRIMARY_LITTLE, 213
 ASI_PST16_S, 213
 ASI_PST16_SECONDARY, 213
 ASI_PST16_SECONDARY_LITTLE, 213
 ASI_PST32_P, 213
 ASI_PST32_PL, 213
 ASI_PST32_PRIMARY, 213
 ASI_PST32_PRIMARY_LITTLE, 213
 ASI_PST32_S, 213
 ASI_PST32_SECONDARY, 213
 ASI_PST32_SECONDARY_LITTLE, 213
 ASI_PST32_SL, 213
 ASI_PST8_P, 212
 ASI_PST8_PL, 213
 ASI_PST8_PRIMARY, 212
 ASI_PST8_PRIMARY_LITTLE, 213
 ASI_PST8_S, 212
 ASI_PST8_SECONDARY, 212
 ASI_PST8_SECONDARY_LITTLE, 213
 ASI_PST8_SL, 213
 ASI_S, 212
 ASI_SCCR, 213, 288
 ASI_SCRATCH, 214
 ASI_SCRATCH_REG, 210
 ASI_SCRATCH_REGS, 287
 ASI_SECONDARY, 95, 212
 ASI_SECONDARY_AS_IF_USER, 95
 ASI_SECONDARY_AS_IF_USER_LITTLE, 95
 ASI_SECONDARY_CONTEXT, 272
 ASI_SECONDARY_CONTEXT_REG, 211
 ASI_SECONDARY_LITTLE, 95, 212
 ASI_SECONDARY_NO_FAULT, 212
 ASI_SECONDARY_NO_FAULT_LITTLE, 212
 ASI_SERIAL_ID, 211, 214
 ASI_SHARED_CONTEXT_REG, 211
 ASI_SL, 212
 ASI_SNF, 212
 ASI_SNFL, 212
 ASI_STATE_CHANGE_ERROR_INFO, 210
 ASI_STCHG_ERR_INFO, 210

ASI_STCHG_ERROR_INFO, 257
 ASI_STICK_CNTL, 210, 287
 ASI_SU_PA_MODE, 287, 288
 ASI_SYS_CONFIG, 36, 210, 319
 ASI_SYS_CONFIG_REGISTER, 287
 ASI_UGESR, 210
 ASI_URGENT_ERROR_STATUS, 210, 257, 271
 ASI_VA_WATCH_POINT, 269, 272
 ASI_XFILL_P, 211, 213
 ASI_XFILL_S, 212, 213
async_data_error exception, 45, **51**, 57, 58, 83, 143,
 144, 148, 254, 255, 270, 271, **274**
 atomic
 load quadword, 88

B

BA instruction, 161
 BCC instruction, 161
 BCS instruction, 161
 BE instruction, 161
 BG instruction, 161
 BGE instruction, 161
 BGU instruction, 161
 Bicc instructions, 155, 160
 BL instruction, 161
 BLE instruction, 161
 BLEU instruction, 161
 block
 block store with commit, 214
 load instructions, 214
 store instructions, 214
 BN instruction, 161
 BNE instruction, 161
 BNEG instruction, 161
 BP instructions, 162
 BPA instruction, 161
 BPCC instruction, 161
 BPCS instruction, 161
 BPE instruction, 160
 BPG instruction, 161
 BPGU instruction, 161
 BPL instruction, 160
 BPLE instruction, 160
 BPLEU instruction, 161
 BPN instruction, 160
 BPNE instruction, 161
 BPNeg instruction, 161

BPOS instruction, 161
 BPPOS instruction, 161
 BPr instructions, 160
 BPVC instruction, 161
 BPVS instruction, 161
 branch history buffer, 13
 BRHIS, see *branch history buffer*, 13
 BVC instruction, 161
 BVS instruction, 161

C

cache
 data
 characteristics, 225
 synchronizing, 54
 CALL instruction, 37
 CANRESTORE register, 272
 CANSAVE register, 272
 CASA instruction, 39, 45, 192
 CASXA instruction, 39, 45, 192
 cc0 field of instructions, 162
 cc1 field of instructions, 162
 cc2 field of instructions, 162
 CE
 in D1 cache data, 290
 clean windows (CLEANWIN) register, 107
 CLEANWIN register, 147, 272
 CLEAR_SOFTINT register, 285
 clock-tick register (TICK), 107
 cmask field, 91
 Commit Stack Entry, 15
 Context field of TTE, 169
 current exception (*cexc*) field of FSR register, **23**
 current window pointer (CWP) register
 writing CWP with WRPR instruction, 107
 CWP register, 147, 272

D

D superscript on instruction name, **58**
 DAE
 error detection action, 267
 reporting, 254
data_access_error exception, 84, 89, 102, 105, 125, 173, 191, 193, 255
data_access_exception exception, 84, 87, 88, 102, 105, 125, 171, 172, 192, 193
data_access_MMU_miss exception, 58

data_access_protection exception, 58, 89
data_breakpoint exception, 144
 DCR
 error handling, 285
 nonprivileged access, 29
 DCU_CONTROL register, 287
 DCUCR
 CP (cacheability) field, 34
 CV (cacheability) field, 34
 data watchpoint masks, 93
 DC (data cache enable) field, 35
 DM (DMMU enable) field, 35
 DM field, 225
 IC (instruction cache enable) field, 35
 IM field, 224, 244
 IMI (IMMU enable) field, 35
 PM (PA data watchpoint mask) field, 34
 PR/PW (PA watchpoint enable) fields, 35
 updating, 244
 VM (VA data watchpoint mask) field, 34
 VR/VW (VA data watchpoint enable) fields, 35
 WEAK_SPCA field, 34
 deferred-trap queue
 integer unit (IU), 37
 deprecated instructions
 RDY, 97
 WRY, 110
 DMMU
 registers accessed, 177
 DMMU_DEMAP register, 288
 DMMU_SFAR register, 287
 DMMU_SFSR register, 287
 DMMU_TAG_ACCESS register, 287
 DMMU_TAG_TARGET register, 287
 DMMU_TSB_BASE register, 287
 DMMU_VA_WATCHPOINT register, 287
 DSFAR
 on JMPL instruction error, 80
 update during MMU trap, 173
 DSFSR
 bit description, 190
 FT field, 192, 193
 on JMPL instruction error, 80
 DTLB_DATA_ACCESS register, 288
 DTLB_DATA_IN register, 288
 DTLB_TAG_READ register, 288

E

E bit of PTE, 40

ECC_error exception, 57, 282

ee_second_watch_dog_timeout, 270

ee_sir_in_maxtl, 270

ee_trap_addr_uncorrected_error, 269

ee_trap_in_maxtl, 270

ee_watch_dog_timeout_in_maxtl, 270

enable floating-point (FEF) field of FPRS register, 82, 86, 101, 104, 124

enable floating-point (PEF) field of PSTATE register, 82, 86, 101, 104, 124

error

handling

ASI errors, 287

ASR errors, 284

restrainable, 255

uncorrectable

without direct damage, 255

urgent, 253

ERROR_CONTROL register, 287

ERROR_MARK_ID, 264

error_state, 144, 242, 244

exceptions

async_data_error, 83

catastrophic, 45

data_access_error, 84, 89, 102, 105, 125

data_access_exception, 84, 87, 102, 105, 125

data_access_protection, 89

data_breakpoint, 144

fp_disabled, 83, 87, 102, 105, 124

fp_exception_ieee_754, 75, 137, 138

fp_exception_other, 134, 151

illegal_instruction, 75, 83, 93, 102, 106, 141, 143

LDDF_mem_address_not_aligned, 84, 87, 151, 215

mem_address_not_aligned, 84, 87, 102, 105, 124, 151, 215

privileged_action, 87, 98, 105, 151

privileged_opcode, 109

STDF_mem_address_not_aligned, 102, 105

trap_instruction, 106

unfinished_FPop, 134, 138

execute_state, 244

F

FABSd instruction, 158, 159

FABSq instruction, 158, 159

fast_data_access_MMU_miss exception, 172, 193

fast_data_access_protection exception, 172, 193

fast_data_instruction_access_MMU_miss exception, 304

fast_instruction_access_MMU_miss exception, 57, 172, 189, 190, 304

FBA instruction, 161

FBE instruction, 161

FBfcc instructions, 155, 160

FBG instruction, 161

FBGE instruction, 161

FBL instruction, 161

FBLE instruction, 161

FBLG instruction, 161

FBN instruction, 161

FBNE instruction, 161

FBO instruction, 161

FBPA instruction, 161

FBPE instruction, 161

FBPfcc instructions, 155, 160, 163

FBPG instruction, 161

FBPGE instruction, 161

FBPL instruction, 161

FBPLE instruction, 161

FBPLG instruction, 160

FBPN instruction, 160

FBPNE instruction, 160

FBPO instruction, 161

FBPU instruction, 161

FBPUE instruction, 161

FBPUG instruction, 161

FBPUGE instruction, 161

FBPUL instruction, 160

FBPULE instruction, 161

FBU instruction, 161

FBUE instruction, 161

FBUG instruction, 161

FBUGE instruction, 161

FBUL instruction, 161

FBULE instruction, 161

FCMP instructions, 163

FCMPd instruction, 159

FCMPE instructions, 163

FCMPed instruction, 159

FCMPEq instruction, 159

FCMPEs instruction, 159

FCMPq instruction, 159

FCMPs instruction, 159

fDTLB, 167

FdTOx instruction, 158, 159
fill_n_normal exception, 304
fill_n_other exception, 304
 fTLB, 149, 167, 173
 floating-point
 deferred-trap queue (FQ), 37
 trap types
 fp_disabled, 67, 75, 93
 floating-point trap type (*ftt*) field of FSR register, 101
 FLUSH instruction, 144
 FMADD instruction
 SIMD 演算のレジスタ指定法の特例, 73
 FMOVcc instructions, 162
 FMOVccd instruction, 159
 FMOVccq instruction, 159
 FMOVccs instruction, 159
 FMOVd instruction, 158, 159
 FMOVq instruction, 158, 159
 FMOVr instructions, 162
 FNEGd instruction, 158, 159
 FNEGq instruction, 158, 159
fp_disabled exception, 67, 75, 83, 87, 93, 102, 105, 124
fp_exception_ieee_754 exception, 75, 137, 138
fp_exception_other exception, 50, 58, 134, 151
 FQ deferred トラップキュー, 143
 FqTOx instruction, 158, 159
 FSR
 aexc field, 24
 cexc field, 23, 24
 conformance, 24
 NS field, 134
 TEM field, 24
 VER field, 23
 FsTOx instruction, 158, 159
 fTLB, 150, 196, 295
 FTRIMADDd instruction, 41, 42, 60, 69, 136, 140, 303, 323
 FxTOd instruction, 158, 159
 FxTOq instruction, 158, 159
 FxTOs instruction, 158, 159

G

GSR register, 285

H

HPC-ACE, 3, 3, 8, 21, 49, 50, 57, 58, 70, 82, 86, 101, 104, 124, 127, 142, 155, 200

アセンブリ言語の表記法, 200
 アセンブリ言語表記, 200, i

I

i field of instructions, 81, 85
 I_UGE
 definition, 253
 error detection action, 267
 type, 253
 IAE
 reporting, 254
 IE, Invert Endianness bit, 169
 IEEE Std 754-1985, 133
 IIU_INST_TRAP register, 58, 288
illegal_action exception, 45, 51
illegal_instruction exception, 37, 50, 75, 83, 93, 96, 102, 106, 109, 143
imm_asi field of instructions, 81, 85
 IMMU
 registers accessed, 177
 IMMU_DEMAP register, 287
 IMMU_SFCSR register, 287
 IMMU_TAG_ACCESS register, 287, 288
 IMMU_TAG_TARGET register, 287
 IMMU_TSB_BASE register, 287, 288
 IMPDEP1 instruction, 42, 69
 IMPDEP1 instructions, 163, 164, 165
 IMPDEP2 instruction, 42, 69, 73
 IMPDEP2A instruction, 78
 IMPDEP2B instruction, 70
 IMPDEPn instructions, 69, 70
 implementation number (*impl*) field of VER
 register, 142
 instruction fields
 i, 81, 85
 imm_asi, 81, 85
 op3, 81, 85
 rd, 81, 85
 rs1, 81, 85
 rs2, 81, 85
 simm13, 81, 85
 instruction fields, *reserved*, 57
instruction_access_error exception, 57, 173, 188, 190, 254
instruction_access_exception exception, 57, 171, 172, 189, 190
instruction_access_MMU_miss exception, 58
 instructions

- cacheable, 224
- FLUSH, 144
- implementation-dependent (IMPDEP2), 42
- implementation-dependent (IMPDEP*n*), **69, 70**
- prefetch, 146, 176
- store floating-point into alternate space, **103**
- timing, 58
- write privileged register, **107**

integer unit (IU) deferred-trap queue, 37

interrupt

- dispatch, 235
- level 15, 28

Interrupt Vector Receive Register, 239

interrupt_level_n exception, 304

interrupt_level_n exception, 77

interrupt_vector_trap exception, 45, 77, 304

INTR_DATA0

- 3_W register, error handling, 288

INTR_DATA0:7_R register, error handling, 288

INTR_DISPATCH_STATUS register, 235, 287

INTR_DISPATCH_W register, 288

INTR_RECEIVE register, 287

I-SFSR

- update during MMU trap, 173

ISFSR

- FT field, 189
- update policy, 190

ITLB_DATA_ACCESS register, 287

ITLB_DATA_IN register, 287

ITLB_TAG_READ register, 287

IU deferred トラップキュー, 142

J

JEDEC manufacturer code, 26

L

LDD instruction, 45

LDDA instruction, 45, 88, 192

LDDF instruction, **81**

LDDF_mem_address_not_aligned exception, 84, 87, 151, 215

LDDFA instruction, **85**, 214, 215

LDF instruction, **81**

L DFA instruction, **85**

LDQF instruction, **81**

LDQF_mem_address_not_aligned exception, 58

LDQFA instruction, **85**

LDSTUB instruction, 39, 45, 192

LDSTUBA instruction, 192

LDXFSR instruction, **81**

load quadword atomic, 88

LoadLoad MEMBAR relationship, 90

LoadStore MEMBAR relationship, 90

Lookaside MEMBAR relationship, 91

M

MAXTL, 44, 145, 242, 244

MCNTL.NC_CACHE, 224, 225

mem_address_not_aligned exception, 84, 87, 88, 102, 105, 124, 151, 172, 193, 215

MEMBAR

- #LoadLoad, 90
- #LoadStore, 90
- #Lookaside, 91
- #MemIssue, 91
- #StoreLoad, 90
- #Sync, 91
- blockload and blockstore, 66
- in interrupt dispatch, 236
- instruction, 90
- partial ordering enforcement, 91

membar_mask field, 90

memory model

- TSO, 54

MEMORY_CONTROL register, 287

mmask field, 90

MMU

- disabled, 176
- exceptions recorded, 172
- registers accessed, 177
- Synchronous Fault Address Registers, 243
- TLB data access address assignment, 185

MOVcc instructions, 160, 162

MOVr instructions, 162

N

next program counter (nPC), 92

nonstandard floating-point (NS) field of FSR

- register, **22**, 142

nonstandard floating-point mode, 22, 134

NOP instruction, **92**

O

OBP

- facilitating diagnostics, 224
 - validating register error handling, 283
 - with urgent error, 254
- op3* field of instructions, 81, 85
- opf_cc* field of instructions, 162
- other windows (OTHERWIN) register, 107
- OTHERWIN register, 147, 272

P

- P superscript on instruction name, **58**
- PA_watchpoint* exception, 193
- panic process, 254
- parity error
- counting in D1 cache, 292
- partial store instructions, 215
- partial store order (PSO) memory model, **53**
- P_{ASI} superscript on instruction name, **58**
- P_{ASR} superscript on instruction name, **58**
- PC register, 275
- PCR
- error handling, 285
 - NC field, 27
 - OVF field, 27
 - OVRO field, 27
 - PRIV field, 28, 97
 - SC field, 27, 298
 - ST field, 302
 - SU field, 298
 - UT field, 302
- pessimistic zero, 137
- PIC register
- clearing, 297
 - error handling, 285
 - nonprivileged access, 28
 - OVF field, 28
- PIL register, 45
- P_{NPT} superscript on instruction name, **58**
- POR reset, 259
- power-on reset (POR)
- implementation dependency, 144
- P_{PCR} superscript on instruction name, **58**
- P_{PIC} superscript on instruction name, **58**
- precise traps, 45
- prefetch
- instruction, 146, 176

- prefetcha instruction, 95
- PRIMARY_CONTEXT register, 287
- privileged (PRIV) field of PSTATE register, 86, 104
- privileged registers, **25**
- privileged_action* exception, 28, 87, 98, 105, 151, 172, 193
- PCR access, 97, 110
- privileged_opcode* exception, 29, 109
- TXAR access, 97
- processor interrupt level (PIL) register, 107
- processor state (PSTATE) register, 107
- processor states
- error_state, 44, 144, 244
 - execute_state, 244
 - RED_state, 44, 244
- program counter (PC), 92
- program counter (PC) register, 147
- PSTATE register
- AM field, 42, 68, 80, 147
 - IE field, 236, 237
 - MM field, 54
 - PRIV field, 97, 110
 - RED field, 25, 224, 244, 245
- PTE
- E field, 40

R

- RAS, see *Return Stack Address*, 13
- rcond field of instructions, 162
- rd* field of instructions, 81, 85
- RDASI instruction, 97
- RDASR instruction, 97
- RDCCR instruction, 97
- RDDCR instruction, 97
- RDFPRS instruction, 97
- RDGSR instruction, 97
- RDPC instruction, 97
- RDPCR instruction, 28, 97
- RDPIC instruction, 28, 97
- RDSOFTINT instruction, 97
- RDSTICK instruction, 97
- RDSTICK_CMPR instruction, 97
- RTICK instruction, 25, 97, 98
- RTICK_CMPR instruction, 97
- RDTXAR instruction, 97
- RDXASR instruction, 97
- RED_state, 275
- entry after WDR, 244

- processor states, 244, 245
- setting of PSTATE.RED, 25
- trap vector address (RSTVaddr), 146
- registers
 - clean windows (CLEANWIN), 107, 147
 - clock-tick (TICK), 145
 - current window pointer (CWP), 107, 147
 - Data Cache Unit Control (DCUCR), 34
 - other windows (OTHERWIN), 107, 147
 - privileged, **25**
 - processor interrupt level (PIL), 107
 - processor state (PSTATE), 107
 - restorable windows (CANRESTORE), 107, 147
 - savable windows (CANSAVE), 107, 147
 - TICK, 107
 - trap base address (TBA), 107
 - trap level (TL), 107
 - trap next program counter (TNPC), 107
 - trap program counter (TPC), 107
 - trap state (TSTATE), 107
 - trap type (TT), 107
 - window state (WSTATE), 107
- relaxed memory order (RMO) memory model, **53**
- reserved, **2**
 - レジスタのフィールド, 2
 - 命令語のフィールド, 2
- reset
 - externally_initiated_reset* (XIR), 242
 - power_on_reset* (POR), 144
 - software_initiated_reset* (SIR), 242
- resets
 - POR, 259
 - WDR, 259
- restorable windows (CANRESTORE) register, 107, 147
- restrainable error
 - definitions, 255
 - handling
 - ASI_AFSR.UE_DST_BETO, 282
 - ASI_AFSR.UE_RAW_L2\$FILL, 282
 - UE_RAW_D1\$INSD, 282
 - UE_RAW_L2\$INSD, 282
- Return Address Stack, 13
- rs1* field of instructions, 81, 85
- rs2* field of instructions, 81, 85
- rs3* field of instructions, 41
- RSTVaddr, 146, 244

S

- savable windows (CANSAVE) register, 107, 147
- sDTLB, 12, 167
- SECONDARY_CONTEXT register, 287
- SERIAL_ID register, 287
- SET_SOFTINT register, 285
- SETHI instruction, **126**
- SHARED_CONTEXT register, 288
- SHUTDOWN instruction, 99
- SIMD, 8
 - cexc, aexc 更新, 24
 - SXAR による指定, 126
 - watchpoint 検出, 194
 - アセンブリ言語での指示方法, 200
 - レジスタ指定方法
 - FMADD の特例, **73**
 - ロード
 - メモリオーダリング, 83
 - ロードストア
 - watchpoint 検出, **37**, 83, 102, 124
 - エンディアン変換, 22, 83
 - ノンキャッシュブル, 83, 102, 124
 - メモリオーダリング, 102, 124
 - ロード時の例外とレジスタ更新, 83
 - 倍精度ロードと
 - LDDF_mem_address_not_aligned*, 83
 - 例外検出条件, 174
- SIMD_load_across_pages* exception, 45, **51**, 83, 172, 173, 174, 175, 193, 304, 324
- simml3* field of instructions, 81, 85
- SIR instruction, 242
- sITLB, 12, 149, 167, 173
- size field of instructions, 41
- SLEEP instruction, 69, **77**, 77, 309, 323
 - ハードウェアバリア同期による解除, 77
- SOFTINT register, 45, 237, 272, 285
- software_trap_number*, **199**
- spill_n_normal* exception, 304
- spill_n_other* exception, 304
- STBAR instruction, 112
- STCHG_ERROR_INFO register, 287
- STD instruction, 45
- STDA instruction, 45
- STDF instruction, 100
- STDF_mem_address_not_aligned* exception, 102, 105
- STDFA instruction, **103**, 103, 214, 215
- STDFR instruction, 123

STF instruction, 100
 STFA instruction, 103
 STFR instruction, 123
 STICK, 77
 STICK register, 97, 272, 285
 STICK_COMP register, 272
 STICK_COMPARE register, 97, 285
 sTLB, 149, 150, 180, 185, 194, 196, 197, 295
 store floating-point into alternate space instructions, **103**
 store order (STO) memory model, 147
 StoreLoad MEMBAR relationship, 90
 StoreStore MEMBAR relationship, 90
 STQF instruction, 100
STQF_mem_address_not_aligned exception, 58
 STQFA instruction, **103**, 103
 STXFSR instruction, 100
 SUSPEND instruction, 64, 69, **76**, 270, 309, 323
 suspended state, 76, 251
 SWAP instruction, 39, 45, 192
 SWAPA instruction, 192
 SXAR, 51
 SXAR instruction, 126
 Sync MEMBAR relationship, 91
 synchronizing caches, 54
 sync 命令, **3**

T

TA instruction, 161
 Tcc instructions, 157, 160, 163
 TCS instruction, 161
 TE instruction, 161
 TG instruction, 161
 TGE instruction, 161
 TGU instruction, 161
 TICK register, 25, 145
 TICK_COMPARE register, 285
 TL instruction, 161
 TL register, 108, 242, 244
 TLB
 CP field, 224, 225
 index, 185
 replacement algorithm, 185
 TLE instruction, 161
 TLEU instruction, 161
 TN instruction, 161
 TNE instruction, 161
 TNEG instruction, 161
 total store order (TSO) memory model, **53**, 54

TPOS instruction, 161
 trap base address (TBA) register, 107
 trap level (TL) register, 107
 trap next program counter (TNPC) register, 107
 trap program counter (TPC) register, 107
 trap state (TSTATE) register, 107
 trap type (TT) register, 107
trap_instruction (ISA) exception, 106
 traps
 deferred, 44
 TSTATE register
 CWP field, 25
 TTE
 Context field, 169
 CP field, 170
 CV field, 170, 224, 225
 E field, 171
 G field, 169, 171
 L field, 170
 NFO field, 169
 P field, 171
 PA field, 170
 Size field, 169
 Soft2 field, 169
 V field, 169
 VA_tag field, 169
 W field, 171
 TVC instruction, 161
 TVS instruction, 161
 TXAR register, 285

U

uDTLB, 167
 uITLB, 167, 173
 uncorrectable error, 255
unfinished_FPop exception, 134, 138
unimplemented_FPop floating-point trap type, 141
unimplemented_LDD exception, 58
unimplemented_STD exception, 58
 urgent error
 definition, 253
 types
 A_UGE, 253
 DAE, 253
 IAE, 253
 URGENT_ERROR_STATUS register, 287

V

VA_watchpoint exception, 193
var field of instructions, 41
VER register, 26
VIS instructions
 encoding, 163, 164

W

watchdog_reset (WDR), 44, 151
watchpoint exception
 on block load-store, 67
 quad-load physical instruction, 89
WDR reset, 259
window state (WSTATE) register
 writing WSTATE with WRPR instruction, 107
WRASI instruction, 110
WRASR instruction, 110
 WRDCR instruction, 110
 WRGSR instruction, 110
 WRPCR instruction, 110
 WRPIC instruction, 110
 WRSOFTINT instruction, 110
 WRSOFTINT_CLR instruction, 110
 WRSOFTINT_SET instruction, 110
 WRSTICK instruction, 110
 WRSTICK_CMPR instruction, 110
 WRTICK_CMP instruction, 110
 WRTXAR instruction, 110
 WRXAR instruction, 110
 WRXASR instruction, 110
WRCCR instruction, 110
WRFPRS instruction, 110
write privileged register instruction, **107**
WRPCR instruction, 28, 110
WRPIC instruction, 28
WRPR instruction, **107**, 107, 244, 245
WRY instruction, 110

X

XAR register, 285
XASR register, 285

ア行

アウトオブオーダー, **3**, 7, 10, 13, 16, 25, 39, 231, 315
エラー

1 ビットエラーの訂正, 8
種類, 251
分離, 9
分類, 9

カ行

解放

メモリポート, 16
リザベーションステーション, 15
資源の, **3**

カウンタ

オーバーフロ (PIC の), 28
(命令の)完了, **4**, 7, 10, 16
 ECR.UGE_HANDLER をクリア, 277
 FSR の更新, 42
 RDTICK で取得される値, 25
 sync 命令, 40
 watchdog_reset 検出条件, 44
 XAR フィールドのクリア, 29, 30, **32**
 エラーを起こした命令の, 9
 エラーを検出した命令の完了方法, 253
 ストアの突き放し, 40
 例外の通知, 40

完了

MEMBAR によるメモリアクセス, 90
XFILL 中のラインに対する後続アクセス, 129
メモリアクセス, 16

キャッシュ

エラー保護, 8
命令

 概要, 12

緊急エラー, 51, 251, 253, 258, 259, 260, 261, 269,
270, **270**, 283
 自律性緊急エラー, 254
 命令緊急エラー, 253

コア, **3**, 7, 9, 55, 322

 BST, BST_mask との対応, 217, 219
 L2 キャッシュを共有, 223
 L2 キャッシュ関連の PA イベント計測対象, 311
 SCCR を共有, 228
 STICK_CNTL を共有, 320
 インタラプトの配送, 239
 ハードウェアバリアを共有, 216
 リセット範囲, 241

縮退, 269

コミット, **4**, 317

(命令の)完了を参照

ウォッチドッグタイマーによる監視, 143

サ行

サイクルアカウンティング, **4**, **315**, 317

サスペンド, **4**, 251, 252, 255, 256

EE エラーの通知, 270

SUSPEND instruction, 76

スーパースカラ, **4**, 7

スキャン, **4**, 249

ストアバッファ, 12, 173

エラー通知の制限, 173, 282

ストア突き放し, **40**

ストール, **4**, 13

ストロングプリフェッチ, 4

ストロングプリフェッチ, 34, 95

スレッド, **4**, **8**, 76, 77, 217, 251, 252, 253, 255, 256, 269, 270

タ行

致命的エラー, 1, 148, 251, **252**, 254, 258, 259, 261, 262, 289, 295, 325

ステータス表示, 268

投機

メモリアクセス, 35

TLB エラー検出, 174, 175

メモリアクセスの抑止, 34

投機的命令実行, **4**

ASI_FLUSH_L1I, 227

PA 計測, 299

ハ行

ハードウェアバリア, **8**, 77, 208, 216, **216**, 216

資源, 216, 218

全コアで共有, 216

同期, 218

フェッチ, 4

フォーマット

命令, **40**

ブランチヒストリ, **7**, **7**, 10

マ行

窓 ASI, 77, **218**, 220, 221

命令実行, 7

EU, 11

reserved が 0 でない命令, 2

メモリアクセス

投機, 35

投機アクセスの抑止, 34

ヤ - ワ行

抑止可能エラー, 251, 255, 258, 259, 260, 261, 267, **281**, 282, 293, 294

ライトバッファ, 12

リザベーションステーション, **5**, **7**, 10, 11, 307

リネーミングレジスタ, **5**

レジスタ

reserved フィールド, 2

フィールドの読み書き属性, 2